دانشگاه شیراز
دانشکده آموزشهای الکترونیکی

الکترونیک دیجیتال

تهیه و تدوین: مهندس محمد علی نوشاد

۱۳۸۹

الکترونیک دیجیتال

مرجع اصلی: الکترونیک دیجیتال، تالیف: دکترمهدی صدیقی، مهندس علی ولی زاده و مهندس فرهاد مهدی پور

مرجع دیگر: نظریه قطعات و مدارهای الکترونیک، تالیف : بویل استاد، نشلکی

ترجمه: مهندس محمود دیانی

پیش گفتار:

درس«الکترونیک دیجیتال» برای آموزش در دوره های کارشناسی پیوسته و کارشناسی ناپیوسته سخت افـزار کامپیوتر و دوره کارشناسی مهندسی فناوری اطلاعات تهیه شده است.

بدون شک ساخت رایانه های پرقدرت و سریع بدون بهره گیری از علم «الکترونیـک دیجیتـال» و «مـدارهای مجتمع دیجیتالی» میسر نیست. ایجاد و گسترش دانش الکترونیک دیجیتال ضـرورت وجـود یـک درس بـا همـین عنوان را به همراه آورده است.

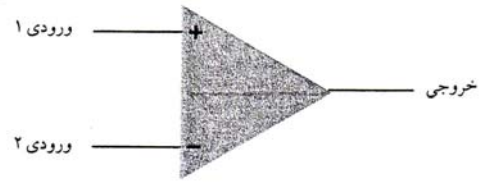
مباحث این درس در ده فصل تهیه شده است. دو فصل اول و دوم بـه معرفـی تقویـت کننـده عملیـاتی (آپ امپ) و کاربردهای آن درجهت تکمیل مطالب درس «مدارهای الکترونیکی» مـی پـردازد. در فصـل سـوم تعـاریف و مباحث پایه ای ارائه شده، که در ادامه این درس نیز اهمیت فراوانی دارند.فصـل چهـارم بـه معرفـی دیـود و برخـی کاربردهای آن بخصوص در ساخت آی سی های دیجیتالی پرداخته است. درفصل پـنجم کتـاب، یکـی از مهمتـرین فناوری های موجود یعنی ترانزیستور MOS معرفی شده و نواحی مختلف کار ایـن ترانزیسـتور و روابـط موجـود در این نواحی به همراه انواع ترانزیستورهای MOS ارائه شده است. فصل ششم یکی از فصول بسیار مهم این درس بـه شمار می آید. در این فصل تحلیل انواع معکوس کننده های مبتنـی بـر ترانزیسـتورهایMOS، بـه همـراه معرفـی منطق مهم CMOS، نحوه طراحی مدار با اسـتفاده از منطـق هـای مختلـف مبتنـی بـر MOS، کاربردهـای ایـن تکنولوژی در ساخت مدارهای سه حالته، مدارهای با حالت X- ونیز مدارهای اشمیت تریگر مورد بررسی قرار گرفتـه اند. فصل هفتم درس، به مدارهای پویا، مشکلات مربوط به این نوع مدارها، منطق های مبتنـی بـر مـدارهای پویـا و کاربردهای آنها پرداخته است. فصل هشتم ترانزیستورهای دو قطبی به همراه منطق های مبتنی بـر ترانزیسـتورهای دو قطبی مورد بحث و بررسی قرار گرفته اند. در فصل نهم مقایسه خانواده های منطقی مختلف انجام شده است. در این مقایسه جنبه های مختلفی بخصوص سرعت و توان مصرفی مورد نظر بوده اند. همچنـین روش اتصـال خـانواده های منطقی به یکدیگر بررسی شده است. تکنولوژی هـای BICMOS و گـالیم آرسـناید بـه عنـوان دو فـن آوری پیشرفته در فصل دهم معرفی و بررسی شده است. در انتهای هر فصل نیز مجموعه ای از چند مساله آمده است.

محمد علی نوشاد

فصل۱
تقویت کننده عملیاتی(آپ امپ)

۱-۱:مقدمه:

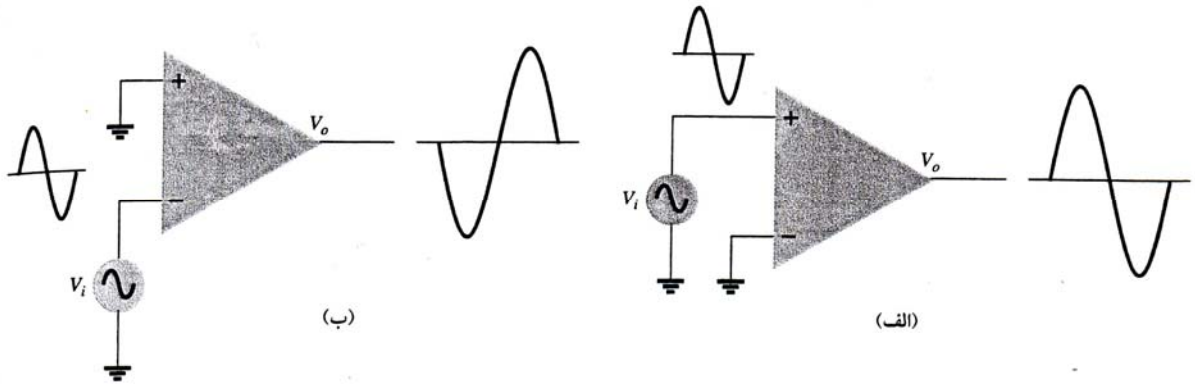
تقویت کننده عملیاتی(Operational Amplifier) که به اختصار آپ امپ (op.Amp.) نامیده می شود، یک تقویت کننده تفاضلی (Differential Amplifier) بابهره ولتاژ بسیار بزرگ، امپدانس ورودی بزرگ و امپدانس خروجی کوچک است. از کاربردهای متداول آپ امپ می توان تقویت ولتاژ (به صورت هم فاز یا اختلاف فاز ۱۸۰ درجه)، نوسانساز، فیلتر و مدارهای ابزار دقیق گوناگون را برشمرد. مدار داخلی آپ امپ از چند طبقه تقویت کننده تفاضلی، مدار با فرو نظائرآن ساخته می شود، که خصوصیات بالا را داشته باشد.
شکل۱-۱ یک آمپ امپ را نشان می دهد که دو ورودی و یک خروجی دارد، که نشانه تقویت کننده تفاضلی است. یک ورودی خروجی هم فاز ایجاد می کند(ورودی که با علامت + مشخص می شود) و ورودی دوم خروجی با قطبیت مخالف (معکوس) تولید می کند(ورودی که با علامت- مشخص می شود).



شکل۱-۱: نشانه آپ امپ

۱-۱-۱: ورودی یک پایانه ای:

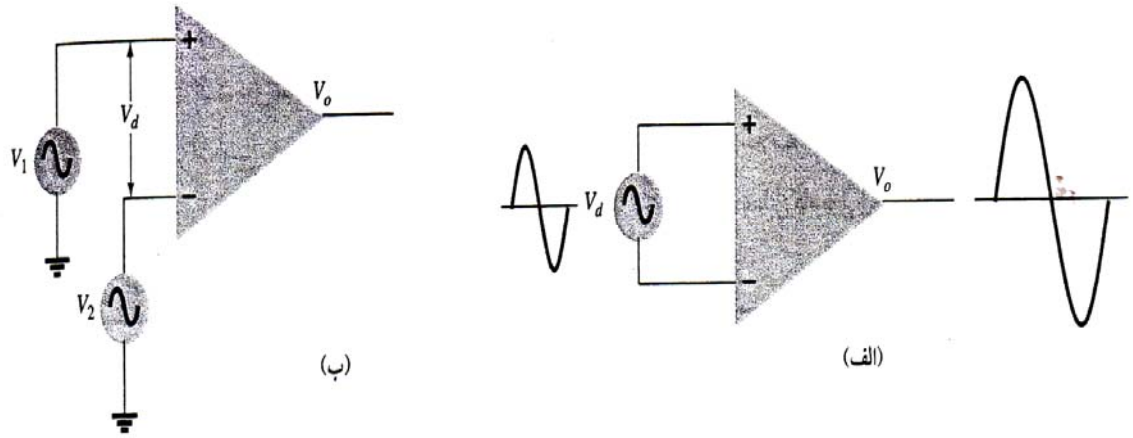
برای کار به صورت ورودی یک پایانه ای باید سیکنال ورودی را به یک ورودی آپ امپ دادو ورودی دیگر آن را به زمین متصل کرد. شکل ۲-۱ این وضعیت را نشان می دهد. در شکل ۲-۱ (الف) سیگنال به ورودی مثبت (ورودی غیر معکوس) اعمال شده و ورودی منفی(ورودی معکوس) به زمین متصل شده، بنابراین خروجی دارای همان قطبیت سیگنال ورودی است. شکل ۱-۲ (ب) اعمال سیگنال به ورودی منفی را نشان می دهد، که خروجی مربوطه معکوس ورودی است (باورودی ۱۸۰ درجه اختلاف فاز دارد).



شکل ۲-۱ : عملکرد یک پایانه ای آپ امپ

۲-۱-۱: ورودی تفاضلی (دوپایا نه ای):

در شکل ۳-۱ (الف) ورودی V_d بین دو پایانه ورودی اعمال شده و هیچیک از ورودی ها به زمین متصل نشده اند.

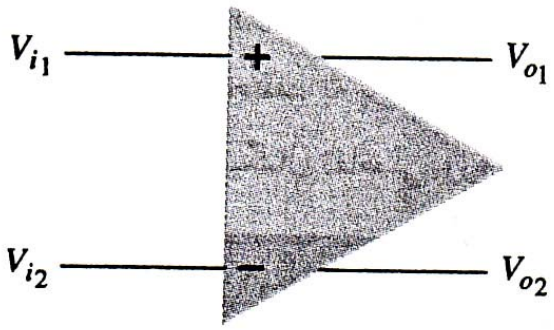


شکل۳-۱: عملکرد تفاضلی (دوپایانه ای) آپ امپ

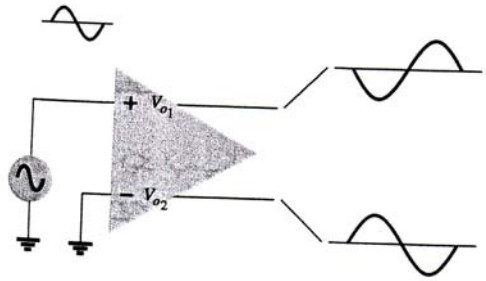
در این حالت خروجی با سیگنال ورودی مثبت نسبت به ورودی منفی همفاز است. شکل ۳-۱ (ب) نشان می دهد که اگر دو سیگنال مختلف به پایانه های ورودی اعمال شود، آپ امپ به همین صورت عمل کرده و سیگنال خروجی تقویت شده تفاضل دوسیگنال ورودی (V_1-V_2) می باشد.

۳-۱-۱ خروجی دوپایانه ای:

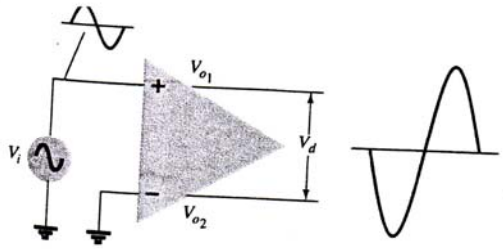
تقویت کننده تفاضلی که با ترانزیستور ساخته می شود، دو ورودی دارد، که بیس دو ترانزیستور سازنده این تقویت کننده است. همچنین دو خروجی تولید می کند که از کلکتور دو ترانزیستور گرفته می شود. سیگنال کلکتور هر ترانزیستور معکوس سیگنال بیس همان ترانزیستور و هم فاز با سیگنال بیس ترانزیستور دیگر است. به همین صورت آپ امپهائی وجود دارند، که دو خروجی با قطبیت مخالف یکدیگر ایجاد می کنند، که در شکل ۴-۱ نشان داده شده است. شکل ۵-۱ یک ورودی یک پایانه ای و دو خروجی متفاوت را نشان می دهد، به صورتی که سیگنال اعمال شده به ورودی مثبت دو خروجی تقویت شده با قطبیتهای مخالف به وجود آورده است.



شکل ۴-۱: تقویت کننده عملیاتی با خروجی دوپایانه ای



شکل ۵-۱: ورودی یک پایانه ای با دو خروجی متفاوت

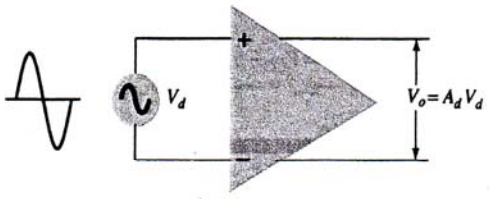


شکل ۶-۱: ورودی یک پایانه ای با خروجی تفاضلی

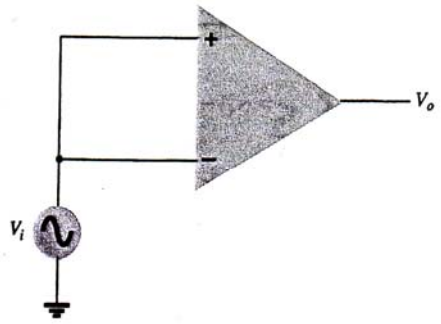
شکل ۶-۱ عملکرد این نوع آپ امپ را در حالتی نشان می دهد، که یک سیگنال خروجی از بین دو پایانه خروجی گرفته شده است. این سیگنال خروجی تفاضلی $V_{O1} - V_{O2}$ است. سیگنال خروجی تفاضلی یک **سیگنال شناور (Floating Signal)**است، زیرا هیچیک از دو پایانه آن زمین نیست. دامنه خروجی تفاضلی دو برابر دامنه هر یک از سیگنالهای $V_{O1} - V_{O2}$ است. شکل ۷-۱ یک ورودی تفاضلی و یک خروجی تفاضلی را نشان می دهد. ورودی بین دو پایانه ورودی اعمال شده و خروجی از بین دو پایانه خروجی گرفته می شود.

۴-۱-۱ عملکرد حالت مشترک

اگر به هر دو ورودی نسبت به زمین سیگنالهای مشابهی اعمال شود، عملکرد حالت مشترک شکل ۸-۱ به دست می آید. در حالت ایده آل دو ورودی به یک اندازه تقویت می شوند و چون هر یک سیگنالی مخالف دیگری تولید می کند، این سیگنالها یکدیگر را خنثی کرده، خروجی صفر می شود. در عمل به علت اینکه آپ امپ کاملاً ایده آل نیست، خروجی کوچکی ایجاد می شود (با ورودیهای مساوی).



شکل ۷-۱: خروجی تفاضلی با ورودی تفاضلی



شکل ۸-۱: عملکرد حالت مشترک

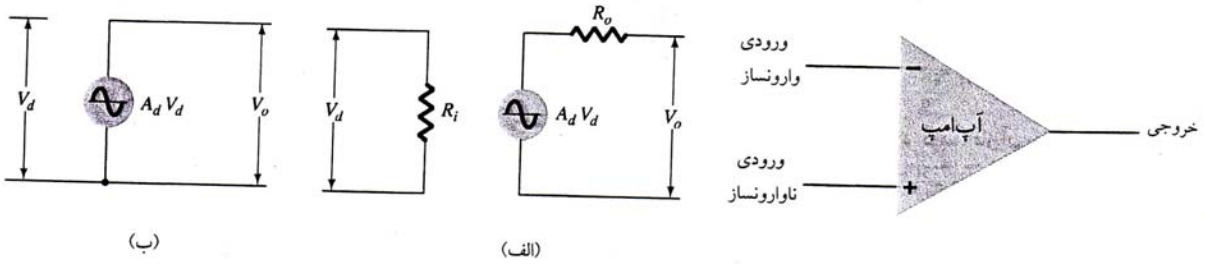
۵-۱-۱ حذف حالت مشترک

یک ویژگی مهم اتصال تفاضلی این است که سیگنالهائی که با قطبیت مخالف در ورودیها وجود دارند با بهره زیاد تقویت می شوند، ولی آنهائی که قطبیت یکسانی دارند، تنها به میزانی اندک تقویت می شوند عملکرد کلی این است، که سیگنالهای تفاضلی تقویت و سیگنالهای مشترک در دو ورودی حذف می شوند چون نویز (و هر سیگنال ناخواسته دیگری) معمولاً در هر دو ورودی مشترک است، اتصال تفاضلی راه خوبی برای حذف ورودیهای ناخواسته،

و در عین حال تقویت سیگنالهای تفاضلی اعمال شده بین ورودیها است. این ویژگی را **حذف حالت مشترک** می نامند.

۲-۱ اصول آپ امپ

خصوصیات کلی آپ امپ در مقدمه این فصل عنوان شد. مدار پایه آپ امپ یک تقویت کننده تفاضلی با دو ورودی مثبت و منفی و یک خروجی است. به لحاظ سادگی کار ورودیهای معکوس و غیر معکوس به ترتیب با علامتهای منفی و مثبت مشخص می شوند و ما در این بحث از آنها به عنوان ورودی های منفی و مثبت یاد می کنیم که از استعمال واژه های طولانی پرهیز کرده باشیم ولی در واقع اصطلاح مثبت و یا منفی در این مورد و جاهت علمی ندارد. شکل ۹-۱ یک آپ امپ را نشان می دهد. شکل ۱۰-۱ (الف) مدار معادل ac آپ امپ را نشان می دهد.

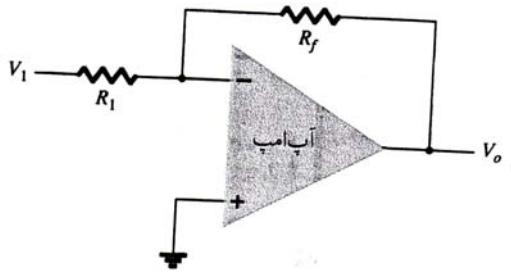


شکل ۹-۱: آپ امپ

شکل ۱۰-۱: مدار معادل آپ امپ؛ (الف) واقعی، (ب) ایده آل

سیگنال اعمال شده بین پایانه های ورودی، امپدانس ورودی R_i را می بیند که نوعاً بسیار بزرگ است. ولتاژ خروجی حاصلضرب بهره تقویت کننده در ولتاژ ورودی است. امپدانس خروجی R_0 معمولاً بسیار کوچک است. برای آپ امپ ایده آل، بهره ولتاژ بینهایت، امپدانس ورودی بینهایت، و امپدانس خروجی صفر در نظر گرفته می شود. برخی از خصوصیات آپ امپ ایده آل در مدار معادل شکل ۱۰-۱ (ب) نشان داده شده است.

شکل ۱۱-۱ یک مدار آپ امپ پایه را نشان می دهد، که به آن تقویت کننده معکوس اطلاق می شود. چون سیگنال V_1 از طریق مقاومت R_1 به ورودی منفی اعمال شده است، خروجی با ورودی ناهمفاز است (خروجی معکوس ورودی است). خروجی توسط مقاومت فیدبک R_f به ورودی منفی برگردانده می شود. فیدبک به کار رفته در این مدار از نوع فیدبک منفی است، که برای کم کردن بهره ولتاژ مدار و تحت کنترل قرار دادن آن و افزایش پهنای باند مدار مورد استفاده قرار گرفته است.



شکل ۱۱-۱: یک مدار آپ امپی پایه (تقویت کننده معکوس)

با گذاشتن مدار معادل آپ امپ در مدار شکل ۱۱-۱، مدار شکل ۱۲-۱ (الف) به دست می آید. با ایده آل فرض کردن آپ امپ مدار (الف) به مدار (ب) تبدیل شده و با ترسیم ساده تر به مدار (ج) تبدیل می شود.

می توانیم با استفاده از قضیه بر هم نهی ولتاژ V_i ناشی از دو منبع را به دست آوریم. برای منبع V_1 تنها (یعنی با $-A_V V_i = 0$)، $V_{i1} = \frac{R_f}{R_1 + R_f} V_1$ و برای ($-A_V V_i$) تنها (یعنی با $V_1 = 0$)

$V_{i2} = \frac{R_1}{R_1 + R_f}(-A_V V_i)$ به دست می آید بنابراین کل ولتاژ V_i عبارت است از:

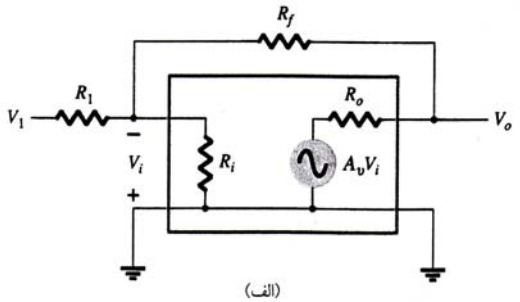
$$V_i = V_{i1} + V_{i2} = \frac{R_f}{R_1 + R_f} V_1 + \frac{R_1}{R_1 + R_f}(-A_V V_i)$$

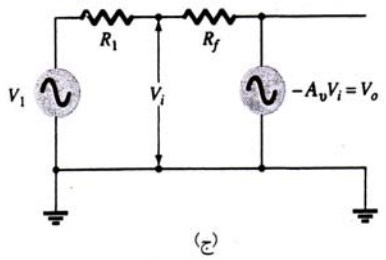
از این رابطه، V_i بر حسب V_1 به صورت زیر به دست می آید:

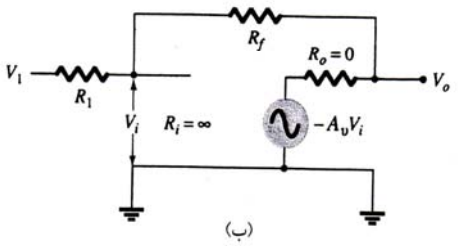
$$V_i = \frac{R_f}{R_f + (1 + A_V)R_1} V_1 \cong \frac{R_f}{A_V R_1} V_1 \qquad (1\text{-}1)$$

اگر $A_V R_1 >> R_f, A_V >> 1$ باشد، که معمولاً این چنین است، آنگاه فرمول (۱-۱) به صورت تقریبی نشان داده شده در می آید. به کمک فرمول تقریبی (۱-۱)، مقدار $\frac{V_o}{V_i}$ را می توان به دست آورد و در نتیجه فرمول (۱-۲) برای بهره ولتاژ تقویت کننده معکوس به دست می آید.

$$\frac{V_o}{V_i} = \frac{-A_V V_i}{V_i} = \frac{-A_V}{V_i} \times \frac{R_f V_1}{A_V V_1} = -\frac{R_f}{R_1} \times \frac{V_1}{V_i}$$
$$\frac{V_o}{V_1} = -\frac{R_f}{R_1} \qquad (1\text{-}2)$$







شکل ۱۲-۱: مدار معادل تقویت کننده معکوس؛ (الف) مدار معادل ac، (ب) آپ آمپ ایده آل، (ج) ترسیم مجدد شکل (ب)

فرمول (۱-۲) نشان می دهد، که در صورتی که A_V خیلی بزرگ باشد، نسبت ولتاژ خروجی به ولتاژ ورودی تنها به مقاومتهای R_f, R_1 بستگی دارد. همچنین علامت منفی فرمول (۱-۲) نشان می دهد که اگر ورودی یک ولتاژ DC باشد، خروجی یک ولتاژ DC با علامت مخالف ورودی است و اگر ورودی یک سینگال ac باشد، خروجی یک سیگنال ac با ۱۸۰ درجه اختلاف فاز نسبت به آن خواهد بود.

مثال ۱-۱: در مدار شکل ۱-۱۱ $R_f = ۵۰۰k\Omega, R_۱ = ۱۰۰k\Omega$ است. ولتاژ خروجی را برای دو ورودی زیر به دست آورید: (الف) $V_۱ = ۲V_{D.C.}$، (ب) $V_۱ = ۰/۵Sin(۱۰۰\pi t)$

حل: (الف): طبق فرمول (۲-۱) داریم:

$$V_۰ = -\frac{R_f}{R_۱}V_۱ = -\frac{۵۰۰K\Omega}{۱۰۰K\Omega}(۲V) = -۱۰V_{DC}$$

(ب): $V_۰ = -\frac{۵۰۰K\Omega}{۱۰۰K\Omega} \times ۰/۵\sin(۱۰۰\pi t) = -۲/۵\sin(۱۰۰\pi t) = ۲/۵\sin(۱۰۰\pi t + \pi)V$

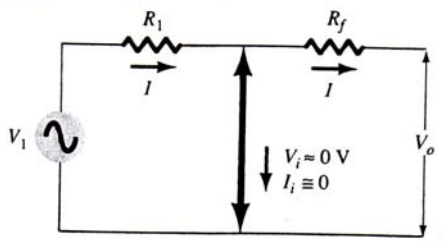
لازم به ذکر است که تقویت کننده عملیاتی معمولی به وسیله دو منبع تغذیه قرینه تغذیه می شود (معمولاً ۱۵± ولت DC) و ولتاژ خروجی به وسیله ولتاژ منبع تغذیه محدود می شود به صورتی که در جهت مثبت یا منفی معمولاً به اندازه یک ولت کمتر از منبع تغذیه می تواند ولتاژ خروجی برسد. به عنوان مثال در مثال (۱-۱) فوق در قسمت (ب) اگر مثلاً $V_۱ = ۲/۸\sin(۱۰۰\pi t)$ باشد، در صورتی که مقادیر مقاومت ها به همان اندازه مشخص شده باشد و ولتاژ منابع تغذیه هم ۱۵± ولت DC باشد خروجی V_O به صورت: $V_O = ۱۴\sin(۱۰۰\pi t + \pi)$ خواهد بود و تغییرات آن در فاصله ۱۴+ ولت تا ۱۴- ولت است. (با ولتاژ نوک به نوک ۲۸ ولت و قدری کمتر از فاصله ۳۰ولت بین ولتاژ دو منبع تغذیه قرینه ۱۵+ ولت و ۱۵- ولت). در صورتی که دامنه ولتاژ ورودی بیشتر از ۲/۸ ولت شود، مدار تمایل دارد که دامنه ولتاژ خروجی نیز به همان نسبت افزایش یافته و بیشتر از ۱۴ ولت شود ولی مقدار ولتاژ منابع تغذیه مانع این کار شده و دامنه خروجی بیشتر از ۱۴ ولت نخواهد شد و قدری از سیگنال خروجی در جهت مثبت و قدری در جهت منفی برش داده می شود (clip می شود).

۱-۲-۱:زمین مجازی(Virtual earth):

قبلاً گفتیم بهره آپ امپ بسیار بزرگ است مثلاً به ازاء $V_O = -۱۰V$ و $A_V = ۲۰۰۰۰$ ولتاژ ورودی برابر است با:

$$V_i = \frac{-V_۰}{A_V} = \frac{۱۰V}{۲۰۰۰۰} = ۰/۵mV$$

اگر بهره کل مدار $(\frac{V_۰}{V_۱})$ مثلاً برابر با یک باشد، مقدار $V_۱$ برابر با $۱۰V$ می شود. بنابراین ولتاژ V_i در مقایسه با تمام ولتاژهای ورودی و خروجی کوچک است و می توان آن را تقریباً صفر در نظر گرفت. این حقیقت که $V_i \cong ۰$ است به مفهوم مهمی می انجامد، و آن اینکه بین پایانه های ورودی آپ امپ یک اتّصال کوتاه مجاز وجود دارد. به این معنی، که گرچه ولتاژ ورودی تقریباً "صفر" است، ولی بین پایانه ورودی آپ امپ و زمین جریانی نمی گذرد. شکل ۱-۱۳ مفهوم زمین مجازی را نشان می دهد. خط ضخیم نشان می دهد که می توان با $V_i \cong ۰$ در نظر گرفت، ولی این اتّصال کوتاه مجازی است و هیچ جریانی از آن نمی گذرد. جریان تنها از مقاومت های $R_۱$ و R_f می گذرد.



شکل۱۳-۱: زمین مجازی در آپ امپ

با استفاده از مفهوم زمین مجازی که بر بسیار بزرگ بودن A_V مبتنی است، راه ساده ای برای یافتن بهره ولتاژ فراهم می شود. برای مدار شکل ۱۳-۱ داریم:

$$I = \frac{V_1}{R_1} = -\frac{V_o}{R_f} \Rightarrow \frac{V_o}{V_1} = -\frac{R_f}{R_1}$$

۳-۱: مدارهای کاربردی با آپ امپ:

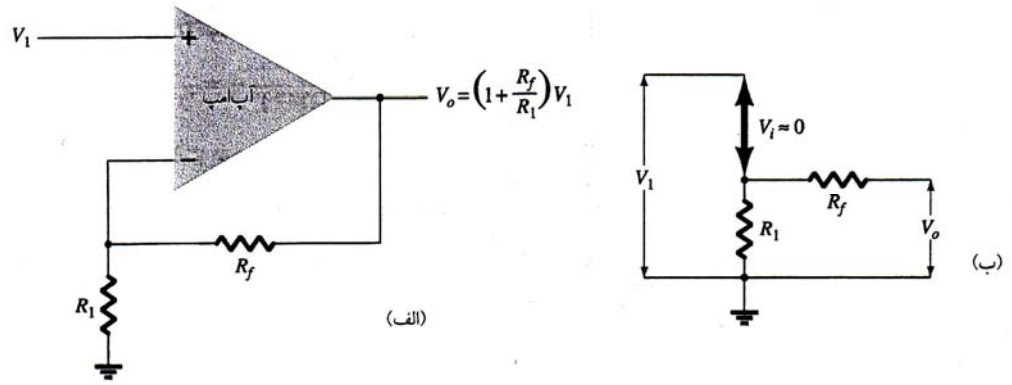
در این بخش تعدادی از پر کاربردترین مدارهائی که با آپ امپ ساخته می شود در نظر می گیریم:

۱-۳-۱: تقویت کننده معکوس (Inverting Amplifier):

مدار ۱۱-۱ یک تقویت کننده معکوس را نشان می دهد که قبلاً مورد بررسی قرار گرفت و لازم به تکرار نیست.

۲-۳-۱: تقویت کننده غیر معکوس (noninverting Amplifier):

مدار شکل ۱۴-۱ (الف) یک تقویت کننده غیر معکوس با بهره ثابت را نشان می دهد. با استفاده از مدار معادل شکل ۱۴-۱ (ب) می توان بهره ولتاژ مدار را تعیین کرد. به دلیل اینکه $V_i \cong 0$ است، ولتاژ روی R_1 برابر با V_1 است. بنابراین رابطه بین V_1 و V_o براساس قانون تقسیم ولتاژ به صورت زیر است (به علت اینکه امپدانس ورودی آپ امپ بسیار زیاد است، جریان ورودی آپ امپ ناچیز بوده و R_1 و R_f تقریباً با یکدیگر سری هستند).



شکل ۱۴-۱: تقویت کننده غیر معکوس با بهره ثابت؛ (الف) خود مدار؛ (ب) مدار معادل.

$$V_1 = \frac{R_1}{R_1 + R_f} V_5 \Rightarrow$$

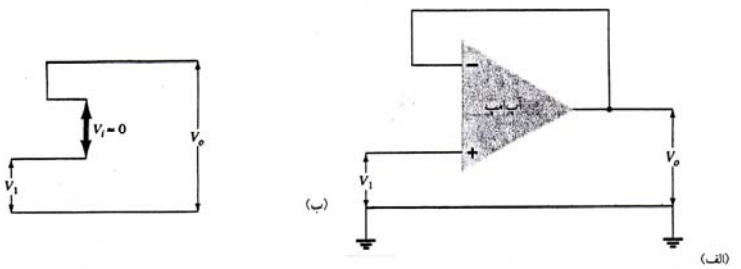
$$\frac{V_o}{V_1} = \frac{R_1 + R_f}{R_1} = 1 + \frac{R_f}{R_1}$$

مثال(۲-۱): ولتاژ خروجی تقویت کننده غیر معکوس شکل ۱۴-۱ را به ازاء $R_1 = 100K\Omega$ ، $R_f = 500K\Omega$ و $V_1 = 2V$ بیابید.

$$V_o = (1 + \frac{R_f}{R_1})V_1 = (1 + \frac{500K\Omega}{100K\Omega})(2V) = 6(2V) = +12V$$

۳-۳-۱: دنبال کننده ولتاژ (Voltage Follower):

مدار دنبال کننده ولتاژ در شکل ۱۵-۱ (الف) نشان داده شده است. بهره این مدار "یک" است و بین خروجی و ورودی اختلاف فاز وجود ندارد و به این علت به آن مدار دنبال کننده ولتاژ اطلاق می شود.



شکل ۱۵-۱: (الف) مدار دنبال کننده ولتاژ؛ (ب) مدار معادل با استفاده از مفهوم زمین مجازی

با استفاده از مدار معادل شکل ۱۵-۱ (ب) واضح است که:

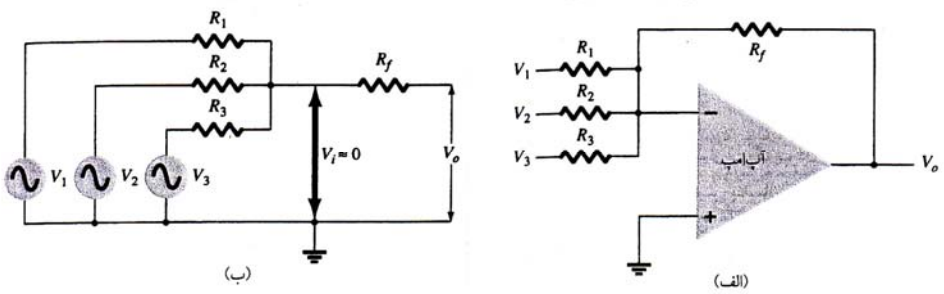
$$V_\circ = V_1 \Rightarrow \frac{V_\circ}{V_1} = 1 \qquad (1\text{-}4)$$

یعنی قطبیت و اندازه ولتاژ خروجی همانند ولتاژ ورودی است. بنابراین مدار دنبال کننده ولتاژ، که حالت خاصی از تقویت کننده غیر معکوس است (با $R_1 = \infty$ و $R_f = \circ$ در مدار شکل ۱۴-۱) خاصیّت تقویت کنندگی ندارد و به علت امپدانس ورودی خیلی زیاد آن و امپرانس ورودی خیلی کم آن در سیستم های مختلف به عنوان مدار بافر (Buffer) برای تطبیق امپرانس دو طبقه با یکدیگر یا به عنوان یک مدار واسط برای جداسازی دو طبقه از یکدیگر و جلوگیری از بارگذاری (Loading) یک طبقه روی طبقه ماقبل آن مورد استفاده قرار می گیرد.

۴-۳-۱: تقویت کننده جمع کننده:

شاید پر استفاده ترین مدار آپ امپی مدار تقویت کننده جمع کننده شکل ۱۶-۱ (الف) است. تعداد ورودی ها می تواند "دو" یا بیشتر باشد. این مدار جمع جبری سیگنال های ورودی را، هر یک با ضریبی خاص خود تولید می کند. با استفاده از مدار معادل شکل ۱۶-۱ (ب) و به کارگیری قضیه برهم نهی، ولتاژ خروجی برحسب ورودی ها با استفاده از فرمول (۵-۱) مشخص می شود:

$$V_\circ = -\left(\frac{R_f}{R_1}V_1 + \frac{R_f}{R_2}V_2 + \frac{R_f}{R_3}V_3\right) \qquad (1\text{-}5)$$



شکل ۱۶-۱: (الف) تقویت کننده جمع کننده ؛ (ب) مدار معادل با استفاده از زمین مجازی

مثال (۳-۱): در مدار ۱۶-۱، ولتاژ خروجی را در دو حالت زیر به دست آورید. $R_f = ۱\text{M}\Omega$ است.

(الف) $V_۱ = +۱V$ ، $V_۲ = +۲V$ ، $V_۳ = +۳V$ ، $R_۱ = ۵۰۰\kappa\Omega$ ، $R_۲ = ۱\text{M}\Omega$ و $R_۳ = ۱\text{M}\Omega$.

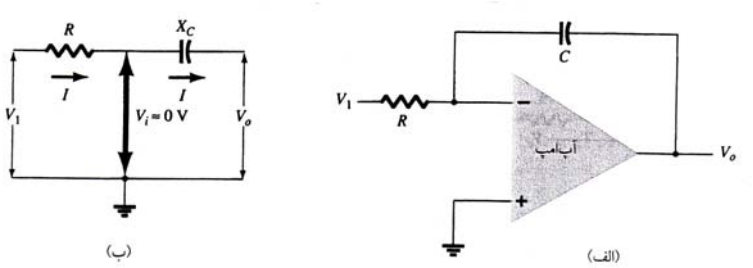
(ب) $V_۱ = -۲V$ ، $V_۲ = +۳V$ ، $V_۳ = +۱V$ ، $R_۱ = ۲۰۰\kappa\Omega$ ، $R_۲ = ۵۰۰\kappa\Omega$ و $R_۳ = ۱\text{M}\Omega$.

حل: (الف) $$V_۰ = -[\frac{۱۰۰۰\,\kappa\Omega}{۵۰۰\kappa\Omega}(+۱V) + \frac{۱۰۰۰\,\kappa\Omega}{۱۰۰۰\,\kappa\Omega}(+۲V) + \frac{۱۰۰۰\,\kappa\Omega}{۱۰۰۰\,\kappa\Omega}(+۳V)] = -۷V$$

(ب) $$V_۰ = -[\frac{۱۰۰۰\,\kappa\Omega}{۲۰۰\kappa\Omega}(-۲V) + \frac{۱۰۰۰\,\kappa\Omega}{۵۰۰\kappa\Omega}(+۳V) + \frac{۱۰۰۰\,\kappa\Omega}{۱۰۰۰\,\kappa\Omega}(+۱V)] = +۳V$$

۵-۳-۱:انتگرالگیر (Integrator):

مدار انتگرالگیر در شکل ۱۷-۱ (الف) و مدار معادل آن با استفاده از زمین مجازی در شکل ۱۷-۱ (ب) نشان داده شده است. با مساوی قرار دادن جریان مقاومت و خازن در این مدار معادل، رابطه بین خروجی و ورودی مدار انتگرلگیر به دست می آید.



شکل ۱۷-۱: انتگرالیر

$$I = \frac{V_۱}{R} = C\frac{dv_۰}{dt} \Rightarrow dv_۰ = -\frac{۱}{RC}V_۱dt \Rightarrow$$

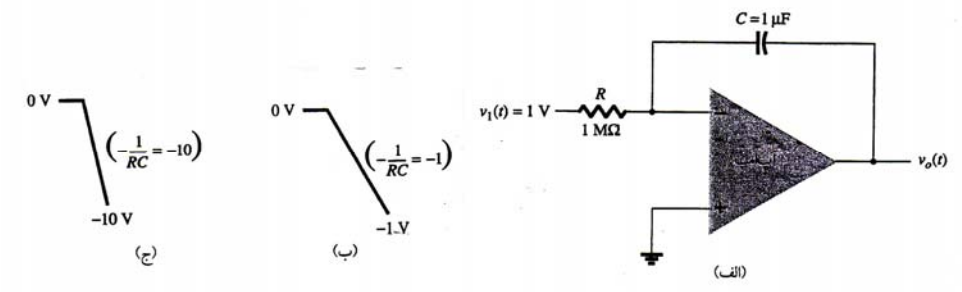
$$v_۰(t) = -\frac{۱}{RC}\int v_۱(t)dt \qquad (۱-۶)$$

به کمک مدارهای انتگرالگیر به همراه مدارهای دیگری از قبیل جمع کننده می توان در کامپیوتر آنالوگ برای حل معادلات دیفرانسیل و یا به طور کلی حل الکتریکی سیستمهای آنالوگ فیزیکی استفاده کرد.

برای مثال فرض کنید ولتاژ ورودی $V_۱ = +۱V_{DC}$ به انتگرالگیر شکل ۱۸-۱ اعمال می شود. ضریب انتگرالگیری عبارت است از:

$$-\frac{۱}{RC} = -\frac{۱}{(۱M\Omega)(۱\mu f)} = -۱ \qquad \frac{۱}{Sec}$$

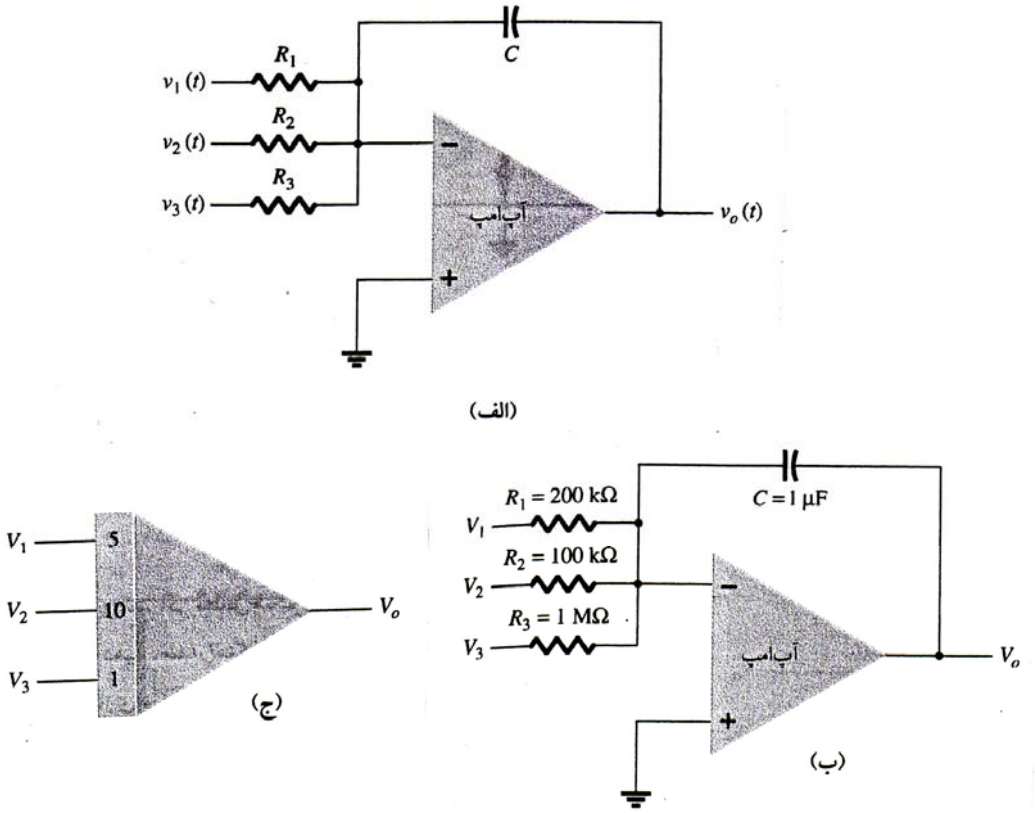
بنابراین ولتاژ خروجی شیب منفی نشان داده شده در شکل ۱۸-۱ (ب) است.



شکل ۱۸-۱: انتگرالگیری با ورودی پله ای

اگر به جای مقاومت $1M\Omega$ از یک مقاومت $100k\Omega$ در مدار شکل ۱۸-۱ (الف) استفاده کنیم ضریب مقیاس $\left(-\frac{1}{RC}\right)$ به جای عدد (۱-) عدد (۱۰-) خواهد بود و خروجی شیب تندتر نشان داده شده در شکل ۱۸-۱ (ج) خواهد بود.

مدار شکل ۱۹-۱ (الف) مدار انتگرالگیر جمع کننده به کار رفته در کامپیوتر آنالوگ را نشان می دهد.



شکل ۱۹-۱: (الف) مدار انتگرالگیر جمع کننده، (ب) مقدار قطعات، (ج) نمایش مدار انتگرالگیر در کامپیوتر آنالوگ

رابطه خروجی با ورودیهای مدار انتگرالگیر جمع کننده به صورت زیر است:

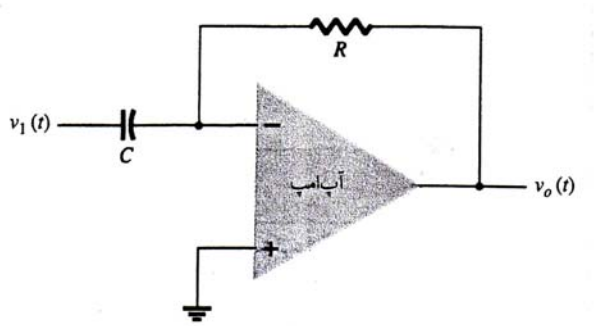
$$v_o(t) = -\left[\frac{1}{R_1C}\int v_1(t)dt + \frac{1}{R_2C}\int v_2(t)dt + \frac{1}{R_3C}\int v_3(t)dt\right] \qquad (۱-۱۷)$$

شکل ۱۹-۱ (ب) مدار واقعی انتگرالگیر جمع کننده و شکل (ج) نمایش انتگرالگیر مجموع با ضریب مقیاس هر ورودی در کامپیوتر آنالوگ را نشان می دهد.

۶-۳-۱: مشتقگیر (Differentiator):

شکل ۲۰-۱ یک مدار مشتقگیر را نشان می دهد. رابطه بین خروجی و ورودی این مدار فرمول (۸-۱) است. به علت اینکه مدار مشتقگیر معمولاً نویز را بیشتر از سیگنال اصلی تقویت می کند و امکان به نوسان افتادن آن نیز وجود دارد، از آن زیاد استفاده نمی شود و معمولاً سعی می شود طراحی سیستمهای آنالوگ به گونه ای انجام شود، که از مدار انتگرالگیر استفاده شود.

$$v_o(t) = -RC\frac{dv_1(t)}{dt} \qquad (۱-۸)$$



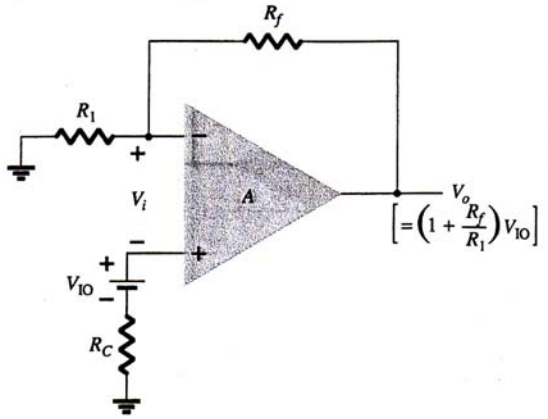
شکل ۲۰-۱: مدار مشتقگیر

۱-۴: پارامترهای آفست DC آپ امپ:

در این بخش و بخش بعد تا چند پارامتر تعیین کننده رفتار آپ امپ آشنا می شویم:

۱-۴-۱: ولتاژ و جریان آفست:

خروجی آپ امپ به ازاء ورودی «صفر» باید «صفر» باشد ولی در عمل چنین نیست. برای مثال اگر هر دو ورودی آپ امپ صفر باشد ممکن $V_\circ = ۲۶mv$ باشد، که از ولتاژهای ورودی ناشی نشده باشد. سازنده آپ امپ ولتاژ آفست ورودی را مشخص می کند، که برای تعیین ولتاژ آفست خروجی (مثلاً ۲۶Mv مثال فوق) می توان از ولتاژ آفست ورودی و بهره مدار به کار رفته استفاده کرد. ولتاژ آفست خروجی از طرفی بستگی به ولتاژ آفست ورودی V_{Io} و از طرف دیگر جریان آفست ورودی، که تفاضل جریان پایانه های ورودی مثبت و منفی است، دارد.
برای مثال برای تعیین اثر ولتاژ ورودی بر خروجی، مدار شکل ۲۱-۱ را در نظر بگیرید:



شکل ۲۱-۱: اثر ولتاژ آفست ورودی V_{Io} بر خروجی

$$V_\circ = AV_i = A\left(V_{Io} - V_\circ \frac{R_۱}{R_۱ + R_f}\right)$$

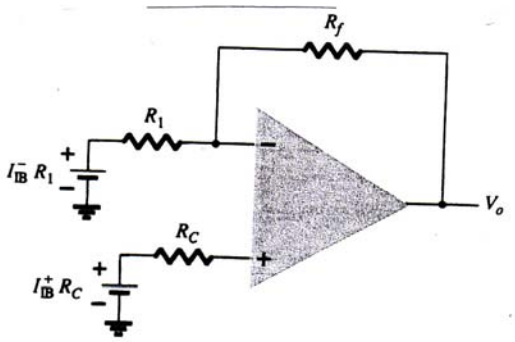
از این رابطه $V_\circ$ را بر حسب V_{Io} به دست آورده و اگر از عدد «۱» در مقایسه با $A\left[R_۱/\left(R_۱ + R_f\right)\right]$ صرفنظر شود، فرمول (۹-۱) به دست می آید:

$$V_\circ(\text{ آفست }) = V_{Io}\frac{R_۱ + R_f}{R_۱} \qquad (۹-۱)$$

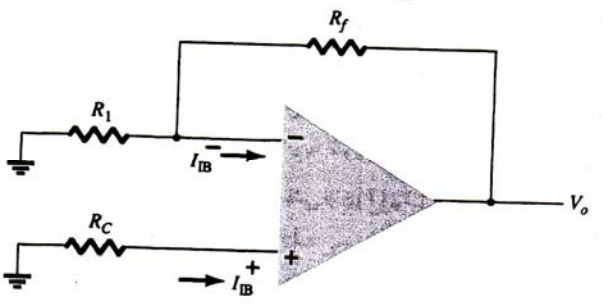
۲-۴-۱: ولتاژ آفست خروجی ناشی از جریان آفست ورودی:

تفاوت جریانهای بایاس dc پایانه های ورودی نیز عامل دیگر ایجاد ولتاژ آفست خروجی است. برای مداری مانند مدار شکل ۲۲-۱، برای محاسبه ولتاژ آفست خروجی می توان از مدار معادل شکل ۲۳-۱ و استفاده از اصل برهم نهی استفاده کرد. ولتاژ خروجی ناشی از جریان بایاس I_{IB}^{+} و جریان بایاس I_{IB}^{-} به صورت زیر به دست می آید:

$$V_o^{+} = I_{IB}^{+} R_C \left(1 + \frac{R_f}{R_1}\right) \qquad , \qquad V_o^{-} = I_{IB}^{-} R_1 \left(-\frac{R_f}{R_1}\right)$$



شکل ۲۲-۱: مدار آپ آمپی که جریان بایاس ورودی را نشان می دهد



شکل ۲۳-۱: مدار معادل شکل ۲۲-۱

بنابراین تمام ولتاژ آفست خروجی از رابطه (۱۰-۱) به دست می آید:

$$V_o(\text{آفست ناشی از جریانهای بایاس ورودی}) = I_{IB}^{+} R_C \left(1 + \frac{R_f}{R_1}\right) - I_{IB}^{-} R_1 \frac{R_f}{R_1} \qquad (۱۰-۱)$$

چون مساله اصلی تفاضل بین جریانهای ورودی است، نه خود جریانهای ورودی جریان افست ورودی به صورت رابطه (۱۱-۱) تعریف می شود.

$$I_{Io} = I_{IB}^{+} - I_{IB}^{-} \qquad (۱۱-۱)$$

مقاومت جبرانساز R_C برابر با $R_1 \| R_f$ انتخاب می شود، بنابراین فرمول (۱۰-۱) به صورت زیر در می آید:

$$V_o(\text{آفست}) = I_{IB}^{+} \frac{R_1 R_f}{R_1 + R_f} \left(\frac{R_1 + R_f}{R_1}\right) - I_{IB}^{-} R_f = R_f \left(I_{IB}^{+} - I_{IB}^{-}\right)$$

بنابراین ولتاژ آفست مربوطه به صورت زیر به دست می آید:

$$V_o(\text{آفست ناشی از } I_{Io}) = I_{Io} R_f \qquad (۱۲-۱)$$

آفست کل ناشی از ولتاژ آفست ورودی جریان آفست ورودی با استفاده از رابطه (۱۳-۱) به دست می آید:

$$V_o(\text{آفست}) = V_o(\text{آفست ناشی از } V_{Io}) + V_o(\text{آفست ناشی از } I_{Io}) \qquad (۱۳-۱)$$

جریان بایاس ورودی به صورت فرمول (۱۴-۱) تعریف می شود:

$$I_{IB} = \frac{I_{IB}^{+} + I_{IB}^{-}}{۲} \qquad (۱۴-۱)$$

با استفاده از فرمولهای (۱۱-۱) و (۱۴-۱) و با فرض این که $I_{IB}^{+} > I_{IB}^{-}$ باشد، هر یک از جریانهای ورودی به وسیله فرمولهای زیر تعیین می شود.

$$I_{IB}^{+} = I_{IB} + \frac{I_{Io}}{۲} \qquad (۱-۱۵)$$

$$I_{IB}^{-} = I_{IB} - \frac{I_{Io}}{۲} \qquad (۱-۱۶)$$

۱-۵: پارامترهای فرکانسی آپ امپ:

بهره آپ امپ زیاد است، که ممکن است باعث ناپایداری (نوسان) مدار آن شود. برای جلوگیری از ناپایداری در مدار داخلی آپ آمپ جبران ساز داخلی به کار می رود. عمل جبرانساز باعث افت بهره حلقه باز آپ امپ به میزان (۲۰dB/decade-) یا (۶dB/octave-) شود (به این معنی که با ده برابر شدن فرکانس بهره حلقه باز آپ امپ به میزان ۲۰ دسیبل افت می کند، که معادل این است که با دو برابر شدن فرکانس به میزان ۶ دسیبل افت کند).

در مشخصات آپ امپ در کاتولوگ آن بهره حلقه با A_{VD} (به معنی بهره ولتاژ تفاضلی) قید می شود، ولی غالباً آپ امپ به همراه فیدبک منفی به کار می رود، که بهره آن را به مقداری بسیار کوچکتر (یعنی بهره حلقه بسته A_{CL}) تقلیل می دهد. این کاهش بهره باعث بهبودی هائی در عملکرد مدار می شود به شرح زیر:

۱- بهره ولتاژ تقویت کننده بسیارپایدارتر می شود، یعنی مقدار دقیقی که به وسیله مقاومت های مدار تعیین می شود، پیدا می کند.

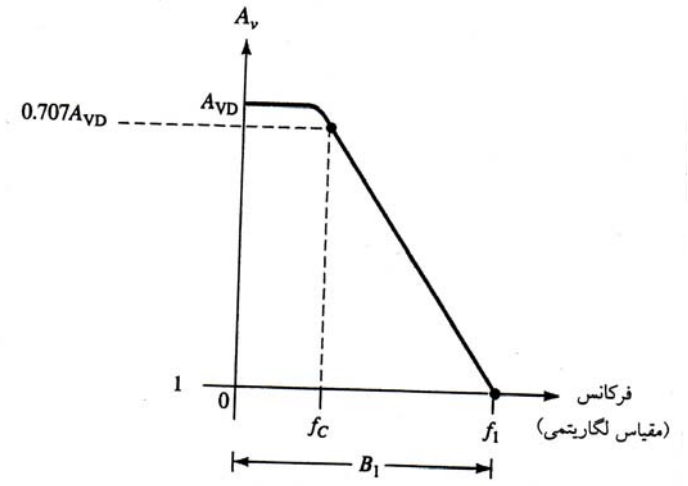
۲- امپدانس ورودی مدار نسبت به حالت بدون فیدبک معمولاً افزایش پیدا می کند.

۳- امپدانس خروجی مدار نسبت به حالت بدون فیدبک کاهش می یابد.

۴- پهنای باند مدار نسبت به حالت بدون فیدبک اقزایش می یابد.

۱-۵-۱: حاصل ضرب بهره در پهنای باند:

در کاتالوگ آپ امپ توصیفی از بهره و پهنای باند آورده می شود. شکل ۱-۲۴ نمودار تغییرات بهره برحسب فرکانس یک آپ امپ نمونه را نشان می دهد. در فرکانس های پائین تا dc (فرکانس صفر) بهره مقدار بسیار بزرگی دارد که با A_{VD} مشخص شده است.



شکل ۱-۲۴: منحنی پاسخ فرکانسی آپ امپ (تغییر بهره با تغییر فرکانس)

با افزایش فرکانس سیگنال ورودی بهره حلقه باز افت کرده و در فرکانس f_1 به مقدار "۱" می رسد. فرکانس بهره واحد (f_1) توسط سازنده تحت عنوان فرکانس بهره در پهنای باند واحد (B_1) بیان می شود. گرچه این مقدار یک فرکانس است ولی می توان آن را به عنوان پهنای باند نیز در نظر گرفت، به این علّت که پهنای باند از فرکانس «صفر» شروع می شود.

در منحنی پاسخ فرکانس شکل ۲۴-۱، فرکانس دیگری نیز جالب توجه است، فرکانسی که در آن بهره 3dB نسبت به حالت dc کمتراست (به ۰/۷۰۷ یا $\frac{۱}{\sqrt{۲}}$ برابر مقدار A_{VD} می رسد). این فرکانس، فرکانس قطع آپ امپ است که در شکل ۲۴-۱ با f_c نشان داده شده است بین f_c, f_1 رابطه زیر برقرار است:

$$f_1=A_{VD}f_c \qquad (۱-۱۷)$$

فرمول (۱۷-۱) نشان می دهد که فرکانس بهره واحد را می توان حاصلضرب بهره در پهنای باند آپ امپ نیز نامید.

۲-۵-۱: سرعت تغییر خروجی (Slew Rate):

پارامتری که میزان توانائی آپ امپ را در کار با سیگنالهائی که تغییرات بسیار سریع دارند (از قبیل موج مربعی و موج دندانه اره ای)، نشان می دهد، سرعت تغییر خروجی (SR) آپ امپ است، که نشان دهنده ماکزیمم آهنگ تغییر خروجی آپ امپ برحست ولت بر میکروثانیه (V/μS) است.

$$SR=\frac{\Delta V_\circ}{\Delta t}(V/\mu S) \quad (\mu S \text{ برحست و t برحسب ولت } V_\circ) \qquad (۱-۱۸)$$

SR پارامتری است که ماکزیمم آهنگ تغییر و لتاژ خروجی، هنگام اعمال یک سیگنال پله ای بزرگ به آپ امپ را نشان می دهد. اگر بخواهیم خروجی را با آهنگی بزرگتر از SR تغییردهیم، خروجی نمی تواند سرعت لازم را داشته باشد و تمام تغییر قابل انتظار حاصل نمی شود ودر خروجی اعوجاج یا برش خواهیم داشت و شکل موج خروجی دقیقاً مشابه ورودی نخواهد بود.

مثال ۴-۱: اگر سیگنال ورودی با آهنگ ۰/۵ V بر ۱۰ μ S تغییر کند و برای آپ امپ $SR=۲\frac{V}{\mu S}$ باشد، ماکزیمم بهره حلقه بسته ممکن مدار که بتواند یک خروجی مشابه ورودی و بدون اعوجاج تولید کند چقدر است؟

حل: چون $V_\circ = A_{CL}V_i$ است، بنابراین:

$$\frac{\Delta V_\circ}{\Delta t}=V_{CL}\frac{\Delta V_i}{\Delta t}\Rightarrow A_{CL}=\frac{\Delta V_\circ/\Delta t}{\Delta V_i/\Delta t}=\frac{SR}{\Delta V_i/\Delta t}=\frac{۲V/\mu S}{\circ/۵V/۱\circ\mu S}=۴\circ$$

اگر بهره حلقه بسته از ۴۰ بیشتر باشد، خروجی باید با آهنگی بیشتر از SR تغییر کند، که امکان پذیر نیست.

۳-۵-۱: ماکزیمم فرکانس سیگنال:

ماکزیمم فرکانسی که آپ امپ می تواند با آن کار کند هم به پهنای باند (BW) و هم به سرعت تغییر خروجی (SR) آپ امپ بستگی دارد. برای سینگال سینوسی به شکل $V_o=A\sin(2\pi ft)$ می توان نشان داد، که ماکزیمم آهنگ تغییر ولتاژ عبارت است از:

$\left(\frac{V}{S}\right)$ $2\pi fA$ =ماکزیمم آهنگ تغییر ولتاژ

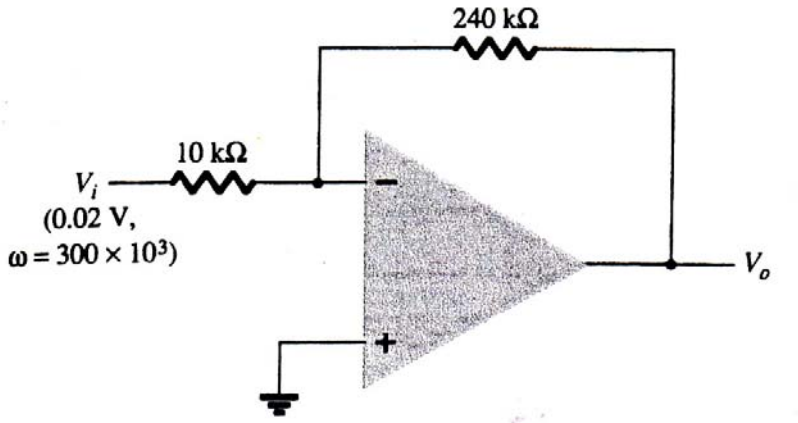
برای این که خروجی اعوجاج نداشته باشد، این مقدار نباید از SR آپ امپ بزرگتر باشد، یعنی:

بنابراین: $2\pi fA \le SR \Rightarrow \omega A \le SR$

$$\omega \le \frac{SR}{A}\left(MRad/S\right) \quad (۱-۱۹)$$

در فرمول ۱۹-۱ به دلیل این که SR برحسب $\frac{V}{\mu S}$ مشخص می شود، حداکثر مقدار ω برحسب $\frac{MRad}{S}$ مشخص می شود.

مثال ۵-۱: در مدار شکل ۲۵-۱ پارامتر SR آپ امپ برابر با $0/5\frac{V}{\mu S}$ است. مشخصات ورودی و اندازه مقاومتها نیز داده شده است. بیان کنید که آیا فرکانس سیگنال ورودی برای تولید خروجی بدون اعوجاج مناسب است؟



شکل ۲۵-۱: مدار مثال ۵-۱

حل: اندازه بهره ولتاژ مدار عبارت است از:

$$|A_{cL}| = \frac{240\,k\Omega}{10\,k\Omega} = 24$$

بنابراین دامنه ولتاژ خروجی عبارت است از:

$$A = A_{cL}V_i = 24(0/02V) = 0/48V$$

طبق فرمول (۱۹-۱):

$$w \le \frac{SR}{A} = \frac{0/5V/\mu S}{0/48V} = 10/041MRad/S = 10/041\times10^{6}\ Rad/S$$

به دلیل اینکه فرکانس سیگنال ورودی $w=300\times10^{3}$Rad/S کمتر از مقدار ماکزیمم به دست آمده در بالا است، بنابراین این سیگنال ورودی برای تولید یک خروجی بدون اعوجاج مناسب است.

۶-۱: عملکرد تفاضلی و حالت مشترک:

یکی از مهمترین ویژگیهای تقویت کننده تفاضلی و آپ امپ، توانائی مدار برای تقویت زیاد سیگنالهائی با قطبیت مخالف و عبور اندک سیگنالهای مشترک در دو ورودی است. خروجی آپ امپ عمدتاً از تقویت تفاضل سیگنالهای اعمال شده به دو ورودی مثبت و منفی ناشی می شود و بخش کوچکی از خروجی نیز از سیگنالهای

مشترک اعمال شده به دو ورودی به دست می آید. چون تقویت سیگنالهای که قطبیت مخالف دارند باید بسیار بیشتر از سیگنالهائی مشترک دردو ورودی صورت گیرد، برای نشان دادن این کیفیت مدار نسبت حذف حالت مشترک تعریف می شود که به اختصار با CMRR نشان داده می شود.

اگر ورودیهای جداگانه ای به آپ امپ اعمال شود، سیگنال تفاضلی از تفریق دو ورودی به دست می آید:

$$V_d=V_{i1}-V_{i2} \qquad (۱-۲۰)$$

اگر دو سیگنال ورودی یکسان باشند، سیگنال حالت مشترک به صورت متوسط دو سیگنال تعریف می شود:

$$V_\circ = A_d V_d + AcVc \qquad (۱-۲۱)$$

چون سیگنالهای اعمال شده به یک آپ امپ در حالت کلی هم مؤلفه های همفاز دارند و هم مؤلفه های ناهمفاز، خروجی به صورت زیر بیان می شود:

$$V_c = \frac{۱}{۲}(V_{i۱} + V_{i۲}) \qquad (۱-۲۲)$$

در این فرمول V_d سیگنال تفاضلی تعریف شده در فرمول ۱-۲۰، V_c سیگنال حالت مشترک تعریف شده در فرمول ۱-۲۱، A_d بهره تفاضلی تقویت کننده و A_c بهره حالت مشترک تقویت کننده است.

۱-۶-۱: ورودیهای با قطبیت مخالف:

اگر ورودیهای اعمال شده به آپ امپ، دو سیگنال با دامنه های مساوی و قطبیت مخالف باشند، یعنی $V_{i۱} = -V_{i۲} = V_s$ سیگنال تفاضلی ورودی طبق فرمول ۱-۲۰ عبارت است از:

$$V_d = V_{i۱} - V_{i۲} = V_s - (-V_s) = ۲V_s$$

همچنین ورودی حالت مشترک طبق فرمول ۱-۲۱ عبارت است از:

$$V_c = \frac{۱}{۲}(V_{i۱} + V_{i۲}) = \frac{۱}{۲}[V_s + (-V_s)] = \circ$$

بنابراین با استفاده از فرمول ۱-۲۲ خروجی آپ امپ به صورت زیر به دست می آید:

$$V_\circ = A_d V_d + A_c V_c = A_d(۲V_s) + \circ = ۲A_d V_s$$

بنابراین اگر ورودیها کاملاً قطبیت مخالف داشته و مؤلفه مشترکی نداشته باشند (دو سیگنال با دامنه مساوی و ۱۸۰ درجه اختلاف فاز باشند) ، خروجی حاصلضرب بهره تفاضلی در دو برابر سیگنال اعمال شده به یک ورودی است.

۱-۶-۲: ورودیهای با قطبیت یکسان:

اگر ورودیهای یکسانی به آپ امپ اعمال شود، یعنی $V_{i1}=V_{i2}=V_s$ (دو سیگنال ورودی دامنه های مساوی داشته و اختلاف فازی نداشته باشند)، آنگاه V_d, V_c به صورت زیر به دست می آیند:

$$V_d = V_{i۱} - V_{i۲} = V_s - V_s = \circ$$

$$V_c = \frac{۱}{۲}(V_{i۱} - V_{i۲}) = \frac{۱}{۲}(V_s - V_s) = V_s$$

بنابراین خروجی آپ امپ نیز با استفاده از فرمول ۱-۲۲ به صورت زیر به دست می آید:

$$V_\circ = A_d V_d + A_c V_c = A_d(\circ) + A_c(V_s) = A_c V_s$$

در این حالت خروجی حاصلضرب بهره حالت مشترک در مقدار یکی از ورودیهاست.

۳-۶-۱: اندازه گیری A_c,A_d:

با استفاده از مطالب بخش ۱-۶-۱ و بخش ۲-۶-۱ اندازه گیری A_c,A_d مدارهای آپ امپی به صورت زیر خلاصه می شود:

الف- اندازه گیری A_d: ولتاژهای ورودی را به صورت $V_{i1} = -V_{i2} = V_s = \circ/\Delta V$ قرار می دهیم، بنابراین طبق فرمولهای ۱-۲۰، ۱-۲۱، ۱-۲۲ مقادیر V_o,V_c,V_d به صورت زیر به دست می آیند:

$$V_d = V_{i1} - V_{i2} = \circ/\Delta V - (-\circ/\Delta V) = 1V$$

$$V_c = \frac{1}{2}(V_{i1} + V_{i2}) = \frac{1}{2}[\circ/\Delta V + (-\circ/\Delta V)] = \circ$$

$$V_\circ = A_d V_d + A_c V_c = A_d(1V) + A_c(\circ) = A_d$$

بنابراین با $V_{i1} = \circ/\Delta V$ و $V_{i2} = -\circ/\Delta V$ ولتاژ خروجی از لحاظ مقدار عددی با مقدار A_d برابر است.

ب- اندازه گیری A_C: برای اندازه گیری A_C ولتاژهای ورودی را به اندازه $V_{i1}=V_{i2}=1V$ می دهیم، بنابراین مقادیر V_o,V_c,V_d به صورت زیر به دست می آیند:

$$V_d = V_{i1} - V_{i2} = 1V - 1V = \circ$$

$$V_c = \frac{1}{2}(V_{i1} + V_{i2}) = \frac{1}{2}[1V + 1V] = 1V$$

$$V_\circ = A_d V_d + A_c V_c = A_d(\circ V) + A_c(1V) = A_c$$

بنابراین با $V_{i1}=V_{i2}=1V$ ولتاژ خروجی از لحاظ مقدار عددی با A_C برابر است.

۴-۶-۱: نسبت خذف حالت مشترک (common Mode Rejection Ratio):

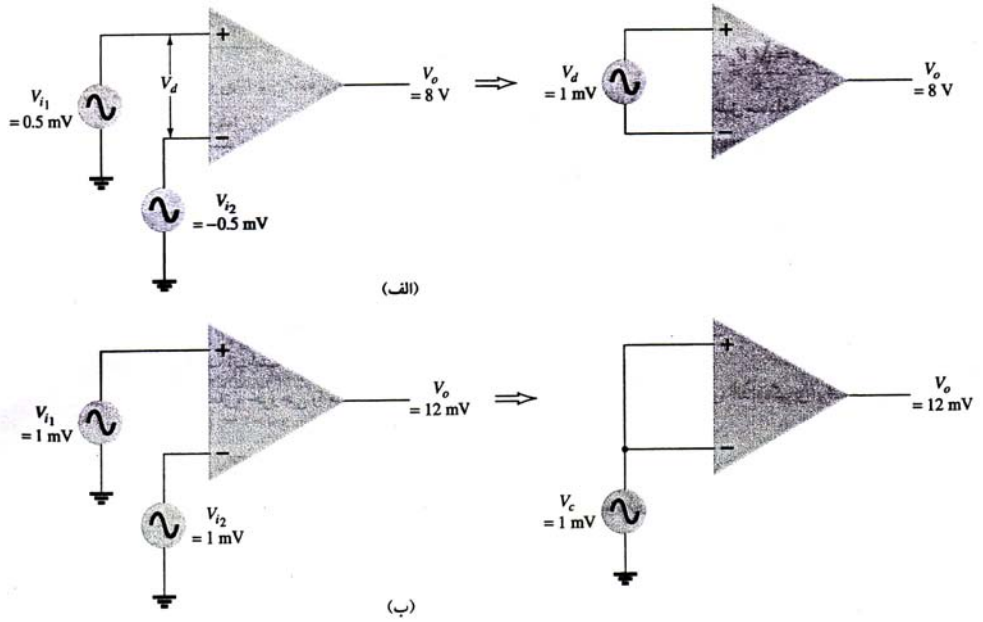
برای تقویت کننده های تفاضلی هرقدر مقدار A_d بیشتر و مقدارA_c کمتر باشد، به حالت ایده آل نزدیکتر است. برای نشان دادن این خاصیت از پارامتری بنام نسبت حذف حالت مشترک (CMRR) استفاده می شود. با به دست آوردن A_d,A_c به روش بالا مقدار CMRR با استفاده از فرمول ۱-۲۳ به دست می آید و در بسیاری از مواقع این مقدار برحسب dB (دسیبل) با استفاده از فرمول ۱-۲۴ مشخص می شود:

$$CMRR = \frac{A_d}{A_c} \qquad (۱-۲۳)$$

$$CMRR(dB) = ۲\circ \log_{۱\circ} \frac{A_d}{A_c}(dB) \qquad (۱-۲۴)$$

درحالت ایده آل CMRR برابر بینهایت است.

مثال ۶-۱: با توجه به اندازه گیریهای نشان داده در شکل ۲۶-۱ مقدار CMRR را حساب کنید.



شکل ۲۶-۱: مربوط به مثال ۶-۱، عملکرد تفاضلی و حالت مشترک؛ (الف) تفاضلی، (ب) حالت مشترک

حل: به صورتی که در بالا توضیح داده شد، با استفاده از اطلاعات شکل ۲۶-۱ (الف) می توان مقدار A_d را به صورت زیر به دست آورد:

$$A_d = \frac{V_\circ}{V_d} = \frac{۸V}{۱mV} = ۸۰۰۰$$

با توجه به مقادیر نشان داده شده در شکل ۲۶-۱ (ب) می توان مقدار A_c را به صورت زیر به دست آورد: (ب)

$$A_c = \frac{V_\circ}{V_c} = \frac{۱۲mV}{۱mV} = ۱۲$$

بنابراین با استفاده از فرمولهای ۲۳-۱ و ۲۴-۱ مقدار CMRR به صورت عادی و برحسب dB چنین است:

$$CMRR = \frac{A_d}{A_c} = \frac{۸۰۰۰}{۱۲} = ۶۶۶/۷$$

$$CMRR(dB) = ۲۰\log_{۱۰} ۶۶۶/۷ = ۵۶/۴۸\ dB$$

برای بدست آوردن ولتاژ خروجی برحسب CMRR می توان از فرمول ۲۲-۱ شروع کرد:

$$V_\circ = A_d V_d + A_c V_c = A_d V_d \left(۱ + \frac{A_c}{A_d}\frac{V_c}{V_d}\right)$$

با استفاده از فرمول ۲۳-۱۰ فرمول بالا به صورت فرمول ۲۵-۱ زیر در می آید: (۲۵-۱)

$$V_\circ = A_d V_d \left(۱ + \frac{۱}{CMRR} \times \frac{V_c}{V_d}\right) \qquad (۱-۲۵)$$

فرمول ۲۵-۱ نشان می دهد که حتی موقعی که سیگنالهای اعمال شده هم مؤلفه V_d و هم مؤلفه V_c داشته باشند، اگر CMRR به اندازه کافی بزرگ باشد، ولتاژ خروجی عمدتاً از سیگنال تفاضلی ناشی شده و مؤلفه حالت مشترک به شدت تضعیف یا حذف می شود. یک مثال این موضوع را روشنتر می کند.

مثال ۷-۱: ولتاژ خروجی که یک آپ امپ با ولتاژهای ورودی $V_{i1}=150\,\mu V, V_{i2}=140\,\mu V$را بیابید. بهره تفاضلی آپ امپ A_d=400,CMRR برابر است با (الف) ۱۰۰و (ب) 10^5.

حل:

$$V_d = V_{i1} - V_{i2} = 150\,\mu V - 140\,\mu V = 10\,\mu V$$
$$V_c = \frac{1}{2}(V_{i1} + V_{i2}) = \frac{150\,\mu V + 140\,\mu V}{2} = 145\mu V$$

(الف) طبق فرمول ۲۵-۱ داریم:

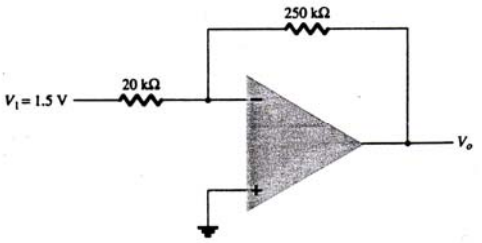
$$V_c = A_d V_d\,(1 + \frac{1}{CMRR} \times \frac{V_c}{V_d}) = (4000)(10\,\mu V)\left(1 + \frac{1}{100} \times \frac{145\mu V}{10\,\mu V}\right)$$
$$= (40\,mV)(1/145) = 45/8 mV$$
$$V_o = (4000)(10\,\mu V)\left(1 + \frac{1}{10^5} \times \frac{145\mu V}{10\,\mu V}\right) = 40/006 \;\; mV$$

مثال ۷-۱ نشان می دهد که هرچه CMRR بزرگتر باشد، ولتاژ خروجی به حاصلضرب بهره تفاضلی درورودی تفاضلی نزدیکتر است و سیگنال حالت مشترک بیشتر حذف می شود.

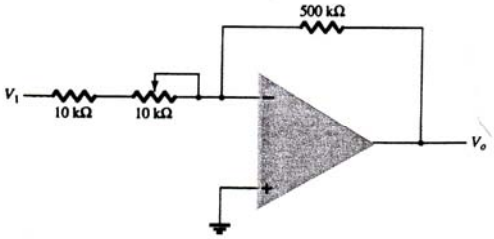
مسائل:

۱- ولتاژ خروجی مدار شکل ۲۷-۱ را بیابید.

۲- در مدار ۲۸-۱ ولتاژ V_1=0/2V است. با تغییر مقاومت متغیر مقدار حداقل و حداکثر ولتاژ V_o را بیابید.



شکل ۲۷-۱: مربوط به مسأله ۱و۳.

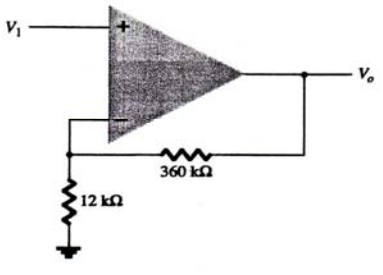


شکل ۲۸-۱: مربوط به مسأله ۲

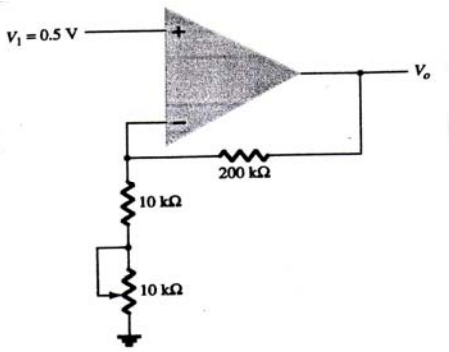
۳- در مدار شکل ۲۷-۱ اگر مقدار V_1 در فاصله ۰/۱ V تا ۰/۵ V تغییر کند، ولتاژ V_o در چه فاصله ای تغییر می کند؟

۴- برای اینکه ولتاژ خروجی مدار شکل ۲۹-۱ برابر با (۲/۴ V-) شود، ولتاژ ورودی آن چقدر باید باشد؟

۵- در مدار شکل ۳۰-۱ ولتاژ خروجی در چه محدوده ای تغییر می کند؟

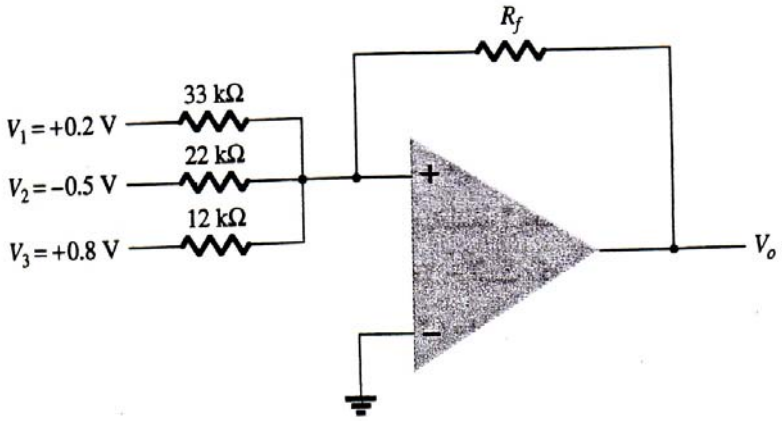


شکل ۲۹-۱: مربوط به مسأله ۴



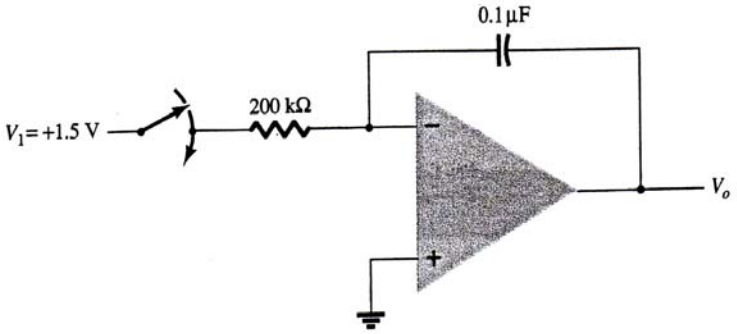
شکل ۳۰-۱: مربوط به مسأله ۵

۶- ولتاژ خروجی مدار شکل ۳۱-۱ را به ازاء $R_f = ۳۳۰ k\Omega$ به دست آورید.



شکل ۳۱-۱: مربوط به مسأله ۶

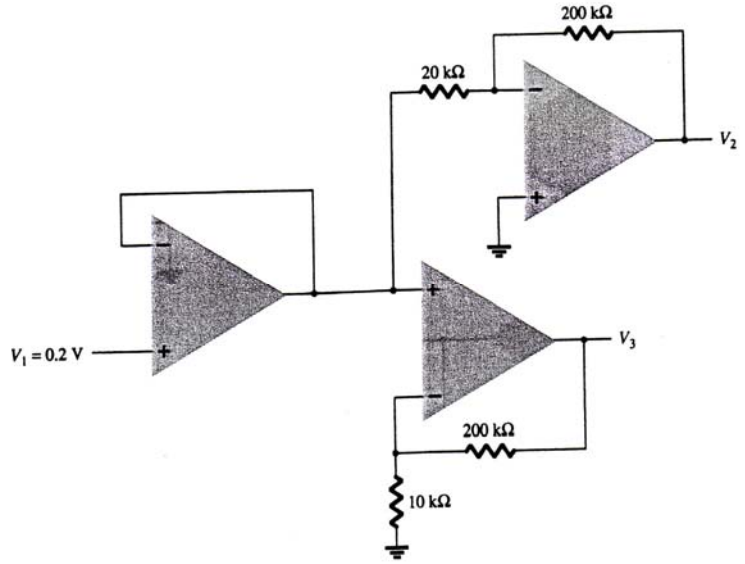
۷- شکل موج خروجی مدار شکل ۳۲-۱را رسم کنید.



شکل ۳۲-۱: مربوط به مسأله ۷

۸- ولتاژ خروجی مدار شکل ۳۳-۱ را به دست آورید.

۹- ولتاژ خروجی های V_3, V_2 مدار شکل ۳۴-۱ را حساب کنید.

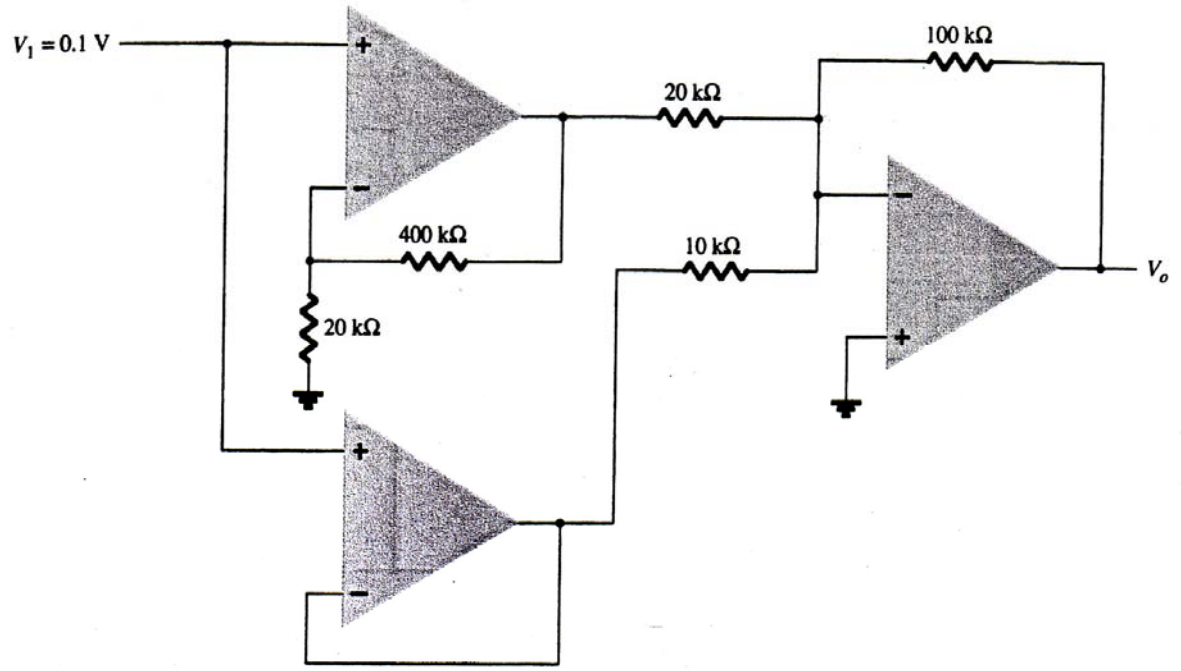


شکل ۳۴-۱: مربوط به مسأله ۹

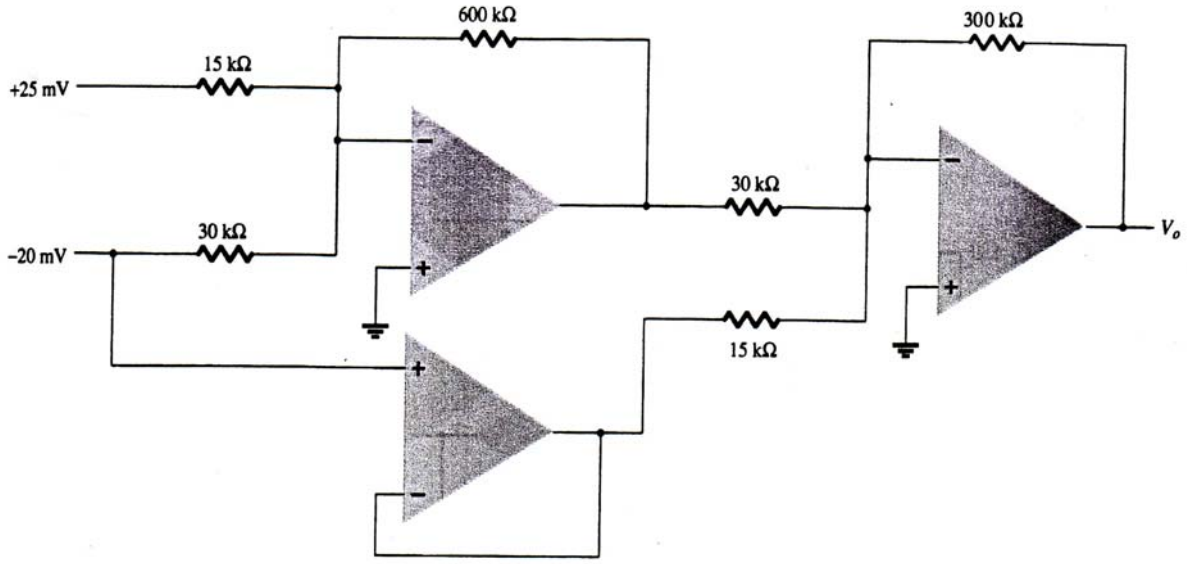
۱۰- ولتاژ V_o مدار شکل ۳۵-۱ را حساب کنید.

۱۱- ولتاژ V_o مدار شکل ۳۶-۱ را حساب کنید

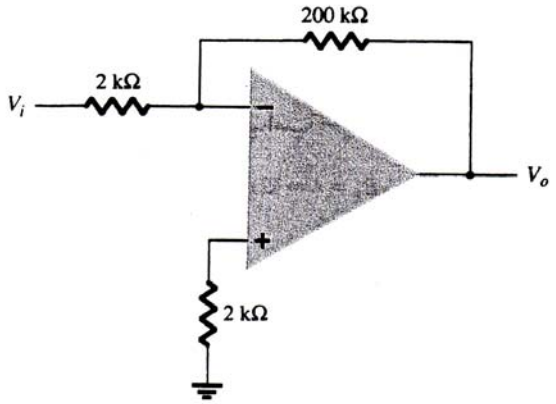
۱۲- ولتاژ آفست کل مدار شکل ۳۷-۱ را بیابید. برای آپ امپ ولتاژ آفست ورودی $V_{IO}=6mV$ و جریان آفست ورودی $I_{IO}=۱۲۰nA$ مشخص شده است.



شکل ۳۵-۱: مربوط به مسأله ۱۰



شکل ۳۶-۱: مربوط به مسأله ۱۱



شکل ۳۷-۱: مربوط به مسأله ۱۲و۱۶

۱۳- برای یک آپ امپ $I_{IB}=20nA,I_{Io}=4nA$ است. جریان بایاس ورودی هریک از ورودی های آپ امپ را تعیین کنید.

۱۴- فرکانس قطع آپ امپ با $A_{VD}=150V/mV,B_1=800KHZ$ را حساب کنید.

۱۵- برای آپ امپ با $SR=2/4V/\mu S$ ماکزیمم بهره حلقه بسته را تعیین کنید که اگر ورودی در $10\mu S$ به اندازه $0/3V$ تغییر کند، خروجی بدون اعوجاج باشد.

۱۶- در مدارشکل ۳۷-۱، $V_1=50mV$ است. اگر سرعت تغییر خروجی آپ امپ $SR=0/4V/\mu S$ باشد، ماکزیمم فرکانسی را که می توان به کار برد چقدر است؟

۱۷- برای آپ امپی اگر $V_d=1mV$ باشد، $V_o=120mV$ و اگر $V_c=1mV$ باشد، $V_o=20\mu V$ است. برای این آپ امپ CMRR را برحسب dB بیابید.

۱۸- ولتاژ خروجی آپ امپ با ورودیهای $V_{i1}=200\mu V.V_{i2}=140\mu V$

را بیابید.

بهره تفاضلی آپ امپ $A_d=6000$ است و CMRR آن برابر است با (الف) ۲۰۰، (ب) 10^5.

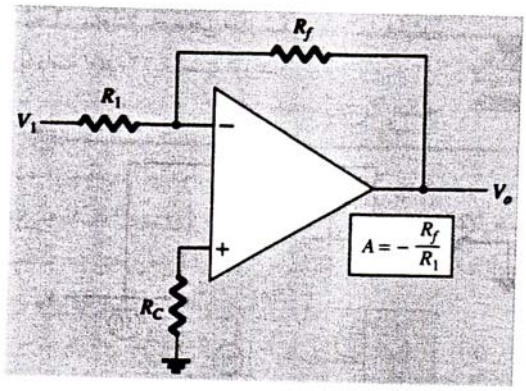
فصل ۲
کاربردهای آپ امپ

در فصل اول در مورد خصوصیات تقویت کننده عملیاتی و مدارهای اولیه آن صحبت شد. در فصل دوم این مدارهای کاربردی باجزئیات بیشتری بررسی شده و کاربردهای دیگری نیز از آپ امپ مورد بررسی قرار خواهد گرفت.

۲-۱: ضرب کننده بابهره ثابت:

یکی از متداولترین کاربرد آپ امپ، استفاده از آن در ساخت مدار ضرب کننده با بهره ثابت است، که ضریب یا بهره دقیقی دارد. شکل ۲-۱ این مدار را نشان می دهد که بهره آن عبارت است از:

$$A = -\frac{R_f}{R_1} \qquad (۲-۱)$$



شکل ۲-۱: تقویت کننده با بهره ثابت:

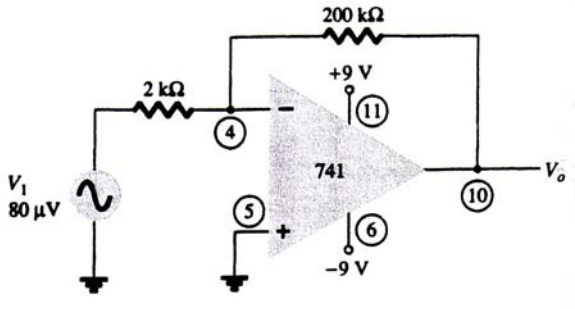
مثال ۲-۱: ولتاژ خروجی مدار شکل ۲-۲ را به ازاء ورودی سینوسی با دامنه $2/5\text{mV}$ به دست آورید.

حل: مدار شکل ۲-۲ با آپ امپ ۷۴۱ ساخته شده و بهره ثابت آن را می توان به کمک فرمول ۲-۱ به دست آورد:

$$A = -\frac{R_F}{R_1} = -\frac{۲۰۰k\Omega}{۲k\Omega} = -۱۰۰$$

$$V_o = -AV_1 = -۱۰۰\left(۲/۵\sin\omega t(mV)\right) = -۰/۲۵\sin\omega t(V) = ۰/۲۵\sin(\omega t + \pi)(V)$$

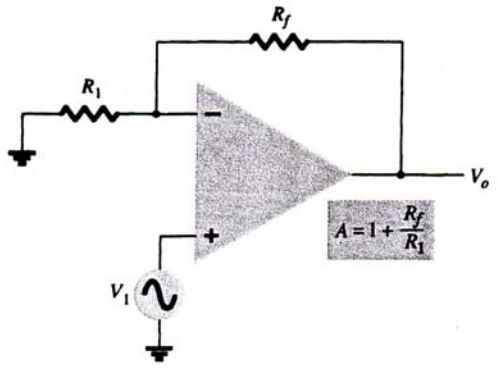
بنابراین دامنه خروجی ۱۰۰ برابر دامنه ورودی بوده و نسبت به آن ۱۸۰ درجه اختلاف فاز دارد.



شکل ۲-۲: مدار مثال ۲-۱

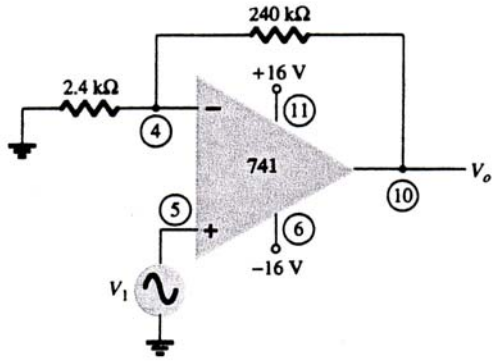
مدار شکل ۳-۲ یک مدار ضرب کننده با بهره ثابت مثبت را نشان می دهد. (برخلاف مدارهای شکل ۱-۲ و ۲-۲ که بهره آنها منفی بود). بهره مدار ۳-۲ با فرمول ۲-۲ مشخص شده است.

$$A = ۱ + \frac{R_F}{R_۱} \qquad (۲-۲)$$



شکل ۳-۲: تقویت کننده غیرمعکوس با بهره ثابت

مثال ۲-۲: ولتاژ خروجی مدار شکل ۴-۲ را درصورتی که ورودی دامنه $۱۲۰\,\mu V$داشته باشد به دست آورید.



شکل ۴-۲: مدار مثال ۲-۲

حل: با استفاده از فرمول ۲-۲:

$$A = ۱ + \frac{R_F}{R_۱} = ۱ + \frac{۲۴۰\,k\Omega}{۲/۴k\Omega} = ۱ + ۱۰۰ = ۱۰۱$$

بنابراین دامنه خروجی به صورت زیر به دست می آید:

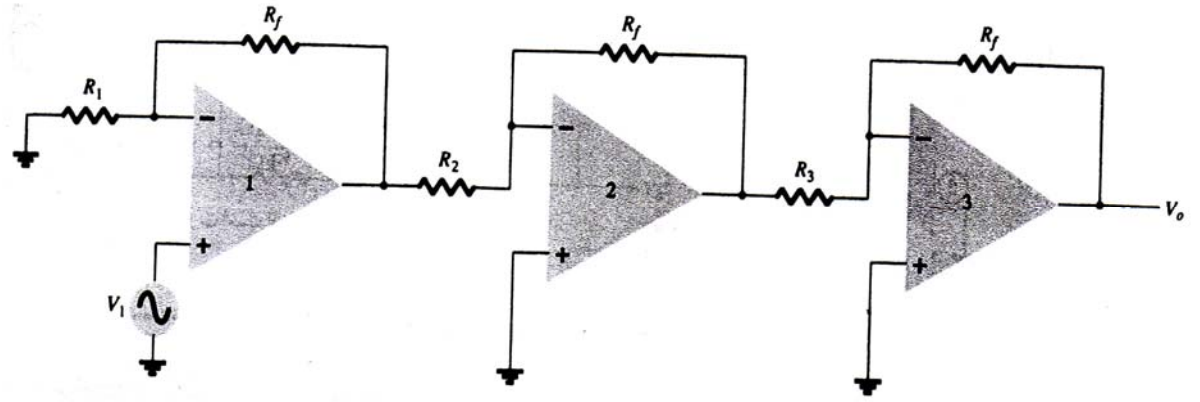
$$V_۰ = AV_i = ۱۰۱(۱۲۰\,\mu V) = ۱۲/۱۲mV$$

۱-۱-۲: بهره مدارهای چند طبقه:

اگر چند طبقه آپ امپ به صورت متوالی به یکدیگر وصل شوند، بهره کل برابر است با حاصلضرب بهره تک تک طبقه ها. این موضوع به این علت صحت دارد، که امپدانس خروجی هرطبقه مقدار بسیار کمی است و طبقه بعد از آن تقریباً هیچ اثر بارگذاری (Loading) روی آن ندارد. شکل ۵-۲ اتصال سه طبقه را نشان می دهد. طبقه اول براساس فرمول ۲-۲ بهره مثبتی دارد. طبقه های دوم و سوم براساس فرمول ۱-۲ بهره منفی دارند. بنابراین بهره کل مدار مثبت است و به صورت زیر به دست می آید:

$$A=A_1A_2A_3$$

که در آن $A_1 = 1+\frac{R_F}{R_1}, A_2 = -\frac{R_F}{R_2}, A_3 = -\frac{R_F}{R_3}$ می باشند.



شکل ۵-۲: اتصال سه طبقه با بهره ثابت

مثـــــال ۳-۲: در مـــــدار شـــــکل ۵-۲ در صـــــورتی کـــــه $V_i = 80\mu V$ و مقاومتهـــــای مـــــدار $R_F = 470k\Omega$, $R_1 = 4/3k\Omega$, $R_2 = 33k\Omega$, $R_3 = 33k\Omega$ باشد ولتاژ خروجی مدار را به دست آورید.

حل:

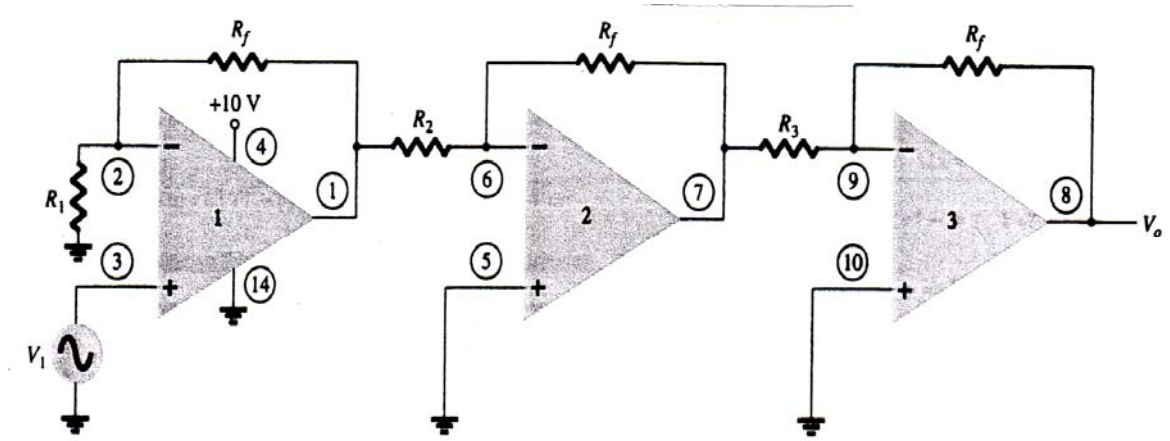
$$A = A_1A_2A_3 = \left(1+\frac{R_F}{R_1}\right)\left(-\frac{R_F}{R_1}\right)\left(-\frac{R_F}{R_3}\right)$$

$$= \left(1+\frac{470k\Omega}{4/3k\Omega}\right)\left(-\frac{470k\Omega}{33k\Omega}\right)\left(-\frac{470k\Omega}{33k\Omega}\right) = (110/3)(-14/2)(-14/2) = 22/2\times10^3$$

$$V_o = AV_i = 22/2\times10^3\,(80\mu V) = 1/78V$$

مثال ۴-۲: داخل آی سی LM124 چهار آپ امپ مجزا وجود دارد. با استفاده از این آی سی یـک تقویـت کننـده سه طبقه با بهره های ۱۰+ ، ۱۸- ، ۲۷- طرح کنید. برای هرسه طبقه مقاومت فیدبک $R_F = 270k\Omega$ به کار بریـد. ولتاژ خروجی مدار را به ازاء ورودی $150\mu V$ به دست آورید.

حل: مدار شکل ۶-۲ آرایش لازم و شماره پایه های آی سی را نشان می دهد. منبع تغذیه برای تمامی آپ امـپ هـا مشترک است .



شکل ۶-۲: ساخت مدار مثال ۴-۲ با استفاده از آی سی شماره LM124

برای دستیابی به بهره (۱۰+):

$$A = ۱ + \frac{R_F}{R_۱} = +۱۰ \Rightarrow \frac{R_F}{R_۱} = ۹ \Rightarrow R_۱ = \frac{R_F}{۹} = \frac{۲۷۰ k\Omega}{۹} = ۳۰ k\Omega$$

برای دستیابی به بهره (۱۸-):

$$A_۲ = -\frac{R_F}{R_۲} = -۱۸ \Rightarrow R_۲ = \frac{R_F}{۱۸} = ۱۵ k\Omega$$

برای دستیابی به بهره (۲۷-):

$$A_۳ = -\frac{R_F}{R_۳} = -۲۷ \Rightarrow R_۳ = \frac{R_F}{۲۷} = ۱۱۰ k\Omega$$

به ازاء ورودی $V_۱ = ۱۵۰ \mu V$، ولتاژ خروجی به صورت زیر به دست می آید:

$$V_۰ = A_۱ A_۲ A_۳ V_۱ = (۱۰)(-۱۸)(-۲۷)(۱۵۰ \mu V) = ۰/۷۲۹ V$$

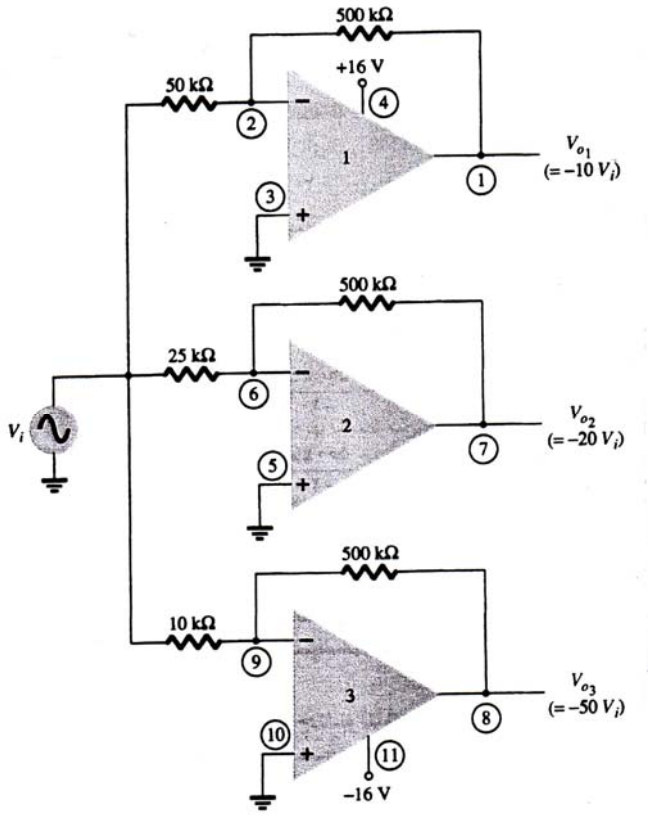
مثال ۵-۲: با استفاده از آی سی LM348 مداری طرح کنید که خروجیهائی با ۱۰ , ۲۰ و ۵۰ برابر ورودی به دست آید. در تمام طبقه ها از مقاومت فیدبک $R_f = ۵۰۰ k\Omega$ استفاده کنید.

حل: مقاومتهای ورودی هر طبقه به صورت زیر محاسبه می شود:

$$R_۱ = -\frac{R_F}{A_۱} = -\frac{۵۰۰ k\Omega}{-۱۰} = ۵۰ k\Omega, R_۲ = -\frac{R_F}{A_۲} = -\frac{۵۰۰ k\Omega}{-۲۰} = ۲۵ k\Omega$$

$$R_۳ = -\frac{R_F}{A_۳} = -\frac{۵۰۰ k\Omega}{-۵۰} = ۱۰ k\Omega$$

مدار در شکل زیر نشان داده شده است.

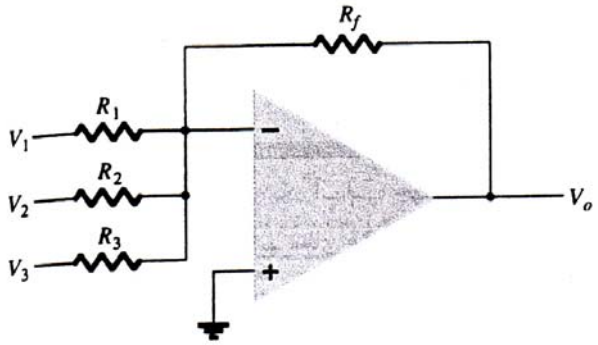


شکل ۷-۲: مدار مثال ۵-۲ با استفاده از آی سی LM348.

۲-۲: جمع کردن چند ولتاژ:

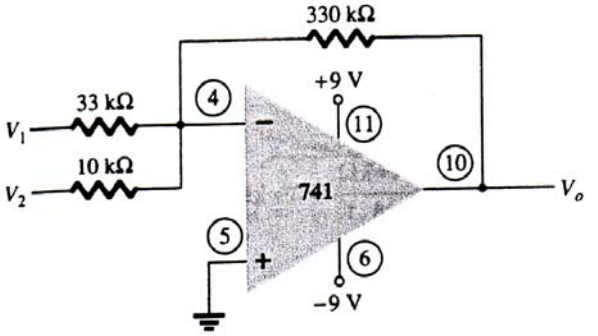
شکل ۸-۲ یک آرایش مداری برای جمع کردن سه ورودی را نشان می دهد. هرکدام از ورودیها در بهره متفاوتی ضرب می شود. ولتاژ خروجی عبارت است از:

$$V_o = -\left(\frac{R_F}{R_1}V_1 + \frac{R_F}{R_2}V_2 + \frac{R_F}{R_3}V3\right) \qquad (۲-۳)$$



شکل ۸-۲: تقویت کننده جمع کننده.

مثـــال ۶-۲: ولتاژ خروجی مدار شکل ۹-۲ را با ورودی های $V_1 = (150\,mV)\sin(1000t)$ و $V_2 = (10\,mV)\sin(3000t)$ حساب کنید.



شکل ۹-۲: مدار مثال ۶-۲.

حل: ولتاژ خروجی عبارت است از:

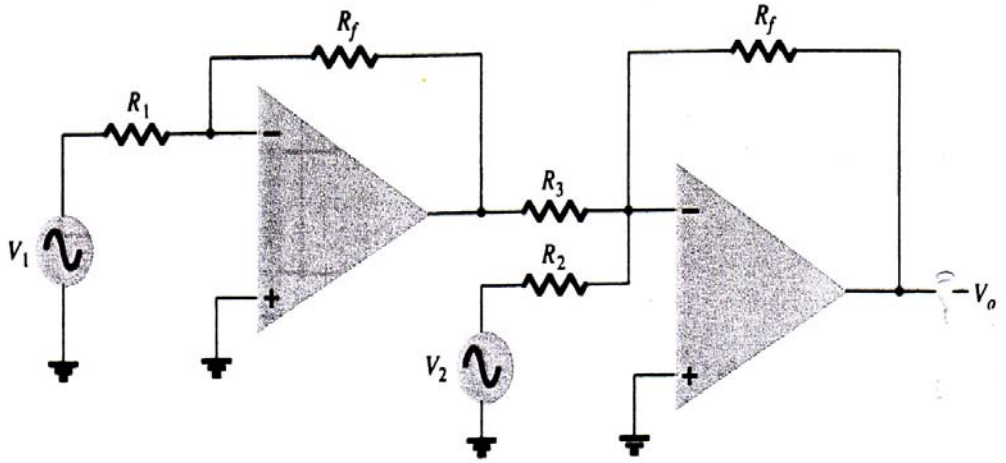
$$V_o = -\left(\frac{330\,k\Omega}{33k\Omega}V_1 + \frac{330\,k\Omega}{10\,k\Omega}V_2\right) = -(10V_1 + 33V_2)$$
$$= -[10(50\,mV)\sin(1000t) + 33(10\,mV)\sin(3000t)] = -[0/5\sin(1000t) + 0/33\sin(3000t)]$$

۲-۳: تفریق کردن دو ولتاژ:

به چند روش می توان دو سیگنال را از هم تفریق کرد. شکل ۱۰-۲ یک مدار دو طبقه آپ امپی را نشان می دهد، که برای تفریق کردن دو سیگنال به کار رفته است. خروجی مدار عبارت است از:

$$V_o = -\left(\frac{R_F}{R_2}\times V_2 - \frac{R_F}{R_3}\times\frac{R_F}{R_1}\times V_1\right) \qquad (۲-۴)$$

فرمول ۴-۲ با استفاده از قضیه برهم نهی (جمع آثار) به دست آمده است.



شکل ۱۰-۲: مداری برای تفریق دو سیگنال.

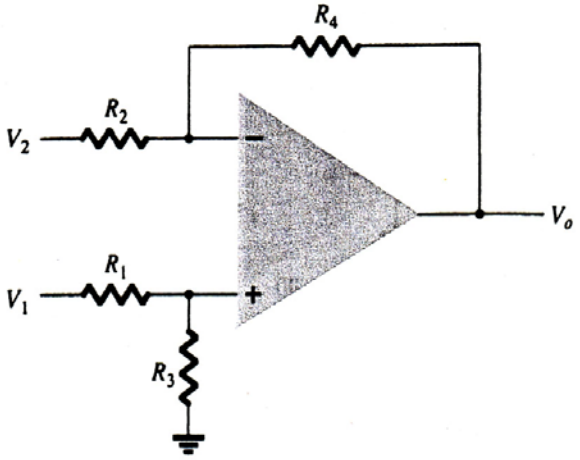
مثـــال ۷-۲: خروجـــی مـــدار شـــکل ۱۰-۲ را برحســـب V_2, V_1 بـــه دســـت آوریـــد در صـــورتی کـــه $R_۳ = ۵۰۰k\Omega, R_۲ = ۱۵۰k\Omega, R_۱ = ۱۰۰k\Omega, R_F = ۱M\Omega$ باشد.

حل:

$$V_۰ = -(\frac{۱M\Omega}{۵۰ k\Omega} \times V_۲ - \frac{۱M\Omega}{۵۰۰k\Omega} \times \frac{۱M\Omega}{۱۰۰k\Omega} \times V۱) = -۲۰(V_۲ - V_۱)$$

بنابراین خروجی متناسب با تفاضل V_1, V_2 است و ضریب تناسب (۲۰-) است.

مدار دیگری که برای ایجاد تفاضل دو سیگنال به کار می رود در شکل ۱۱-۲ نشان داده شده است.



شکل ۱۱-۲: مدار تفریق کننده دیگر.

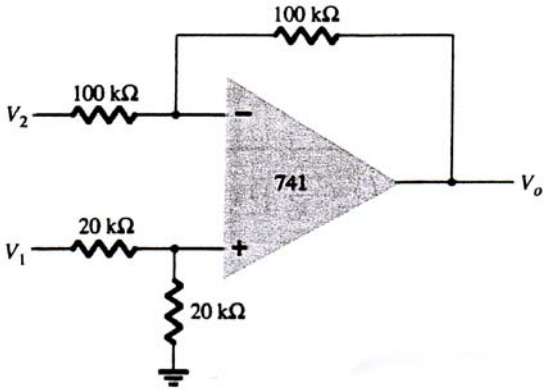
با استفاده از قضیه برهم نهی می توان خروجی مدار شکل ۱۱-۲ را برحسب ورودیهای آن به صورت فرمـول ۵-۲ به دست آورد:

$$V_۰ = \frac{R_۳}{R_۱ + R_۳} \times \frac{R_۲ + R_۴}{R_۲} \times V_۱ - \frac{R_۴}{R_۲} V_۲ \qquad (۲-۵)$$

معمولا در این مدار مقاومت ها به اندازه ای انتخاب می شوند که رابطه $\frac{R_۴}{R_۲} = \frac{R_۳}{R_۱}$ بـین آنهـا برقـرار باشـد، در ایـن صورت فرمول ۵-۲ به صورت فرمول ۶-۲ در می آید. در این صورت تفاوت دو ورودی تقویت می شود.

$$V_o = \frac{R_4}{R_2}(V_1 - V_2) \qquad (۲-۶)$$

مثال ۸-۲: ولتاژ خروجی مدار شکل ۱۲-۲ را بر حسب V_2, V_1 به دست آورید.



شکل ۱۲-۲ مدار مثال ۸-۲

حل: با استفاده از فرمول ۵-۲ ولتاژ خروجی به صورت زیر به دست می آید:

$$V_o = \left(\frac{20k\Omega}{20k\Omega + 20k\Omega}\right)\left(\frac{100k\Omega + 100k\Omega}{100k\Omega}\right)V_1 - \frac{100k\Omega}{100k\Omega} \times V_2$$

نتیجه رابطه بالاز این قرار است:

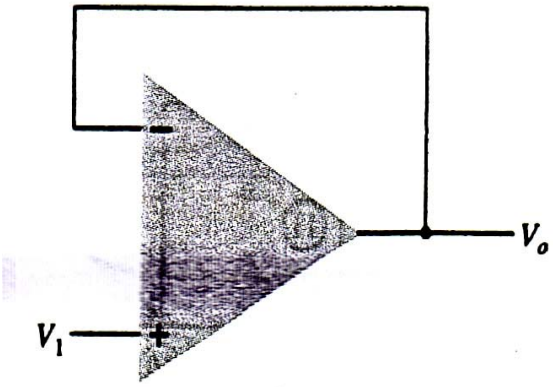
$$V_o = V_1 - V_2$$

با مقایسه مقادیر مقاومت های مدار شکل ۱۲-۲ با مدار شکل ۱۱-۲ مشخص می شود که رابطه $\frac{R_4}{R_2} = \frac{R_3}{R_1}$ بین مقاومت های این مدار برقرار است، بنابراین برای حل مثال ۸-۲ ازفرمول ۶-۲ نیز می توان استفاده کرد و چون $\frac{R_4}{R_2} = 1$ است بنابراین در این مثال $V_o = V_1 - V_2$ است.

۴-۲: مدار بافر (Buffer):

استفاده از مدار بافر برای جدا کردن (Isolation) سیگنال ورودی از بار، به وسیله طبقه ای با بهره ولتاژ یک است، بدون اینکه قطبیت سیگنال ورودی تغییر داده شود. به این معنی که کار مدار بافر به عنوان یک مدار واسط بین سیگنال ورودی وبار، برای جلوگیری از تضعیف و یا خراب شدن شکل سیگنال ورودی توسط بار است، بخصوص اگرامپدانس ورودی بار کم باشد. امپدانس ورودی مدار بافر بسیار بزرگ و امپدانس خروجی آن بسیار کوچک است، که بتواند خاصیت ذکر شده دربالا را داشته باشد. شکل ۱۳-۲ یک مدار بافر را نشان می دهد که با استفاده از آپ امپ ساخته شده است. در مدار تقویت کننده غیر معکوس شکل ۳-۲ در صورتی که $R_f = 0$ شود (اتصال کوتاه شود) و $R_1 = \infty$ گردد (اتصال باز شود) تبدیل به مدار بافر شکل ۱۳-۲ می شود. بنابراین در صورتی که در فرمول ۲-۲، $R_f = 0, R_i = \infty$ گذاشته شود $A = 1$ خواهد شد بنابراین برای مدار شکل ۱۳-۲ رابطه ۷-۲ برقرار است:

$$V_o = V_1 \qquad (۲-۷)$$



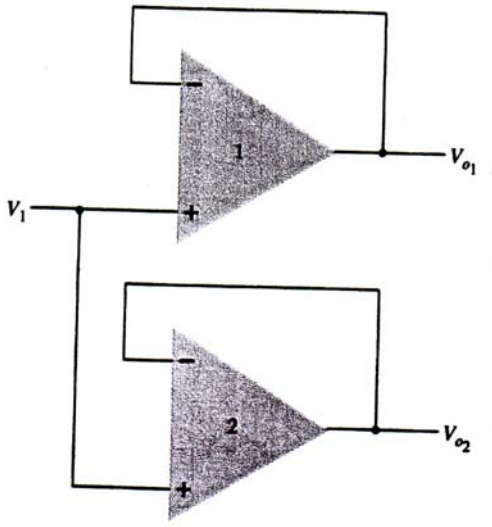
شکل ۱۳-۲: مدار بافر با بهره واحد

به لحاظ اینکه مدار بافر کاربرد زیادی دارد، برخی از آپ امپ ها از قبیل $LM۱۰۲$ در مدار داخلیشان بین خروجی و ورودی معکوس اتصال کوتاه ایجاد شده و فقط ورودی غیر معکوس و خروجی از بدنه آی سی خارج می گردد. این قبیل آی سی ها فقط می توانند به عنوان بافرمورد استفاده قرار گیرند.

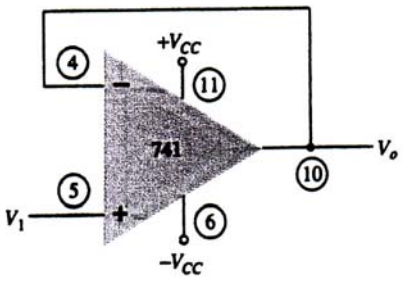
شکل ۱۴-۲ نشان می دهد که چگونه می توان با اتصال دو مدار بافر دو خروجی مجزا ایجاد کرد. مزیت این مدار این است که خروجی ها از یکدیگر مجزا بوده و بار متصل به یک خروجی اثری روی خروجی دیگر ندارد.

مثال ۹-۲: با استفاده از آی سی ۷۴۱ یک مدار بافر بسازید.

حل: مدار خواسته شده در شکل ۱۵-۲ نشان داده شده است.



شکل ۱۴-۲: کاربرد مدار بافر برای ایجاد دو سیگنال خروجی



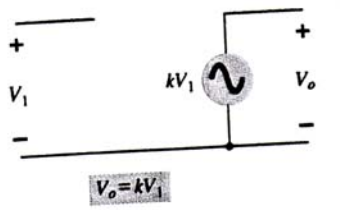
شکل ۱۵-۲: مدار مثال ۹-۲.

۵-۲: منابع کنترل شده:

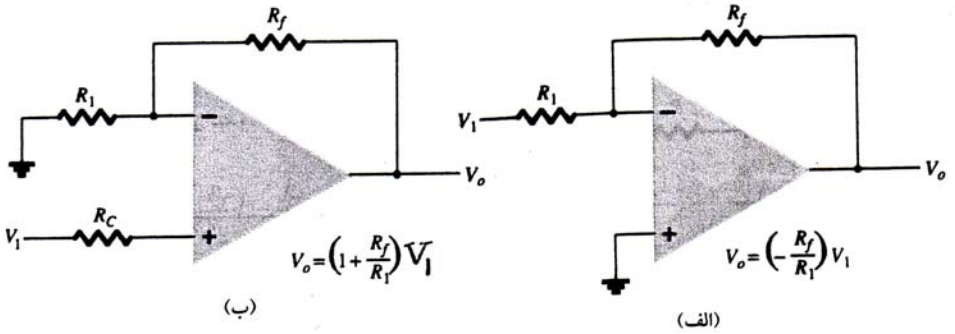
با استفاده از تقویت کننده های عملیاتی (آپ امپ ها) می توان منابع کنترل شده (منابع وابسته) مختلفی ساخت. ولتاژ یا جریان ورودی می تواند ولتاژ یا جریان خروجی را کنترل کند. این مدار ها در شبکه های مختلف ابزار دقیق کاربرد دارند.

۱-۵-۲: منبع ولتاژ کنترل شده با ولتاژ:

شکل ۱۶-۲ حالت ایده آل منبع ولتاژی را نشان می دهد، که خروجی آن V_o به وسیله ولتاژ ورودی V_1 کنترل می شود (منبع ولتاژ وابسته به ولتاژ). ضریب بستگی K یک ضریب بدون واحد است (عدد مطلق). این نوع مدار را می توان مطابق شکل ۱۷-۲ به دو گونه ساخت.



شکل ۱۶-۲: منبع ولتاژ کنترل شده با ولتاژ ایده آل.



شکل ۱۷-۲: منبع ولتاژ کنترل شده با ولتاژ عملی.

برای شکل ۱۷-۲ (الف) ولتاژ خروجی عبارت است از:

$$V_o = -\frac{R_f}{R_1} V_1 = KV_1 \qquad (۲-۸)$$

ولتاژ خروجی شکل ۱۷-۲ (ب) عبارت است از:

$$V_o = \left(1 + \frac{R_f}{R_1}\right) V_1 = KV_1 \qquad (۲-۹)$$

۲-۵-۲: منبع جریان کنترل شده با ولتاژ:

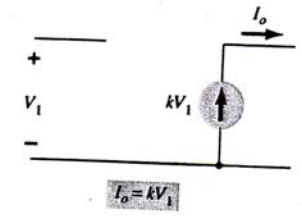
شکل ۱۸-۲ حالت ایده آل منبع جریانی را نشان می دهد، که جریان خروجی آن توسط ولتاژ ورودی کنترل می شود، یعنی جریان خروجی وابسته به ولتاژ ورودی است. شکل ۱۹-۲ مداری را نشان می دهد که جریان خروجی آن، که از مقاومت R_L می گذرد با ولتاژ ورودی V_1 کنترل می شود.

$$I_o = \frac{V_1}{R_1} = KV_1 \qquad (2\text{-}10)$$

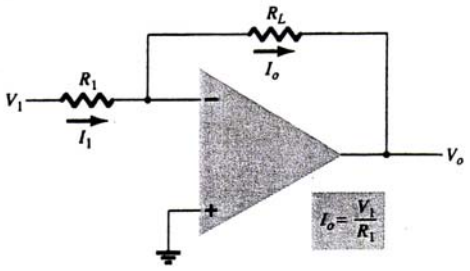
۳-۵-۲: منبع ولتاژ کنترل شده با جریان:

شکل ۲۰-۲ حالت ایده آل منبع ولتاژی را نشان می دهد که ولتاژ خروجی اش به جریان ورودی بستگی دارد، به این معنی که ولتاژ خروجی توسط جریان ورودی کنترل می شود. می توان با آپ امپ مدار عملی شکل ۲۱-۲ را ساخت، که برای این مدار ولتاژ خروجی عبارت است از:

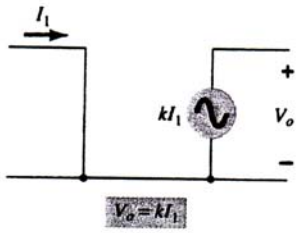
$$V_o = -I_1 R_L = KI_1 \qquad (۲-۱۱)$$



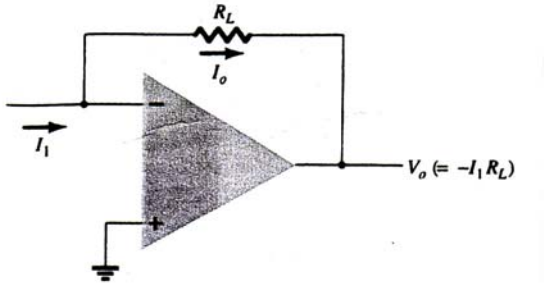
شکل ۱۸-۲: منبع جریان کنترل شده با ولتاژ ایده آل



شکل ۱۹-۲: منبع جریان کنترل شده با ولتاژ عملی



شکل ۲۰-۲: منبع ولتاژ کنترل شده با جریان ایده آل.

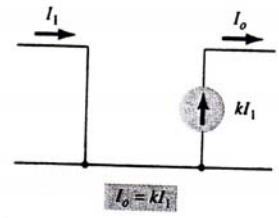


شکل ۲۱-۲: منبع ولتاژ کنترل شده با جریان عملی.

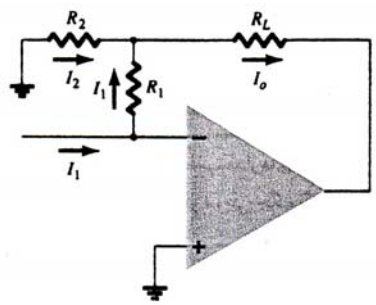
۴-۵-۲: منبع جریان کنترل شده با جریان:

شکل ۲۲-۲ حالت ایده آل منبع جریانی را نشان می دهد که جریان خروجی اش با جریان ورودی کنترل می شود. در این نوع مدار جریان خروجی به جریان ورودی بستگی دارد. شکل ۲۳-۲ یک مدار عملی از این نوع را نشان می دهد. وابستگی جریان خروجی I_o به جریان ورودی I_1 به وسیله فرمول زیر مشخص می شود:

$$I_o = I_1 + I_2 = I_1 + \frac{I_1 R_1}{R_2} = \left(1 + \frac{R_1}{R_2}\right) I_1 = KI_1 \qquad (۲-۱۲)$$

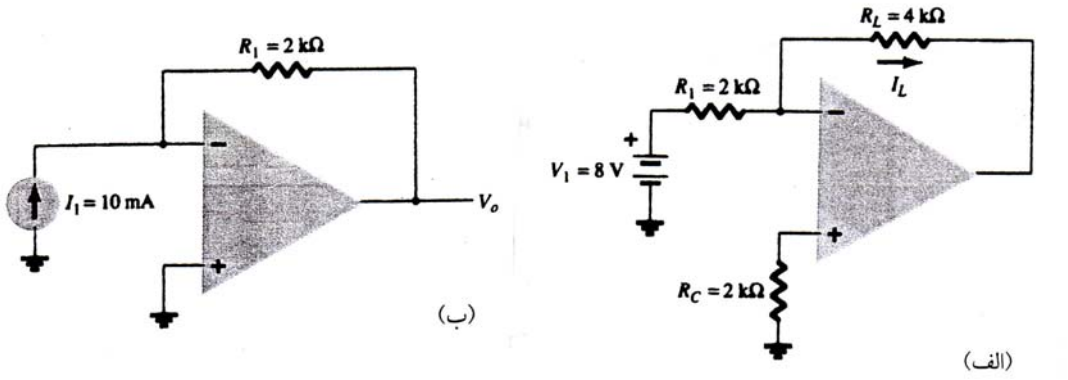


شکل ۲۲-۲: منبع جریان کنترل شده با جریان ایده آل



شکل ۲۳-۲: منبع جریان کنترل شده با جریان عملی

مثال ۱۱-۲: (الف) در مدار شکل ۲۴-۲ (الف) مقدار I_L را به دست آورید.
(ب) برای مدار شکل ۲۴-۲ (ب) مقدار $V_\circ$ را به دست آورید.



شکل ۲۴-۲: مدار های مثال ۱۱-۲

حل: (الف) برای مدار شکل ۲۴-۲ (الف) داریم:

$$I_L = \frac{V_1}{R_1} = \frac{8V}{2K\Omega} = 4mA$$

(ب) برای مدار شکل ۲۴-۲ (ب) داریم:

$$V_\circ = I_1 R_1 = -(10\,mA)(2k\Omega) = -20\,V$$

۶-۲: مدار های ابزار دقیق:

یکی از حوزه های کاربرد آپ آمپ مدار های ابزار دقیق مانند ولتمترهای ac , dc است. با چند مدار نوعی چگونگی کاربرد آپ امپ در این زمینه را نشان می دهیم.

۱-۶-۲: ولتمترِ DC:

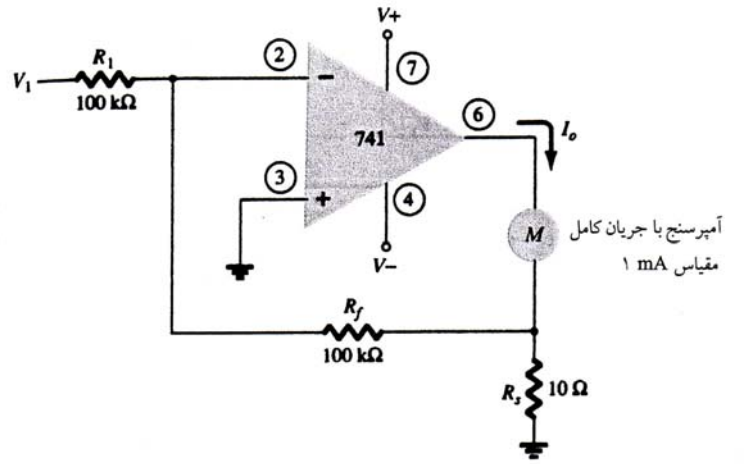
شکل ۲۵-۲ کاربرد آپ امپ ۷۴۱ به عنوان تقویت کننده اصلی یک ولتمتر DC را نشان می دهد. وجود تقویت کننده و R_1 بزرگ باعث می شود که ولتمتر امپدانس ورودی بزرگی داشته، ضرائب مقیاسش تنها به مقدار مقاومت ها و دقتشان بستگی داشته باشد. این دستگاه یک ولتمتر حساس است، که با ولتاژ ورودی حداکثر تا $10\,mV$ پاسخ می دهد. تحلیل این مدار آپ امپی نشان می دهد که تابع تبدیل مدار عبارت است از:

$$\left|\frac{I_\circ}{V_1}\right| = \frac{R_f}{R_1}\left(\frac{1}{R_S}\right) = \left(\frac{100K\Omega}{100k\Omega}\right)\left(\frac{1}{10\Omega}\right) = \frac{1mA}{10\,mV}$$

بنابراین ولتاژ ورودی $10\,mV$ باعث می شود از آمپرسنج $1mA$ جریان بگذرد و عقربه آن با جریان کامل مقیاس (Full Scale) منحرف شود و درجه بندی صفحه آمپرسنج را می توان بر حسب mV تا مقیاس کامل $10\,mV$ انجام داد. اگر ولتاژ ورودی برای مثال 5mV باشد، باعث انحراف عقربه آمپرسنجش به اندازه نیم مقیاس (Half Scale) می شود. اگر R_f را مثلا $200k\Omega$ قرار دهیم، ضریب مقیاس مدار به صورت زیر تغییر می کند:

$$\left|\frac{I_o}{V_1}\right| = \left(\frac{200k\Omega}{100k\Omega}\right)\left(\frac{1}{10\Omega}\right) = \frac{1mA}{5mV}$$

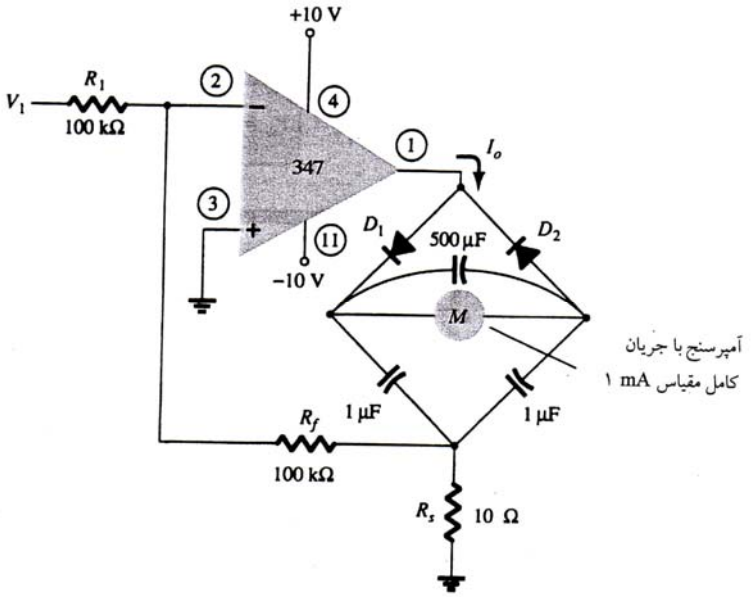
که نشان می دهد در این حالت قرائت کامل مقیاس برابر با 5mV است. همچنین می توان از چند مقاومت مختلف برای R_f استفاده کرد که با استفاده از یک Selector یکی از آنها درمدار قرار گیرد و به این ترتیب یک ولتمتر حساس را با رنج های مختلف داشته باشیم.



شکل ۲۵-۲: ساختن ولتمتر DC با آپ امپ

۲-۶-۲: ولتمتر AC

ولتمتر AC شکل ۲۶-۲ نمونه دیگری از کاربرد آپ امپ در مدارهای ابزار دقیق است.



شکل ۲۶-۲: ولتمتر AC با آپ امپ

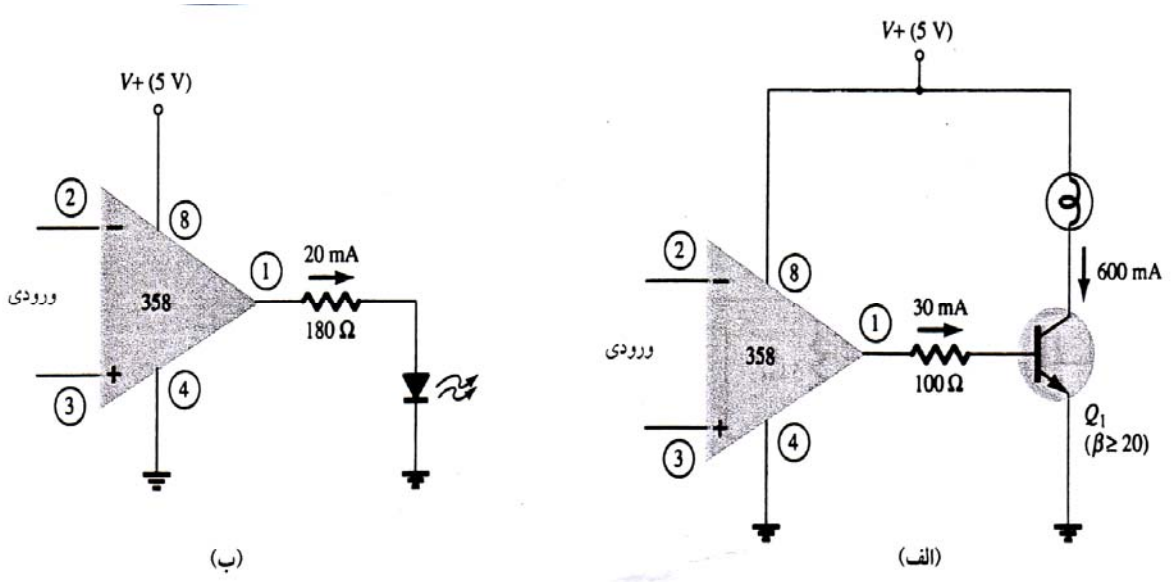
تابع تبدیل مدار عبارت است از:

$$\left|\frac{I_o}{V_1}\right| = \frac{R_f}{R_1}\left(\frac{1}{R_S}\right) = \left(\frac{100k\Omega}{100k\Omega}\right)\left(\frac{1}{10\Omega}\right) = \frac{1mA}{10mV}$$

که همانند تابع تبدیل مدار ولتمتر DC است، با این تفاوت که در اینجا این رابطه تنها برای سیگنال های AC درست است. انحراف کامل مقیاس اندازه گیر به ازاء ولتاژ AC با دامنه $۱۰mV$ رخ می دهد و اگر دامنه ولتاژ ۵mV باشد، انحراف نیم مقیاس حاصل می شود.

۲-۶-۳: تحریک نمایشگر:

شکل ۲-۲۷ یک مدار را نشان می دهد، که می توان از آن برای تحریک نمایشگر های لامپی یا LED استفاده کرد.



شکل ۲-۲۷: مدار های راه انداز نمایشگر: (الف) تحریک لامپ، (ب) تحریک LED

اگر ورودی غیر معکوس مدار شکل ۲-۲۷ (الف) از ولتاژ ورودی معکوس بیشتر شود، خروجی آپ امپ به سطح اشباع مثبت (در اینجا ۵+ولت) می رود، ترانزیستور Q_1 به حالت فعال رفته و جریان کلکتور ترانزیستور لامپ را روشن می کند. در شکل نشان داده شده که خروجی آپ امپ می تواند $۶۰۰mA$ لازم برای روشن کردن لامپ راتامین کرد.

شکل ۲-۲۷ (ب) یک مدار آپ امپی را نشان می دهد که می تواند جریان $۲۰mA$ لازم برای تحریک نمایشگر LED را، درصورت مثبت تر شدن ورودی معکوس از ورودی معکوس، را فراهم کند.

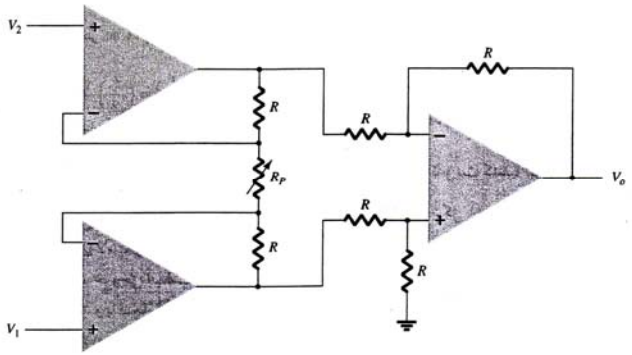
۲-۶-۴: تقویت کننده ابزار دقیق (Instrumentation Amplifier):

شکل ۲-۲۸ مداری را نشان می دهد که خروجی آن متناسب با تفاضل دو ورودی است. با تنظیم پتانسیومتر می توان ضریب تقویت مدار را تنظیم کرد. برای ساخت این مدار بجز مقاومت ها فقط نیاز به یک آی سی آپ امپ چهارگانه است، فقط از سه آمپ امپ آن استفاده می شود. به سادگی می توان نشان داد که:

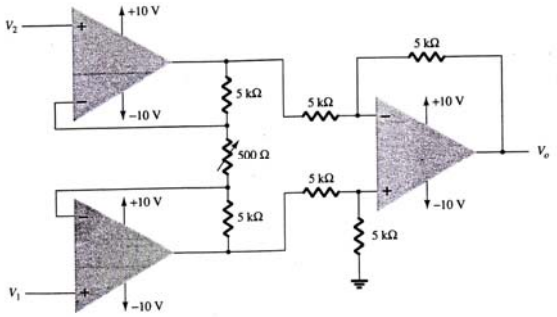
$$\frac{V_o}{V_1 - V_2} = ۱ + \frac{۲R}{R_P}$$

بنابراین خروجی را می توان به صورت زیر نوشت:

$$V_o = \left(1 + \frac{2R}{RP}\right)(V_1 - V_2) = K(V_1 - V_2) \qquad (2\text{-}13)$$



شکل ۲۸-۲: تقویت کننده ابزار دقیق



شکل ۲۹-۲: مدار مثال ۱۱-۲

مثال ۱۱-۲: ولتاژ خروجی مدار شکل ۲۹-۲ را برای دو حالت مقاومت متغیر را که در زیر مشخص شده است بیابید.
(الف) $R_P = 500\Omega$ ؛ (ب) $R_P 250\Omega$.

حل: برای به دست آوردن ولتاژ خروجی در هر کدام از دو حالت می توان از فرمول ۱۳-۲ استفاده کرد:

الف)
$$V_o = \left(1 + \frac{2R}{R_P}\right)(V_1 - V_2) = \left(1 + \frac{2 \times 5000}{500}\right)(V_1 - V_2) = 21(V_1 - V_2)$$

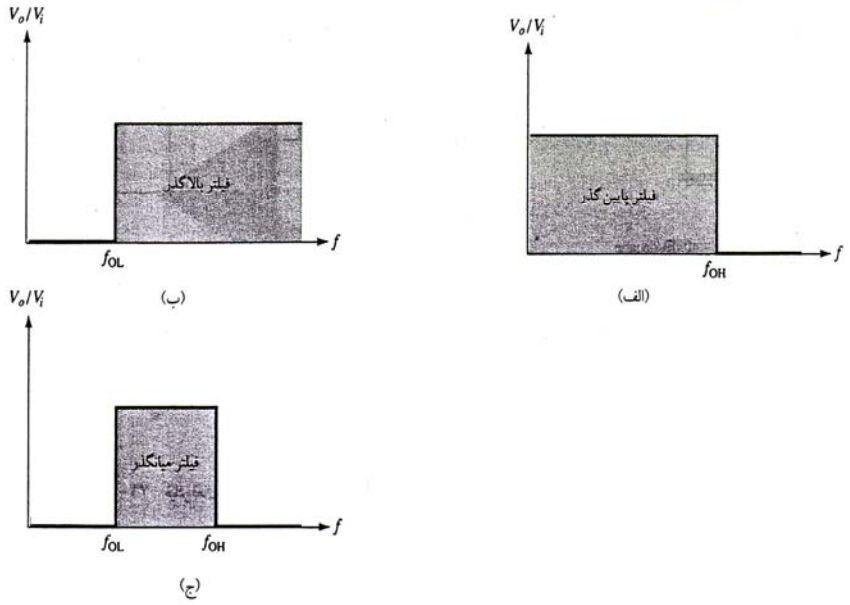
ب)
$$V_o = \left(1 + \frac{2 \times 5000}{250}\right)(V_1 - V_2) = 41(V_1 - V_2)$$

۷-۲: فیلترهای فعال (Active Filters):

یکی از کاربردهای متداول و مهم آپ امپ، استفاده از آن در ساخت فیلترهای فعال است. مدار فیلتر را می توان با استفاده از عناصر غیر فعال، یعنی مقاومت و خازن ساخت. در ساخت فیلتر فعال علاوه بر مقاومت و خازن از تقویت کننده هم برای تقویت و لتاژ و هم جداسازی سیگنال ها استفاده می شود.

فیلتری که از ولتاژ dc تا یک فرکانس قطع f_{oH} پاسخ ثابتی ایجاد کرده یعنی این فرکانس ها را عبوردهد و از فرکانس قطع به بالا را عبور ندهد، فیلتر پایین گذر ایده آل (Low pass filter) خوانده می شود. شکل ۳۰-۲ (الف) منحنی پاسخ فرکانسی فیلتر پایین گذر ایده آل را نشان می دهد.

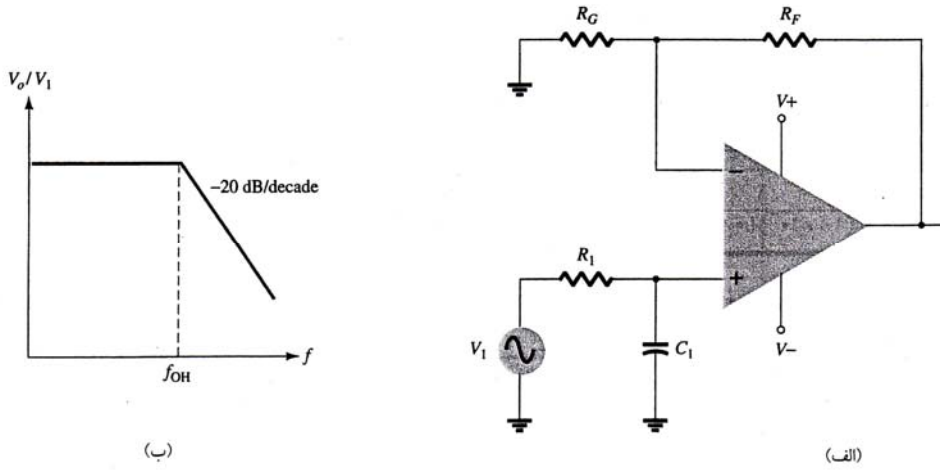
فیلتری که سیگنال های بالاتر از یک فرکانس قطع f_{OL} را می گذراند، فیلتر بـالا گـذر (High pass filter) خوانده می شود و شکل (ب) منحنی حالت ایده آل آن را نشان می دهد. اگر فیلتری سیگنال های بین یک فرکانس قطع پایین و یک فرکانس قطع بالا راعبور دهد آن را فیلتر میان گذر (Band pass filter) می نامیم. شکل ۳۰-۲ (ج) منحنی حالت ایده آل این فیلتر را نشان می دهد. فاصله بین f_{OL} ، f_{OH} $(f_{OH} - f_{OL})$ را باند عبـوری (pass Band) یا پهنای باند (Band width) می نامند (BW).



شکل ۳۰-۲: منحنی پاسخ فرکانسی فیلترهای ایده آل: (الف) پایین گذر، (ب) بالا گذر، (ج) میانگذر.

۱-۷-۲: فیلتر پایین گذر:

شکل ۳۱-۲ (الف) یک فیلتر پایین گذر مرتبه اول را نشان می دهد. قسمت اصلی مدار از مقاومت R_1 و خـازن C_1 ساخته شده است. تقویت کننده عملیاتی و مقاومت های R_G, R_F به عنوان تقویت کننده مـورد اسـتفاده قـرار گرفته اند و همچنین از اثر بارگذاری بارمدار روی مشخصات فیلتر جلوگیری می کنند.



شکل ۳۱-۲: فیلتر فعال پایین گذر مرتبه اول

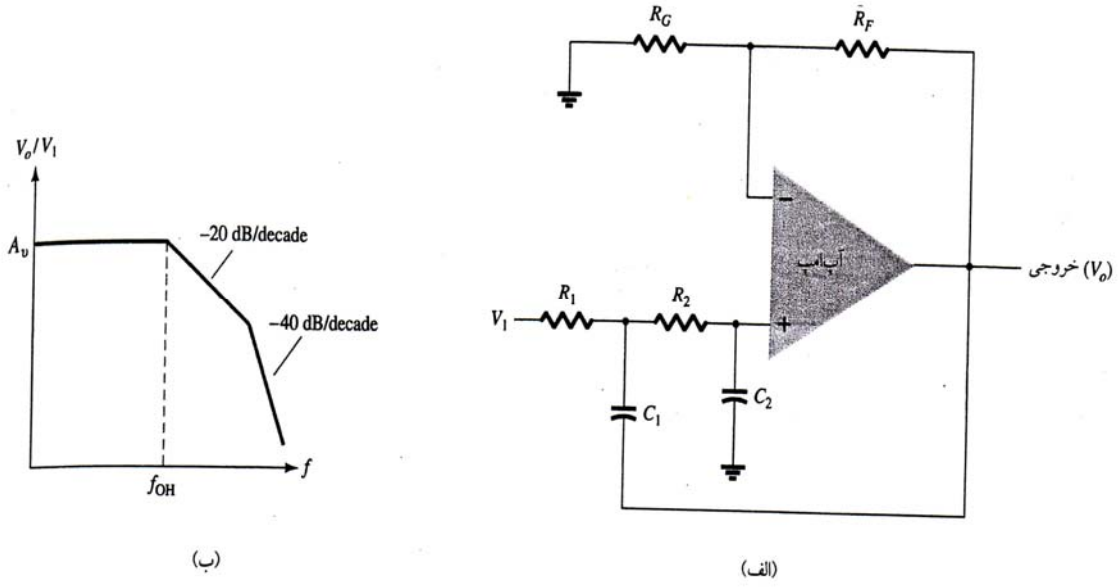
همان طور که در شکل (ب) نشان داده شده است، پاسخ این فیلتر افتی با شیب $-۲۰dB$ بر دهه دارد (به جای قطع ناگهانی فیلتر پایین ایده آل شکل ۳۰-۲ (الف)). در فرکانس های پایین کمتر از فرکانس قطع خازن باز است و مدار به صورت یک تقویت کننده غیر معکوس با بهره ثابتی که به وسیله فرمول ۱۴-۲ محاسبه می گردد،عمل می کند.

$$A_V = ۱ + \frac{R_F}{R_G} \qquad (۲-۱۴)$$

فرکانس قطع مدار که در آن امپدانس مقاومت $R_۱$ و خازن $C_۱$ برابرند، از فرمول ۱۵-۲ به دست می آید:

$$f_{OH} = \frac{۱}{۲\Pi R_۱ C_۱} \qquad (۲-۱۵)$$

شکل ۳۲-۲ یک مدار فیلتر پایین گذر مرتبه دوم را نشان می دهد، که مانند سری دو فیلتر پایین گذر مرتبه اول عمل می کند. در منحنی پاسخ فرکانسی این مدار که در شکل ۳۲-۲ (ب) نشان داده شده، مشخص است که در فرکانس های بالا شیب منحنی زیادتر بوده و به اندازه $-۴۰\frac{dB}{decade}$ است. مدارمرتبه دوم در مقایسه با مدار مرتبه اول به حالت ایده آل نزدیک تر است.



شکل ۳۲-۲: فیلتر پایین گذر فعال مرتبه دوم

مثال ۱۲-۲: در مدار فیلتر پایین گذر مرتبه اول شکل ۳۱-۲ در صورتی که $C_۱ = \%۲\mu f, R_۱ = ۱/۲k\Omega$ باشد، فرکانس قطع مدار را حساب کنید.

حل:

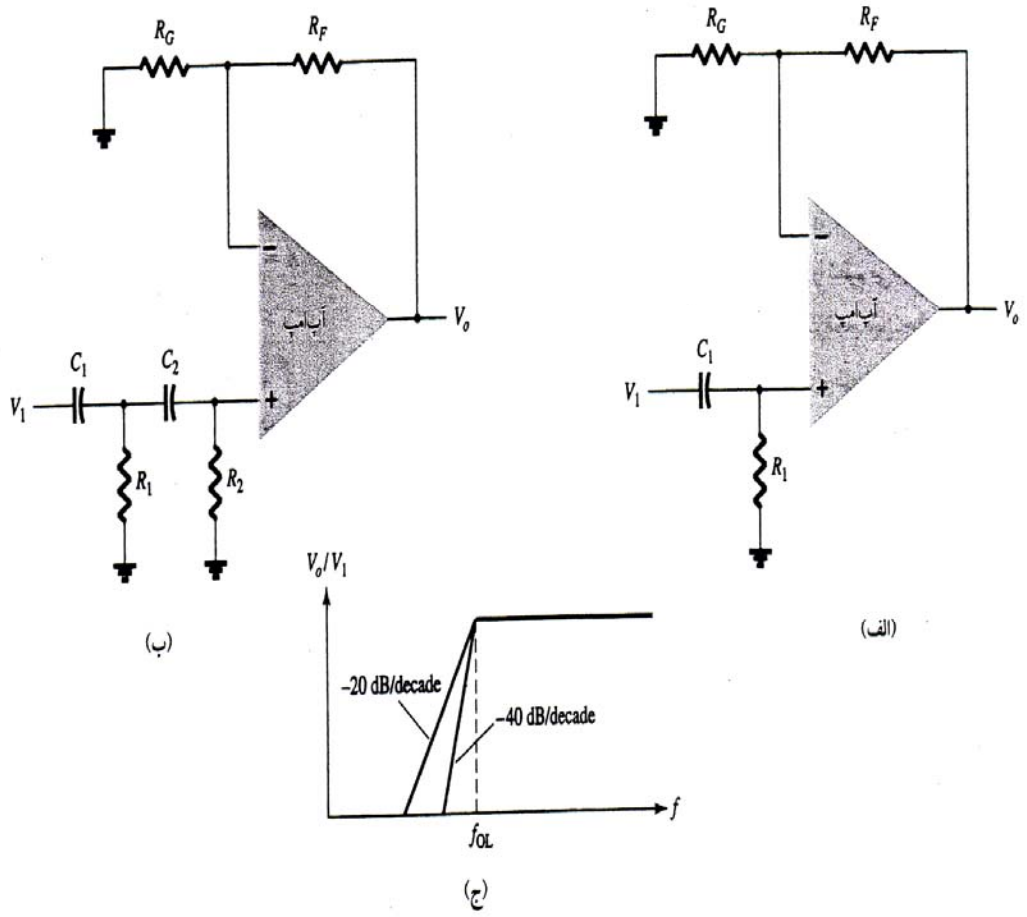
$$f_{OH} = \frac{۱}{۲\Pi R_۱ C_۱} = \frac{۱}{۲\Pi\left(۱/۲\times۱۰^{۳}\right)\left(\%۲\times۱۰^{-۶}\right)} HZ = ۶/۶۳KHZ$$

۲-۷-۲: فیلتر بالا گذر فعال:

در مدارشکل ۳۱-۲ (الف) اگر جای $C_۱, R_۱$ را با یکدیگر عوض کنیم، مدار تبدیل به فیلتر بالا گذر مرتبه اول می شود و همچنین به همین صورت نیز می توان برای فیلتر بالا گذر مرتبه دوم عمل کرد. شکل ۳۳-۲ (الف) یک

فیلتر بالا گذر مرتبه اول و شکل ۳۳-۲ (ب) یک فیلتر بالا گذر مرتبه دوم را نشان می دهد. بهره مدار در فرکانس های بالا از فرمول ۱۴-۲ و فرکانس قطع آن از فرمول ۱۶-۲ به دست می آید:

$$f_{OL} = \frac{1}{2\Pi R_1 C_1} \qquad (۲-۱۶)$$



شکل ۲۳-۲: فیلتر بالا گذر: (الف) مدار مرتبه اول؛ (ب) مدار مرتبه دوم؛ (ج) منحنی پاسخ فرکانسی هر دو مدار

در فیلتر مرتبه دوم بالا گذر اگر $C_1 = C_2, R_1 = R_2$ باشد، همچنان از فرمول ۱۶-۲ می توان برای محاسبه فرکانس قطع مدار استفاده کرد.

مثال ۱۳-۲: فرکانس قطع فیلتر بالاگذر مرتبه دوم شکل ۳۳-۲ (ب) و بهره آن رادر صورتی که $R_F = 50k\Omega, R_G = 10K\Omega, C_1 = C_2 = \%5\mu f$ باشد بیابید.

حل: با استفاده از فرمول ۱۴-۲ داریم:

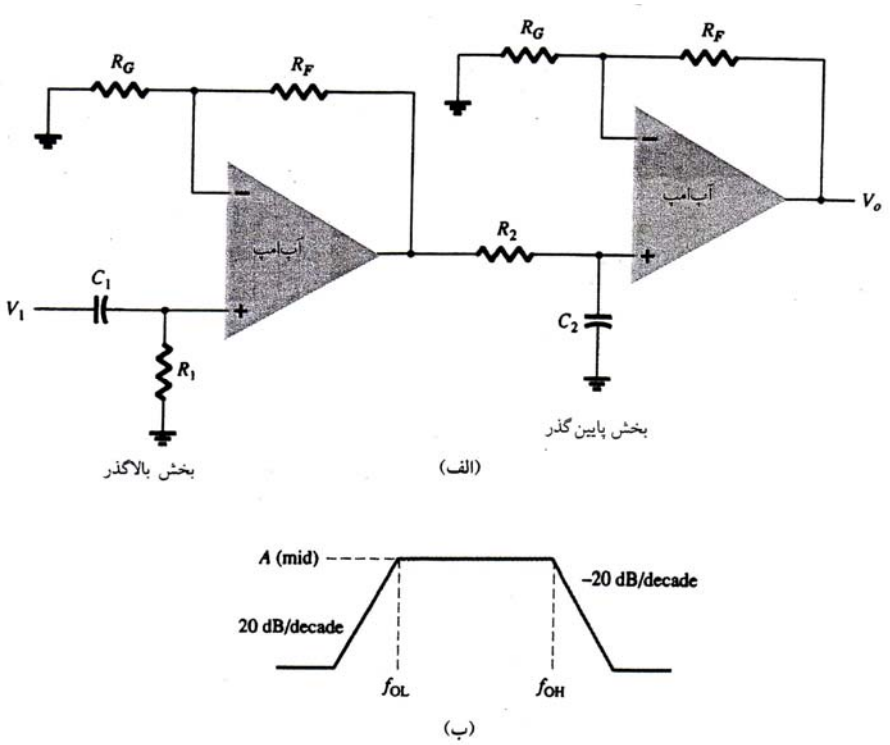
$$A_v = 1 + \frac{R_F}{R_G} = 1 + \frac{50K\Omega}{10k\Omega} = 6$$

فرکانس قطع با استفاده از فرمول ۱۶-۲ به صورت زیر به دست می آید:

$$f_{OL} = \frac{1}{2\Pi R_1 C_1} = \frac{1}{2\Pi\left(2/1\times10^{3}\right)\left(\%5\times10^{-6}\right)} = 1/5KHZ$$

۳-۷-۲: فیلتر میان گذر:

شکل ۳۴-۲ یک فیلتر میان گذر را نشان می دهد، که از ترکیب یک فیلتر بالا گذر و یک فیلتر پایین گذر ساخته شده است.



شکل ۳۴-۲: فیلتر میان گذر فعال

به علت اینکه f_{OL} به وسیله فیلتر بالا گذر و f_{OH} به وسیله فیلتر پایین گذر تعیین می شود، مقادیر قطعات این دو طبقه باید به صورتی انتخاب شوند که $R_1C_1 > R_2C_2$ باشد که در نتیجه $f_{OL} < f_{OH}$ باشد. به f_{OL} فرکانس قطع پایین و f_{OH} فرکانس قطع بالا اطلاق می شود.

مثال ۱۴-۲: فرکانس های قطع فیلتر میان گذر شکل ۳۴-۲ را با $C_۲ = ۰/۰۰۲\mu f, C_۱ = ۰/۱\mu f, R_۱ = R_۲ = ۱۰ K\Omega$ بیابید.

حل:

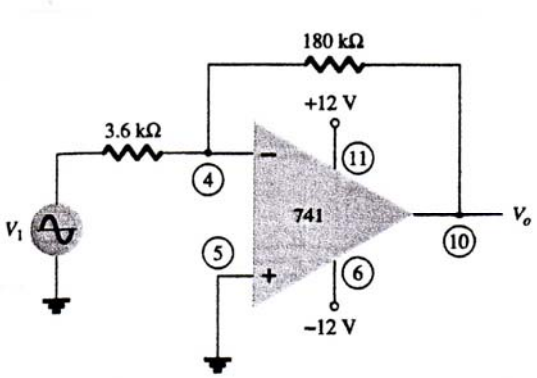
$$f_{OL} = \frac{۱}{۲\Pi R_۱ C_۱} = \frac{۱}{۲\Pi\left(۱۰\times ۱۰^{۳}\right)\left(۰/۱\times ۱۰^{-۶}\right)} = ۱۵۹/۱۵ \quad \text{HZ}$$

$$f_{OL} = \frac{۱}{۲\Pi R_۲ C_۲} = \frac{۱}{۲\Pi\left(۱۰\times ۱۰^{۳}\right)\left(۰/۰۰۲\times ۱۰^{-۶}\right)} = ۷/۹۶ \quad \text{KHZ}$$

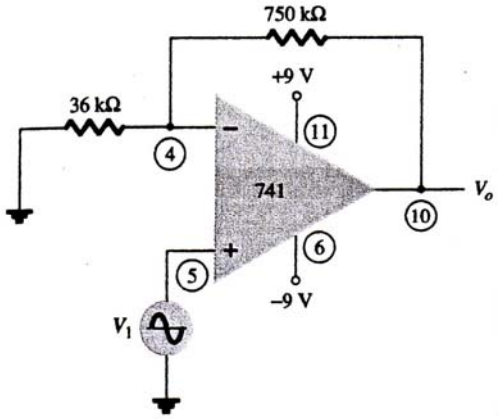
مسائل:

۱- مدار شکل ۳۵-۲ را به ازاء ورودی $V_i = ۳/۵ mV_{rms}$ به دست آورید.

۲- ولتاژ خروجی مدار شکل ۳۶-۲ را به ازاء ورودی $V_i = ۱۵۰ mV_{rms}$ به دست آورید؟

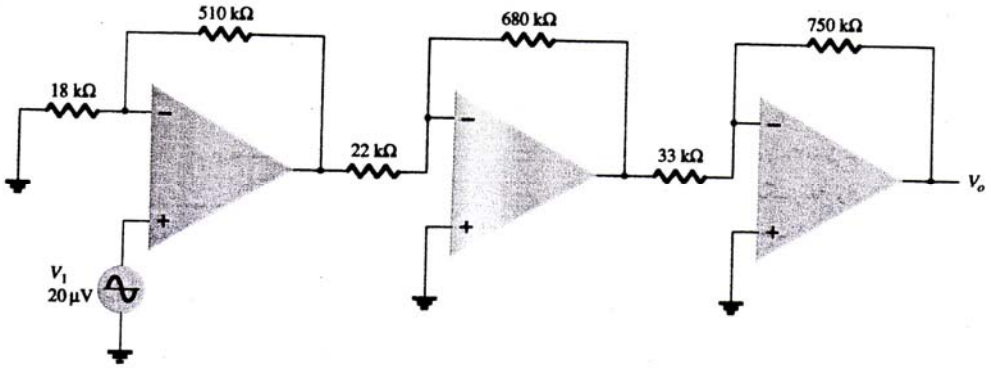


شکل ۳۵-۲: مربوط به مساله۱



شکل ۳۶-۲: مربوط به مساله ۲

۳- ولتاژ خروجی مدار شکل ۳۷-۲ را حساب کنید.



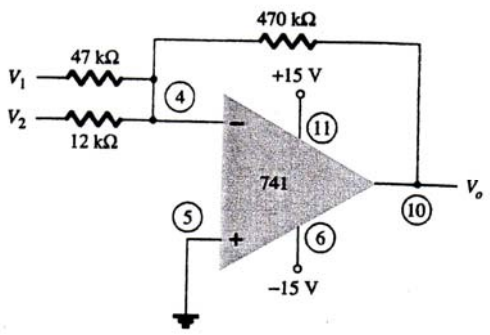
شکل ۳۷-۲: مربوط به مساله ۳

۴- با استفاده از آپ امپ چهار گانه $LM۱۲۴$ یک تقویت کننده سه طبقه با بهره هـای (۱۵+)، (۲۲-)، و (۳۰-) طرح کنید. برای تمام طبقات مقاومت فیدیک را $۴۲۰ K\Omega$ در نظـر بگیریـد. ولتـاژ خروجـی مـدار را بـه ازاء ورودی $V_۱ = ۸۰ \mu V$ به دست آورید.

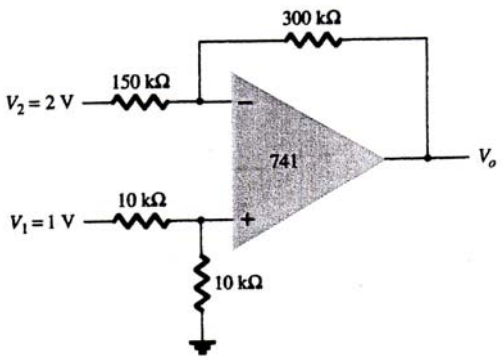
۵- با استفاده از آی سی $LM۳۵۸$ دو طبقه آپ امپی طرح کنید که خروجی هایشان به ترتیـب (۱۵) و (۳۰-) برابر ورودی باشد. برای هر دو طبقه مقاومت فیدبک را $R_F = ۱۵۰ K\Omega$ در نظر بگیرید.

۶- در مدار شکل ۳۸-۲ $V_۲ ۲۰ mV_{rms}, V_۱ = ۴۰ mVrms$ ۲−۳۸ است. $V_۰$ را حساب کنید.

۷- ولتاژ خروجی مدار شکل ۳۹-۲ را حساب کنید.



شکل ۴۰-۲: مربوط به مساله۸



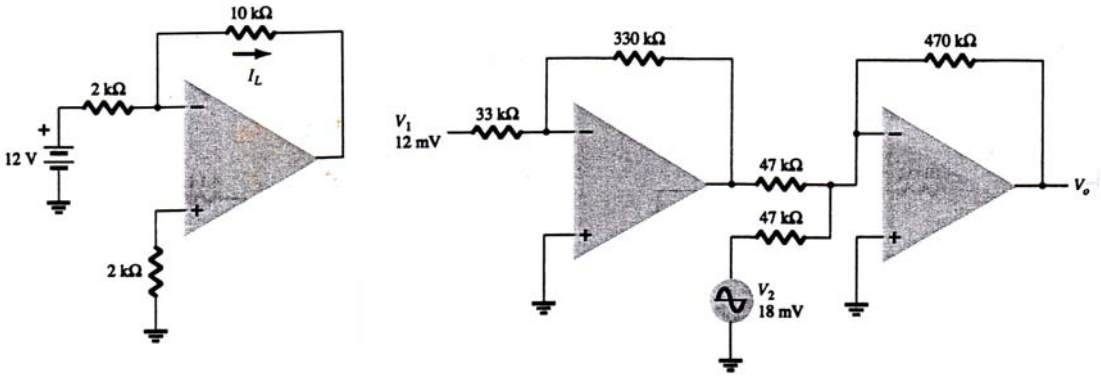
شکل ۴۱-۲: مربوط به مساله۱۱

۸- ولتاژ خروجی مدار شکل ۴۰-۲ را حساب کنید.

۹- با استفاده از آی سی LM۱۲۴ یک بافر با بهره واحد طرح کنید. شماره پایه های آی سی را مشخص کنید.

۱۰- با استفاده از دو آی سی LM۳۵۸ بافرهائی با بهره واحد طرح کنید که خروجیهای یکسان و مجزائی ایجاد کنند. شماره پایه ها را مشخص کنید.

۱۱- I_L مدار شکل ۴۱-۲ را حساب کنید.

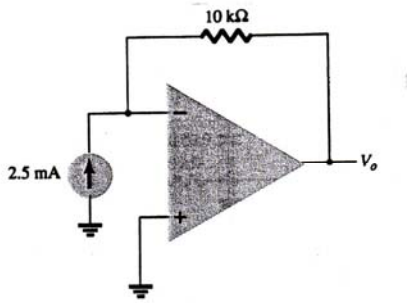


شکل ۴۰-۲: مربوط به مساله۸

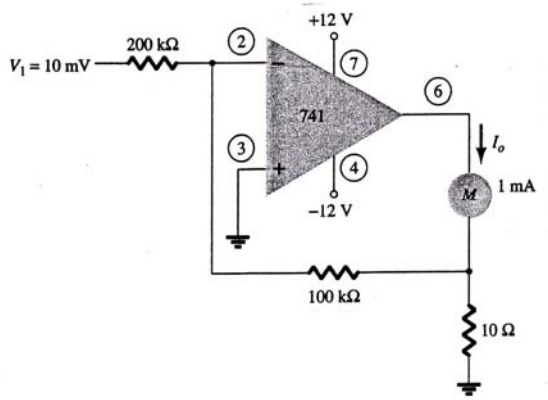
شکل ۴۱-۲: مربوط به مساله۱۱

۱۲- V_o مدار شکل ۴۲-۲ را بیابید.

۱۳- I_o مدارشکل ۴۳-۲ را حساب کنید.

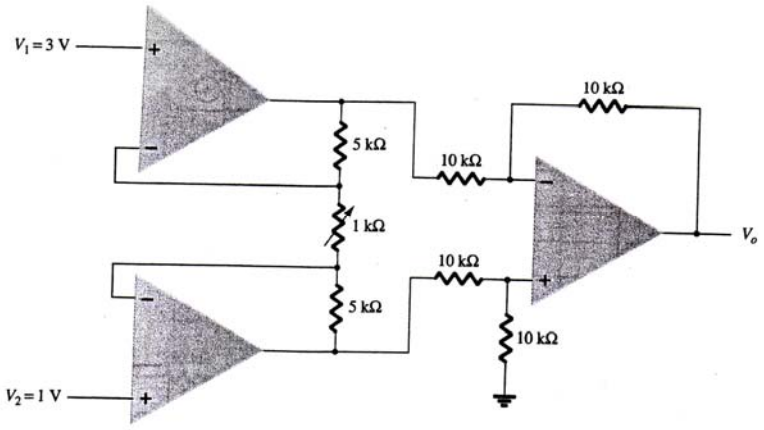


شکل ۴۲-۲: مربوط به مساله ۱۲



شکل ۴۳-۲: مربوط به مساله ۱۳

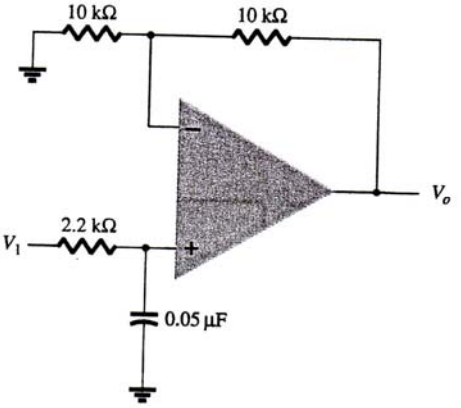
۱۴- V_o مدارشکل ۴۴-۲ را حساب کنید.



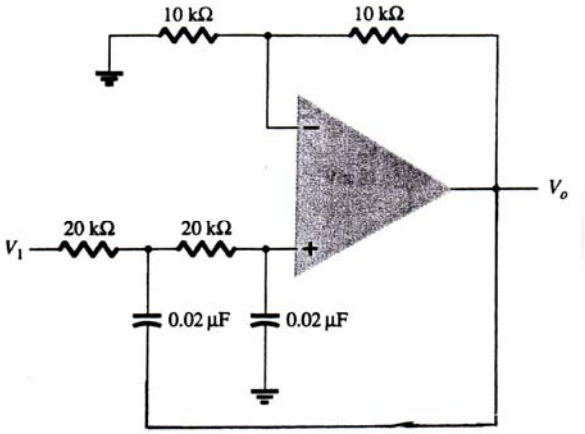
شکل ۴۴-۲: مربوط به مساله ۱۴

۱۵- فرکانس قطع فیلتر پایین گذر مرتبه اول شکل ۴۵-۲ را حساب کنید. بهره مدار در فرکانس های کم چقدر است؟

۱۶- فرکانس قطع فیلتر پایین گذر مرتبه دوم شکل ۴۶-۲ را حساب کنید.

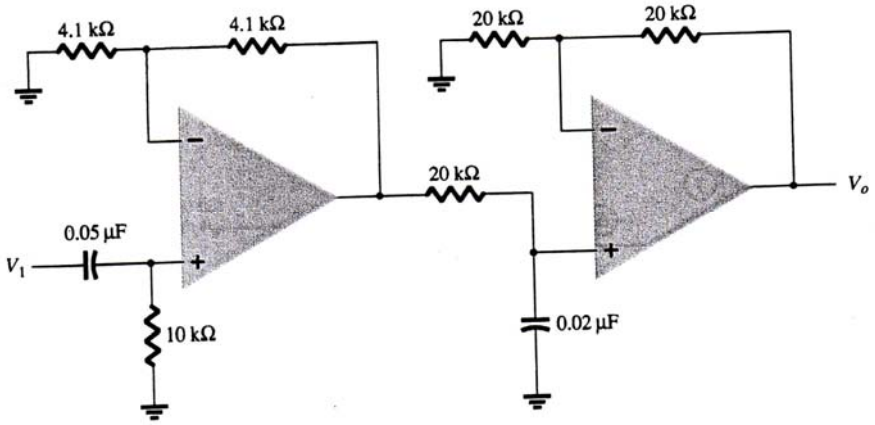


شکل ۴۵-۲: مربوط به مساله ۱۵



شکل ۴۶-۲: مساله ۱۶

۱۷- فرکانس های قطع بالا وقطع پایین فیلتر میان گذر شکل ۴۷-۲ را حساب کنید.

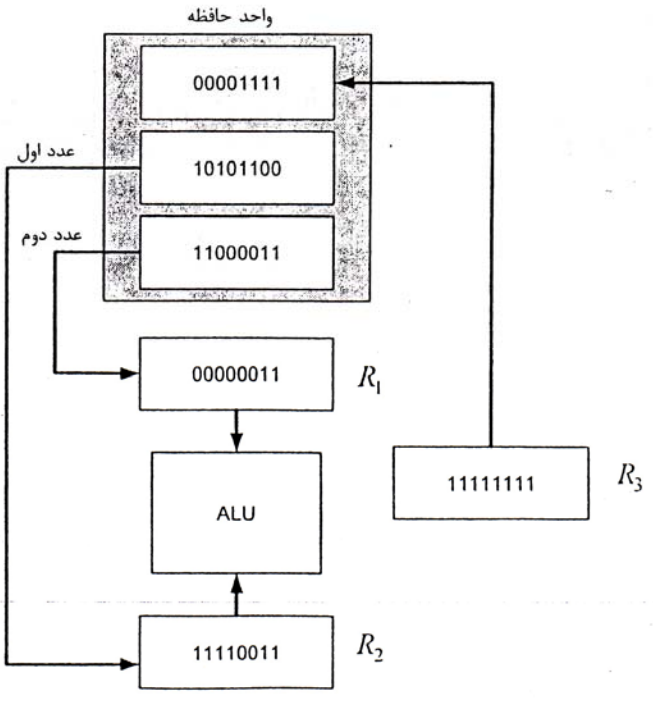


شکل ۴۷-۲: مربوط به مساله ۱۷

فصل ۳
مقدمه الکترونیک دیجیتال

۱-۳: منطق دودوئی (Binary):

منطق دودوئی با متغیرهائی که فقط دو ارزش کاملاً جدا از هم به خود می گیرند و با عملیات منطقی که ریاضیات مخصوص خود دارند، سروکار دارند دو ارزش این متغیرها از قبیل «درست و نادرست»، «بلی و خیر» و... ممکن است باشند، اما در سیستمهای دیجیتالی مناسب است که آنها را به صورت بیت در نظر بگیریم و به آنها مقادیر «صفر» یا «یک» اختصاص دهیم. منطق دودوئی به منظور تشریح تغییر و پردازش اطلاعات دودوئی به فرم ریاضی به کار می رود، که سیستمهای دیجیتالی بر این اساس تحلیل و طراحی می شوند. برای مثال مدارهای منطقی دیجیتالی شکل ۱-۳ که محاسبات دودوئی را انجام می دهند، مدارهائی هستند که طرز کارشان با استفاده از متغیرهای دودوئی و عملیات منطقی بیان می شود. ریاضیات منطق دودوئی «جبر بول» (Boolean Aljebra) نام دارد.



شکل ۱-۳: پردازش اطلاعات دودوئی

متغیرهای دودوئی به وسیله حروف الفبا مانند A و B نشان داده می شوند و هر متغیر در هر حالت فقط دو ارزش «یک» یا «صفر» را می تواند داشته باشد. عملیات منطقی اصلی عبارتند از: NOT , OR, AND

AND: این عمل به وسیله یک نقطه و یا بدون وجود یک عملگر (operator) بین دو عملوند (متغیر) نمایش داده می شود مثل Z=X.Y یا Z=XY که چنین خوانده می شود: «Y,XAND مساوی با Z » یا «Z

مساوی است با Y AND X». عمل منطقی AND این مفهوم را دارد، که فقط در حالتی Z=۱ است، که Y,X هر دو مساوی با «یک» باشند و در غیر این صورت مقدار آن «صفر» می شود.

OR: این عمل با علامت «+» نمایش داده می شود (مثلاً Z=X+Y) که خوانده می شود « X یا Y برابر است با Z» یا «Z مساوی است با Y OR X» و مفهوم آن اینست که اگر X یا Y و یا هر دو آنها برابر با «یک» باشد، Z=۱ خواهد شد و اگر $X = ۰$ و $Y = ۰$ باشد آن $Z = ۰$ خواهد شد.

NOT: این عمل با علامت پریم (یا یک خط با تلفظ «بار» در بالای متغیر) نشان داده می شود. مثلاً $Z = X'$ (یا $Z = \overline{X}$) که چنین خوانده می شود: Z برابر است با نقیض X (یا Z برابر است با X NOT) و مفهوم آن این است که اگر $X = ۰$ باشد، آنگاه Z=۱ است و اگر X=۱ باشد، آنگاه $Z = ۰$ خواهد بود.

عملیات AND , OR به ترتیب به اعمال ضرب و جمع شباهت دارند ولی نه به طور کامل برای مثال ۱+۱=۲ است در صورتی که OR دو عدد «۱» برابر با «۱» است. منطق دودوئی شبیه حساب دودوئی است ولی نباید با آن اشتباه شود. یک متغیر حسابی ممکن است یک عدد چند رقمی باشد ولی یک متغیر منطقی فقط «صفر» یا «یک» است. برای مثال در حساب دودوئی داریم ۱+۱=۱۰ (که خوانده می شود یک به اضافه یک مساوی دو) در صورتی که در منطق دودوئی داریم ۱+۱=۱ (که نشان دهنده عمل OR است و خوانده می شود یک یا یک برابر است با یک). در صورتی که Z تابعی از X و Y باشد، برای هر ترکیبی از X و Y مقدار معینی برای Z وجود دارد، که این مقدار پس از تعریف عمل منطقی روی Y,X مشخص می شود. این تعاریف را می توان به صورت خلاصه با استفاده از جدولهای صحت فهرست کرد. یک جدول صحت (truth table) جدولی است متشکل از تمام ترکیبات متغیرها و بیانگر ارتباط بین مقادیر آنها و نتایج حاصل از عمل مربوطه روی آنها می باشد. در سیستمهای دودوئی تعداد ترکیبات متغیرها ۲^n است که n تعداد متغیرها است. برای مثال اگر تعداد متغیرها «۲» باشد، تعداد ترکیبات ممکن «۴» و اگر تعداد متغیرها «۳» باشد، تعداد ترکیبات ممکن «۸» است. جدول صحت اعمال AND , OR با متغیرهای Y, X از لیست کردن تمام مقادیر ممکن که متغیرها می توانند به صورت ترکیبی بخود اختصاص دهند به دست می آید. نتیجه عمل برای هر ترکیب در ردیف جداگانه ای آورده می شود. جدولهای صحت AND , OR و NOT در جدول ۱-۳ نشان داده شده اند.

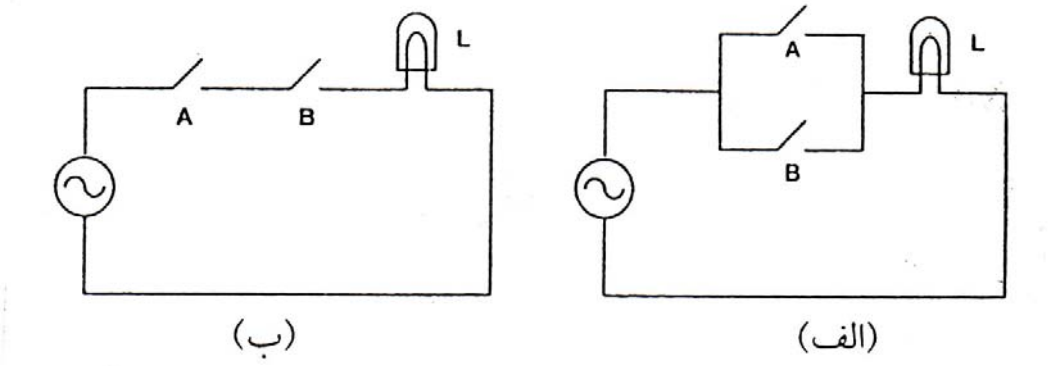
جدول ۱-۳: جدول صحت عملیات منطقی اصلی

AND			OR			NOT	
X	Y	Z	X	Y	Z	X	X'
0	0	0	0	0	0	0	1
0	1	0	0	1	1	1	0
1	0	0	1	0	1		
1	1	1	1	1	1		

۲-۱-۳: مدارهای سویچینگ و سیگنالهای دودوئی:

با استفاده از مدارهای ساده سویچینگ شکل ۲-۳ می توان عمل AND , OR را تشریح کرد. فرض کنید کلیدهای B,A نمایش دهنده دو متغیر دودوئی هستند و ارزش آنها زمانی که کلید باز باشد «صفر» و هنگامی که کلید بسته باشد «یک» است. لامپ L که نشان دهنده تابع دو متغیر B,A است، متغیر دودوئی سومی را نشان

دهد، که ارزش آن وقتی که لامپ روشن است «یک» و زمانی که خاموش است «صفر» باشد. در حالتی که کلیدها موازی باشند (شکل الف) لامپ به شرطی روشن است که یکی یا هر دو بسته باشند و فقط لامپ در صورتی خاموش است که هر دو کلید باز باشند. بنابراین مدار ۲-۳ (الف) نشان دهنده عمل منطقی OR است. درحالتی که کلیدها با هم سری باشند، لامپ در صورتی روشن است که هر دو کلید B,A بسته باشند، بنابراین مدار ۲-۳ (ب) عمل منطقی AND را نشان می دهد. برای مدار الف داریم L=A+B و برای مدار ب L=A.B

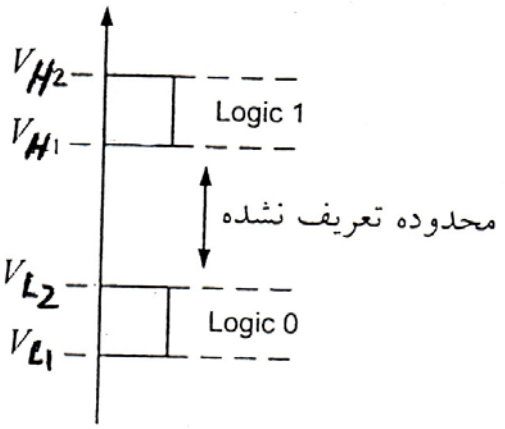


شکل ۲-۳: مدارهای سویچینگ نمایش دهنده منطق دودوئی: (الف) منطق OR ، (ب) منطق AND

مدارهای الکترونیک دیجیتال مدارهای سویچینگ نیز نامیده می شوند به این علت که مانند یک کلید عمل می کنند و در آنها عنصر فعالی مثلاً ترانزیستور وجود دارد که یا در حالت اشباع است (هدایت می کند) و مانند کلید بسته عمل می کند و یا در حالت قطع است (هدایت نمی کند) و مانند کلید باز عمل می کند. در مدار سوئیچینگ الکترونیکی از سیگنالهای دودوئی برای کنترل وضعیت هدایت یا قطع در عنصر استفاده می نمایند.

سیگنالهای الکترونیکی مثل ولتاژها یا جریان ها در سیستم های دیجیتال به صورت یکی از دو مقدار مشخص وجود دارند (به جز در حالت گذرا) مدارهائی که براساس ولتاژ عمل می کنند به دو سطح ولتاژ جداگانه که نشان دهنده یک متغیر دودوئی با ارزش «صفر» یا «یک» می باشد پاسخ می دهند. برای مثال در یک مدار دیجتیالی خاص ممکن است «یک» منطقی به عنوان یک ولتاژ با ارزش نزدیک به ۵ ولت و «صفر» منطقی به عنوان یک ولتاژ با ارزش نزدیک صفر ولت تعریف شود. در مدارهای دیجیتالی دو تراز ولتاژ متمایز می تواند مقدار متغیرهای دودوئی مستقل یا وابسته (مانند Y,X یا Z در جدول ۱-۳) با ارزش «صفر»یا «یک» را مشخص می کند، ولی برای اینکه نویز یا عوامل ناخواسته دیگر روی جواب مدار تاثیر نداشته باشد، به جای مشخص کردن دو سطح ولتاژ کاملاً مشخص برای منطق «صفر» و منطق «یک» دو محدوده مجزا برای «صفر» و «یک» تعریف می شود. در شکل ۳-۳ اگر ولتاژ در محدوده V_{L1} تا V_{L2} (مثلاً صفر تا ۰/۵ ولت) قرار داشته باشد، این ولتاژ منطق «صفر» و اگر ولتاژ در محدوده V_{H1} تا V_{H2} (مثلاً ۴/۷ ولت تا ۵/۵ ولت) قرار داشته باشد، این ولتاژ به منطق «یک» تعبیر می شود.

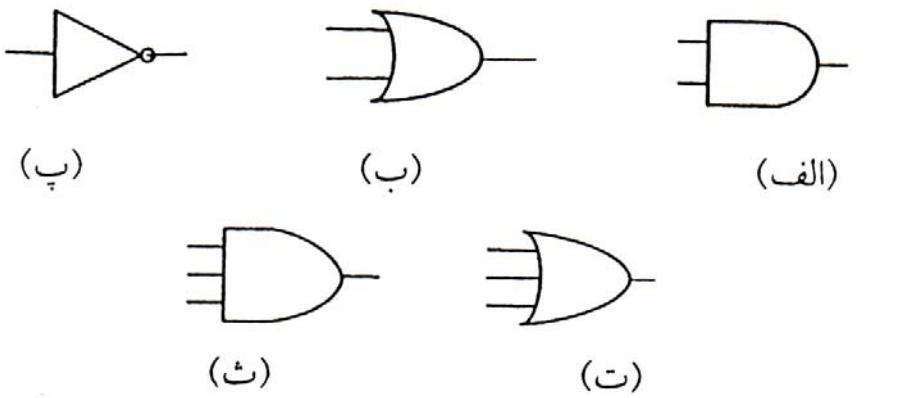
این دو باند ولتاژ را یک محدوده از هم جدا می کند و فرض براین است که دامنه ولتاژ نباید در آن محدوده قرار گیرد. این باند ممنوع، نمایانگر ناحیه تعریف نشده یا حذف شده است. پایانه های ورودی مدارهای دیجیتالی، سیگنال های دودوئی با حدود تغییرات مجاز را قبول می کنند و در پایانه های خروجی سیگنال های دودوئی که در محدوده تغییرات مشخص شده قرار گرفته اند را تولید می نمایند.



شکل ۳-۳: محدوده ولتاژ های دودوئی

۳-۱-۳: دروازه های منطقی (gateها):

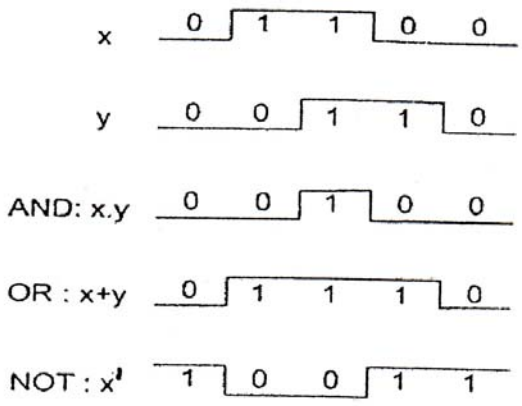
مدارهای دیجیتالی، مدارهای منطقی نیز نامیده می شوند. در این مدارها هر سیگنال نشان دهنده یک متغیر بوده و یک بیت از اطلاعات را حمل می کند. مدارهای منطقی که اعمال AND، OR و NOT را اجرا می کنند در شکل ۴-۳ نشان داده شده اند. این مدارها (گیت ها، دروازه ها) با اعمال ورودی مناسب، در خروجی خود "صفر" یا "یک" منطقی تولید می کنند. این مدارهای دیجیتالی، مدارهای سویچینگ، مدارهای منطقی یا گیت ها نیز نامیده می شوند. گیت NOT مدار معکوس کننده است، که سیگنال دودوئی را معکوس می کند. گیت هائی که دو ورودی X و Y دارند، این ورودی ها می توانند به یکی از چهار حالت ممکن ۱۱,۱۰,۰۱,۰۰ باشند. نمودار زمانی شکل ۵-۳ پاسخ هر گیت را با هر یک از چهار ترکیب ممکن ورودی نشان می دهد.



شکل ۴-۳: نماد گیت های منطقی: (الف) AND دو ورودی، (ب) OR دو ورودی، (پ) NOT، (ت) OR سه ورودی، (ث) AND سه ورودی

گیت های AND و OR ممکن است بیش از دو ورودی داشته باشند. یک گیت AND سه ورودی و یک گیت OR سه ورودی نیز در شکل ۴-۳ نشان داده شده است.

به طور کلی تمام گیت های AND به این صورت کار می کنند، که فقط در حالتی خروجی آنها "یک" است، که تمام ورودیهای آن "یک" باشد. همچنین در مورد گیت های OR فقط وقتی خروجی آنها "صفر" است که تمام ورودی ها "صفر" باشد.



شکل ۵-۳: سیگنال های ورودی و خروجی گیت های (الف)، (ب) و (پ) شکل ۴-۳

از جبر بول برای تشریح عملیات مدارهای دیجیتالی استفاده می شود. طراحان سیستم های دیجیتالی از جبر بول برای تبدیل اشکال مدارها به عبارات جبری یا بالعکس استفاده می کنند.

۴-۱-۳:منطق مثبت و منطق منفی:

همانطور که گفتیم در الکترونیک دیجیتال دو محدوده ولتاژ متمایز برای نمایش "صفر" و "یک" مورد استفاده قرار می گیرد. اگر محدوده ولتاژ بالا را برای منطق "یک" و محدوده ولتاژ پائین را برای منطق "صفر" استفاده کنیم در منطق مثبت کار کرده ایم. برعکس اگر سطح ولتاژ بالا را برای منطق "صفر" و سطح ولتاژ پائین را برای منطق "یک" استفاده کنیم در منطق منفی کار کرده ایم. در بحث مدارهای دیجیتالی غالباً صحبت از منطق مثبت است و در تمام این درس نیز از منطق مثبت استفاده خواهیم کرد.

۲-۳: خانواده های مدارهای دیجیتالی:

از نظر نوع قطعاتی که در ساخت مدار داخلی آی سی های دیجیتالی به کار می رود، این مدارها به خانواده های مختلفی تقسیم می شوند. خانواده MOS (FET اکسید فلزی) شامل NMOS و CMOS، خانواده BJT (ترانزیستور دو قطبی) شامل TTL و ECL، خانواده BICMOS که ترکیبی از دو خانواده اول (CMOS و BJT) است و از مزایای هر دو خانواده استفاده می کند. در این درس به ترتیب از این خانواده ها صحبت می شود. همچنین تکنولوژی جدیدتر گالیم آرسناید (GaAs) مورد بحث قرار می گیرد که مزیتی چون سرعت بالاتر را دارد. خانواده های CMOS، TTL و ECL هم به صورت ICهائی که فقط شامل گیت های NOR می باشند موجود هستند و هم به صورت VLSI در طراحی مدارهائی از قبیل پردازند ها (Processor) کاربرد دارند. NMOS تنها در طراحی مدارهای VLSI نظیر ریز پردازنده ها و تراشه های حافظه به کار می روند.

هر یک از این خانوادها مزایا و معایب خاص خود را دارند، که با توجه به کاربرد سیستم مورد نظر انتخاب شده و به کار می رود. در طراحی یک سیستم سعی می شود که از آی سی های یک خانواده استفاده شود، که اتصال آن ها ساده تر باشد. اگر از آی سی های خانواده های مختلف استفاده شود باید برای اتصال آن ها از مدارهای واسط استفاده شود. انتخاب یک خانواده مبتنی بر ملاحظاتی نظیر انعطاف پذیری، سرعت کار، ایمنی در برابر نویز، محدوده دمای کار، اتلاف توان، هزینه و موارد دیگر انجام می گیرد.

۳-۲-۱: مقیاس مجتمع سازی:

از نقطه نظر پیچیدگی مدار داخلی، آی سی ها به چهار دسته تقسیم می شوند (منظور آی سی های دیجیتالی است):

الف- مدار مجتمع با مقیاس کوچک (SSI ،Small Scale Integration)

ب- مدار مجتمع با مقیاس متوسط (MSI،Medium Scale Integration)

پ- مدار مجتمع با مقیاس بزرگ (LSI ،Large Scale Integration)

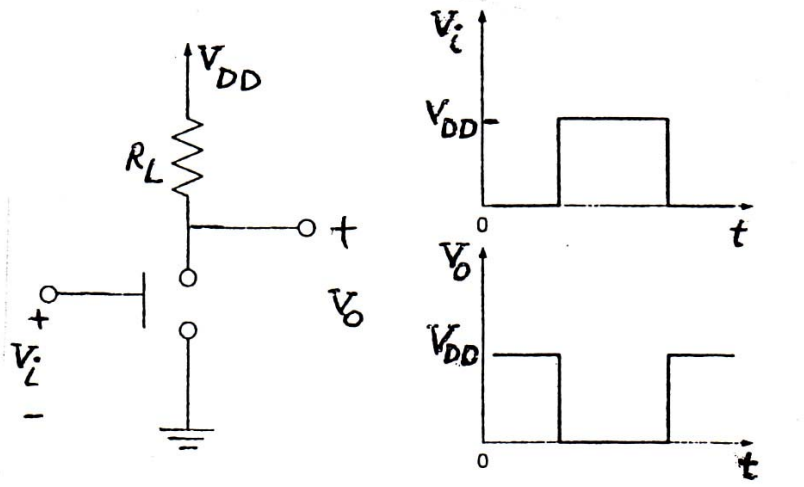
ت- مدار مجتمع با مقیاس خیلی بزرگ (VLSI ،Very Large Scale Integration)

مرز بین این چهار نوع آی سی کاملاً مشخص نیست، اما این تقسیم بندی براساس تعداد گیت های به کار رفته در مدار داخلی آن ها است و تقریباً به این صورت تقسیم می شود که، SSI از یک تا ده گیت. MSI از ده تا صد گیت، LSI از صد تا هزار گیت و VLSI بیش از هزار گیت.

با بررسی مدار معکوس کننده هر خانواده می توان خواص بنیادی آن خانواده منطقی را به دست آورد.

۳-۳: معکوس کننده اساسی (Basic Inverter):

معکوس کننده ساده ترین مدار هر خانواده است و با بررسی مشخصات آن مقایسه خانواده های مختلف صورت می گیرد. معکوس کننده یک کلید کنترل شده با ولتاژ نظیر کلید شکل ۶-۳ است. کلید توسط V_i کنترل می شود و V_O معکوس V_i را ایجاد می کند.



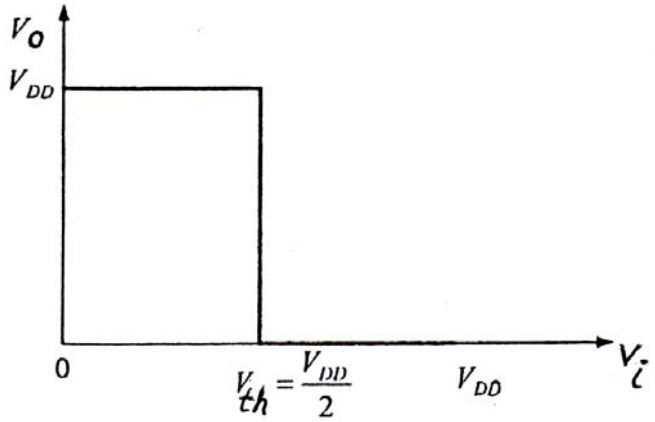
شکل ۶-۳: نمایش مفهومی معکوس کننده به صورت کلید کنترل شده با ولتاژ

وقتی که ولتاژ V_i کم است (مثلاً صفر است)، کلید باز است، جریانی از R_L عبور نمی کند و مقاومت R_L طبق قانون اهم افت ولتاژ نداشته و ولتاژ خروجی برابر با ولتاژ منبع تغذیه یعنی V_{DD} است. وقتی V_i زیاد است یعنی زیادتر از ولتاژ آستانه مشخصی است، کلید بسته می شود و سر مثبت V_o به زمین اتصال کوتاه شده و $V_o \cong 0$ می شود. بنابراین در مدتی که V_i زیاد است V_o کم است و بالعکس و به صورتی که منحنی تغییرات V_i و منحنی تغییرات V_o در شکل ۶-۳ نشان می دهد، V_o و V_i معکوس یکدیگرند.

در مدارهای عملی معکوس کننده اولاً پایانه ورودی جریانی از منبع تحریک کننده می کشد و کلید ایده آل نیست و مقاومت آن در حال وصل صفر نیست و در نتیجه V_o در حالت وصل کاملاً صفر نیست. همچنین بین لحظه تغییر حالت ورودی و لحظه تغییر حالت خروجی مقداری تأخیر وجود دارد و برای سیگنال خروجی زمان صعود و نزول محدودی وجود دارد. در عمل بجای کلید از BJT یا MOS و به جای R_L از یک ترانزیستور دیگر استفاده می شود. چون ترانزیستورهای MOS روی سطح تراشه جای کمتری می گیرند، در مدارهای MOS به جای R_L از MOSFET استفاده می شود.

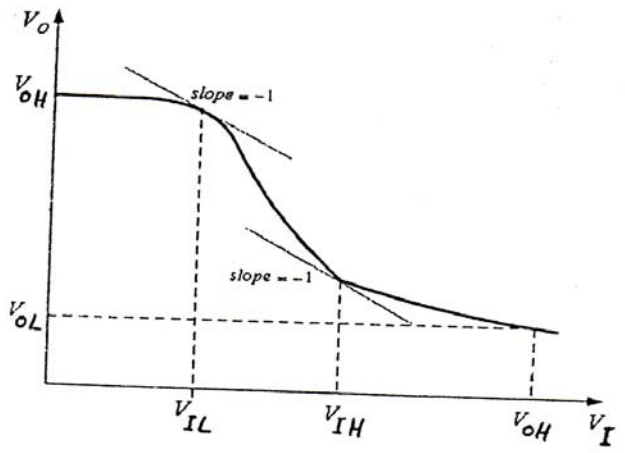
۱-۳-۳: مشخصه انتقالی معکوس کننده (transfer characteristics of Inverter):

شکل ۷-۳ مشخصه انتقالی یک معکوس کننده ایده آل با منبع تغذیه V_{DD} را نشان می دهد. ولتاژ آستانه این معکوس کننده $V_{th} = \frac{1}{2}V_{DD}$ است. سیگنال های ورودی که کمتر از این ولتاژ آستانه باشند پائین (LOW) در نظر گرفته می شود و برای این ولتاژها $V_o = V_{DD}$ است. سیگنال های ورودی بیشتر از ولتاژ آستانه، بالا (High) تعبیر می شوند و خروجی برای آن ها صفر ولت است. این معکوس کننده در برابر خطاهای مقدار سیگنال ورودی یا نویز و عوامل ناخواسته خارجی دیگر تحمل پذیر است و دچار خطا نمی شود. همچنین چون ولتاژ آستانه، نصف ولتاژ منبع تغذیه است، این قابلیت تحمل به طور مساوی بین دو قلمرو سیگنال ورودی (بالا و پائین) تقسیم شده است.



شکل ۷-۳: مشخصّه انتقالی ایده آل معکوس کننده

این مشخصه ایده آل مستقل از مقدار سیگنال ورودی، خروجی، V_{DD} و یا صفر است. شکل ۸-۳ مشخصّه واقعی معکوس کننده است. در این شکل ولتاژ آستانه به صورت متمایز مشخص نیست و بین نواحی بالا و پائین یک ناحیه گذرا وجود دارد. همچنین محدوده تغییرات خروجی کمتر از فاصله بین V_{DD} تا صفر است.



شکل ۸-۳: مشخصه واقعی انتقالی معکوس کننده و نقاط بحرانی آن

در این منحنی مشخصه واقعی انتقالی سه ناحیه متمایز وجود دارد:

الف- ناحیه ورودی پائین یعنی $V_I < V_{IL}$

ب- ناحیه گذرا (یا نامطمئن) یعنی $V_{IL} \le V_I \le V_{IH}$

پ- ناحیه ورودی بالا یعنی $V_I > V_{IH}$

به دلیل اینکه گذر از یک ناحیه به ناحیه دیگر تند نیست و به صورت تدریجی صورت می گیرد، معمولاً V_{IL} و V_{IH} را نقاطی تعریف می کنند که شیب منحنی در آن نقاط برابر با ۱- است. ولتاژهای ورودی کمتر از V_{IL} برای گیت حکم منطق "صفر" را دارد یعنی V_{IL} حداکثر مقدار مجاز منطق "صفر" است. ولتاژهای بیشتر از V_{IH} برای گیت حکم منطق "یک" را دارد، بنابراین V_{IH} کمترین مقدار مجاز منطق "یک" است. مشخصه انتقالی معکوس کننده نشان می دهد که معکوس کننده یک مدار غیر خطی است (مانند مدارهای دیجیتالی دیگر).

۳-۴: حاشیه های امنیت نویز (noise margins) و تعریف نقاط بحرانی:

یکی از مزایای مهم مدارهای دیجیتالی این است که اگر سیگنال ورودی آن ها در محدوده مجازی، که به وسیله ولتاژ آستانه تعریف می شود، تغییر کند، کم یا زیاد شدن سیگنال ورودی تأثیری روی عملکرد مدار ندارد، بنابراین در برابر نویز ایمن هستند. اکنون توانائی گیت دیجیتالی در حذف نویز بررسی می شود.

در مشخصه انتقالی معکوس کننده شکل ۸-۳ چهار پارامتر V_{IL}، V_{IH}، V_{OL} و V_{OH} مشخص شده اند. روی محور افقی نیز نقاط متناظر با ترازهای خروجی V_{OL} و V_{OH} مشخص شده اند. در سیستم های دیجیتالی معمولاً چند گیت به کار می رود، که یک گیت، گیت دیگر را تحریک می کند. بنابراین گیتی که خروجی آن بالا است (در V_{OH} قرار دارد) گیت مشابهی را تحریک می کند که تراز حداقل ولتاژ ورودی منطق "۱" آن، V_{IH} است. به علاوه (V_{OH}-V_{IH})نمایانگر حاشیه امنیت است، یعنی اگر نویز بر سیگنال خروجی گیت تحریک کننده (V_{OH}) سوار شود، اگر دامنه نویز کمتر از $(V_{OH} - V_{IH})$ باشد، در گیت تحریک شده اشکالی به وجود نمی آید و نویز روی عملکرد آن بی تأثیر است. بنابراین به $(V_{OH} - V_{IH})$ حاشیه امنیت نویز بالا یا حاشیه نویز منطق "۱" گویند $(NM_H = V_{OH} - V_{OL})$همچنین NM_L حاشیه امنیت نویز پائین یا حاشیه نویز منطق "صفر" برابر است با: $(NM_H = V_{IL} - V_{OL})$

به علت تغییرات عناصر مدار و ولتاژ منبع تغذیه، سازنده بدترین حالت را برای V_{IL}، V_{IH}، V_{OL} و V_{OH} بنا به تعاریف زیر مشخص می کند:

الف- V_{OH} ماکزیمم ولتاژ خروجی وقتی که $V_{\circ}$ درحالت "یک" است.

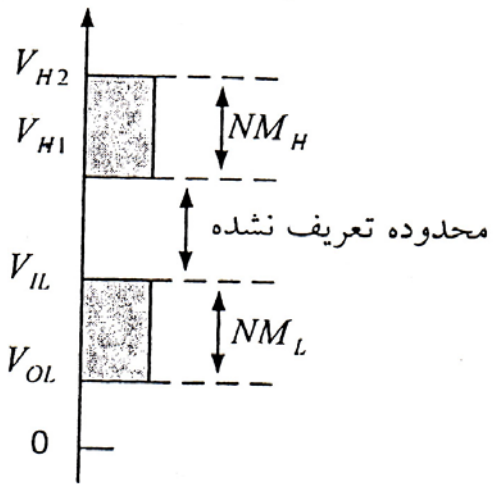
ب- V_{IH} مینیمم ولتاژ ورودی برای اینکه گیت در حالت "یک" قرار گیرد می باشد.

پ- V_{OL} مینیمم ولتاژ خروجی وقتی که خروجی در حالت "صفر" است.

ت- V_{IL} ماکزیمم ولتاژ ورودی که گیت آن را به صورت منطق "صفر" در نظر می گیرد.

معمولاً به جای رسم مشخصه انتقالی، نمودار باند منطقی به صورت شکل ۹-۳ رسم می شود. با توجه به این نمودار در می یابیم که برای ماکزیمم کردن و مساوی کردن NM_L و NM_H ایده آل این است که V_{IL} و V_{IH} با هم برابر بوده و مساوی مقدار بین نوسان منطقی (Logic Swing) V_{OL} تا V_{OH} باشند. این بدان معنی است که مشخصه انتقالی باید ناگهان تغییر وضعیت بدهد یعنی درناحیه گذرا بهره زیادی داشته باشد. همچنین باید تغییر وضعیت در وسط نوسان منطقی صورت گیرد. برای ماکزیمم کردن این نوسان،V_{OL} باید تا حد ممکن کم (در حالت ایده آل صفر ولت) و V_{OH} تا حد ممکن زیاد (در حالت ایده آل برابر ولتاژ منبع تغذیه یعنی V_{DD}) باشد. این مشخصه انتقالی ایده آل در شکل ۷-۳ نشان داده شده است. بعداً نشان خواهیم داد که خانواده منطقی CMOS تقریب خوبی از عملکرد ایده آل به دست می دهد.

علاوه بر چهار پارامتر بالا، معمولاً برای گیت های منطقی یک پارامتر دیگر نیز به نام V_M (ولتاژ نقطه میانی، Mid.Point)تعریف می کنند که در آن نقطه ولتاژ ورودی و خروجی برابرند ($V_M=V_{IN}=V_{OUT}$). بنابراین نقطه میانی، نقطه ای از منحنی است که روی نیمساز ربع اول نیز واقع است.



شکل ۹-۳: نمودار باند منطقی که حاشیه نویزرا نشان می دهد.

۵-۳: اتلاف توان (power dissipation):

با دانستن تلفات توان می توان جریان خروجی منبع تغذیه سیستم را مشخص کرد. توان تلف شده دو بخش ایستا(static) وپویا (dynamic) دارد.

توان استاتیک یعنی توان مصرفی مدار در حالت پایدار یعنی وقتی که خروجی تغییر حالت نمی دهد. در مدار شکل ۶-۳ وقتی خروجی در حالت بالا قرار دارد جریانی از منبع کشیده نشده و توان ایستا صفر است. وقتی که خروجی در حالت پائین قرار دارد جریانی برابر با $\frac{V_{DD}}{R_L}$ از منبع کشیده شده و توان استاتیک برابر است با:

$$\left(\frac{V_{DD}}{R_L}\right)V_{DD}=\frac{V_{DD}^{۲}}{R_L}$$

اگر بطور متوسط نیمی از اوقات گیت در حالت وصل ودر نیمی دیگر در حالت قطع باشد،متوسط توان مصرفی ایستا برابر با $\frac{V_{DD}^{۲}}{۲R_L}$ خواهد بود.

برای محاسبه اتلاف توان پویا، که در لحظات تغییر حالت خروجی اتفاق می افتد، معکوس کننده شکل۶-۳ را در حالتی در نظر بگیرید که خازن بار C_L را تحریک می کند. فرض کنید در t=0 ورودی بالا، کلید بسته و خازن دشارژباشد. اگردر t=0 خروجی به وضعیت پائین تغییر حالت دهد، کلید باز شده و $V_{\circ}$ به صورت نمائی به سمت V_{DD} می رود. اگر جریان گذرنده از مقاومت R_L با i نشان داده شود، انرژی که از منبع کشیده می شود برابر است با:

$$W=\int V_{DD}idt=V_{DD}\int idt=V_{DD}\int dQ=V_{DD}Q$$

Q بار خازن است و چون $Q=C_LV_{DD}$ است، بنابراین:

$$W=C_L(V_{DD})^{۲} \qquad (۳-۱)$$

چون در ابتدا انرژی ذخیره شده در خازن صفر بوده و در انتها به مقدار $\frac{۱}{۲}C_LV_{DD}^{۲}$ می رسد، بنابراین نتیجه می شود که نیمی از انرژی کشیده شده از منبع در مقاومت R_L تلف شده است یعنی:

$$W_{RL}=\frac{۱}{۲}C_LV_{DD}^{۲} \qquad (۳-۲)$$

اگر دوباره ولتاژ ورودی به وضعیت بالا (High) برگردد، کلید بسته شده و انرژی ذخیره شده در خازن در R_{on} کلید تخلیه شده و تلف می شود. بنابراین در یک تناوب کامل به اندازه $W_{RL}+W_{Ron}$ یا $\frac{۱}{۲}C_LV_{DD}^{۲}+\frac{۱}{۲}C_LV_{DD}^{۲}=C_LV_{DD}^{۲}$ اتلاف توان پویا داریم. اگر فرکانس سویچینگ معکوس کننده برابر با f باشد، به لحاظ اینکه پریود برابر است با $\frac{۱}{f}$ است و $\frac{\text{انرژی}}{\text{زمان}}=$ توان است، بنابراین توان تلف شده پویا از فرمول ۳-۳ به دست می آید

$$\text{توان تلف شده پویا}=Dynamic\ power\ Dissipation=fC_LV_{DD}^{۲} \qquad (۳-۳)$$

این توان مجموع توانها تلف شده در مقاومتهای R_{on},R_L می باشد.

۶-۳: ظرفیت ورودی (fan-in) وظرفیت خروجی (fan-out):

ظرفیت ورودی یک گیت برابر با تعداد ورودیهای آن است. مثلاً برای یک گیت NOR با پنج ورودی، ظرفیت ورودی برابر با ۵ می باشد. ظرفیت خروجی ماکزیمم تعداد گیتهای مشابهی است که یک گیت می تواند با حفظ مشخصه های خود آنها را تحریک کند. مثلاً Fan out آی سی های TTL ده می باشد. با توجه به اینکه جریان

خروجی مدار در دو حالت بالا و پایین متفاوت است و همچنین جریان ورودی لازم توسط مدارها نیز در این دو حالت اختلاف دارند، بنابراین بایستی ظرفیت خروجی هر گیت در دو حالت بالا و پایین به طور مجزا محاسبه شده و کمترین این دو مقدار به عنوان ظرفیت در نظر گرفته شود.

$$N_{High} = \frac{I_{out}(High)}{I_{IN}(High)} \qquad N_{LOW} = \frac{I_{out}(Low)}{I_{IN}(Low)}$$

$$N = Fan-out = \min(N_{High}, N_{Low}) \qquad (۳-۴)$$

در روابط فوق، $I_{out}(High)$ مقدار جریان خروجی گیت تحریک کننده در حالت بالا $I_{out}(Low)$ مقدار جریان خروجی گیت تحریک کننده در حالت پایین $I_{IN}(High)$ مقدار جریان ورودی گیت تحریک شونده در حالت بالا و $I_N(Low)$ مقدار جریان ورودی گیت تحریک شونده در حالت پایین است.

مثال ۱-۳: اگر $I_{out}(Low) = ۵۴/۳mA$ ، $I_{out}(High) = ۷۱/۴mA$ ، $I_{IN}(Low) = ۲/۴۳mA$ و $I_{IN}(High) = ۹۸/۹\mu A$ باشد تعداد Fan-out را حساب کنید.

حل:

$$N_{High} = \frac{۷۱/۴mA}{۹۸/۹\mu A} \cong ۷۲۱ \qquad , \quad N_{Low} = \frac{۵۴/۳mA}{۲/۴۳mA} \cong ۲۲$$

یعنی برای خروجی بالا تعداد ۷۲۱ آی سی از همین نوع به این مدار می تواند وصل شود و برای خروجی پایین تعداد ۲۲ آی سی از همین نوع می تواند به این مدار وصل شود بنابراین در مجموع ظرفیت خروجی این گیت برابر با کمترین این دو مقدار یعنی ۲۲ است.

۳-۷: تاخیر انتشار (Propagation delay):

به علت پویا بودن عملکرد عناصر مدار از نظر ترانزیستورهای دو قطبی کلید معکوس کننده به صورت آنی به سیگنال کنترلی V_I پاسخ نمی دهد. علاوه بر آن ظرفیت، بار واقع در خروجی معکوس کننده سبب می شود که شکل موج V_o به صورت پالس ایده آل نباشد.

شکل ۳-۱۰ پاسخ یک معکوس کننده را به پالس ورودی با زمان صعودی و نزولی محدود نشان می دهد. همچنین بین پالسهای ورودی و خروجی تاخیر وجود دارد. زمان بین نقاط ۵۰٪ شکل موج های ورودی و خروجی در لبه های بالا رونده و پایین رونده را زمان تاخیر گویند این زمانها با T_{PHL} (HL نشان دهنده تغییر از بالا و پایین خروجی است) و T_{PLH} (LH نشان دهنده تغییر حالت از پایین به بالای خروجی) است مشخص می شوند. تاخیر انتشار t_p میانگین این دو زمان است.

$$t_p = \frac{۱}{۲}(t_{PHL} + t_{PLH}) \qquad (۳-۵)$$

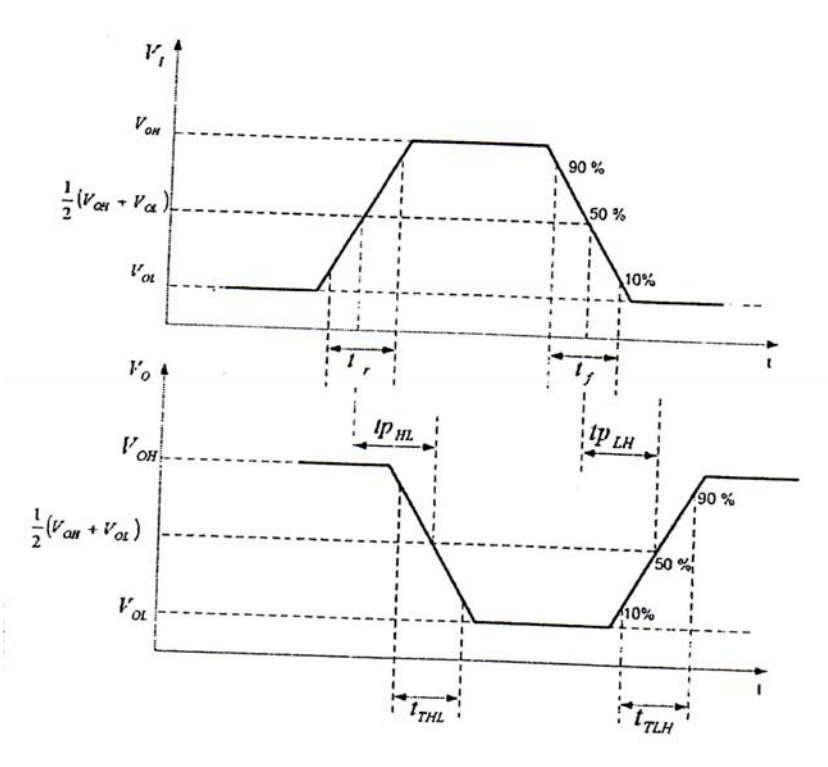
در شکل ۳-۱۰ زمان های $t_{THL}, t_{TLH}, t_f, t_r$ مشاهده می شوند که به ترتیب زمان صعود (rise time) زمان نزول (fall time)، زمان لازم برای تغییر وضعیت خروجی از پایین به بالا و زمان لازم برای تغییر وضعیت خروجی از بالا و پایین می باشند و به صورت زیر تعریف می شوند:

الف- زمان صعودی مدت زمان لازم برای رسیدن ورودی از ۱۰% به ۹۰% مقدار نهائی خود است.

ب- زمان نزول مدت زمان لازم برای رسیدن ورودی از ۹۰%به ۱۰%مقدار نهائی خود است.

پ- t_{TLH} زمان لازم برای رسیدن خروجی از ۱۰%به ۹۰%مقدار نهائی خود می باشد.

ت- t_{TLH} مدت زمان لازم برای رسیدن خروجی از ۹۰%به ۱۰%مقدار نهائی خود می باشد.



شکل ۱۰-۳: تعریف تاخیر انتشار و زمان های صعود و نزول (t_f, t_r)

۸-۳: حاصل ضرب تاخیر در توان:

سرعت کار زیاد مدار (t_Pکم) و توان تلف شده کم هر دو ایده آل ما هستند ولی معمولاً این دو شرط با یکدیگر در تناقض هستند. زیرا در طراحی گیت معمولاً اگر با کاهش جریان منبع، تلفات توان را کاهش دهیم، تاخیر افزایش می یابد. برای مقایسه خانواده های منطقی از حاصل ضرب تاخیر در توان (DP) با تعریف زیر استفاده می شود.

$$DP = t_P P_D \qquad (۳-۶)$$

در این فرمول P_D تلفات توان گیت است. بنابراین واحد DP ژول است هر چه عدد DP در یک خانواده کمتر باشد، آن خانواده کار آمدتر است.

مسائل:

۱. اگر یک معکوس کننده، که تلف توان ایستای ناچیزی دارد، با آهنگ «۱» مگاهرتز قطع و وصل شود و با منبع تغذیه ۱۰ ولتی کار کند، تلف توان پویا و جریان میانگین کشیده شده از منبع تغذیه آن چقدر است؟

۲. برای معکوس کننده شکل ۳-۶ $R_{on} = ۱k\Omega\ , R_L = ۱۰\,k\Omega, V_{DD} = ۵/۵V$ (مقاومت کلید در حالت روشنی) می باشد. مقدار V_{OL}, V_{OH} را حساب کنید.

فصل ۴

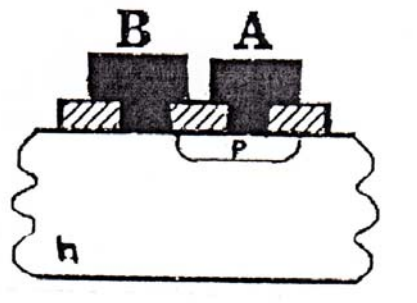
دیود (diode)

دیود ساده ترین عنصر نیمه هادی است. دیود در ساخت مدارهای سویچینگ امروزی کاربرد زیادی ندارد ولی از آنجا که ساختار قطعات مورد استفاده امروزی از قبیل ترانزیستور FET به دیود مربوط می شود، لذا در تحلیل این مدارها آشنائی با دیود و عملکرد آن اجتناب ناپذیر است. خود دیود نیز به تنهائی در مدارهای آنالوگ کاربرد فراوانی دارد. در این فصل دیود پیوندی نیمه هادی PN و دیود شاتکی MN شرح داده خواهند شد.

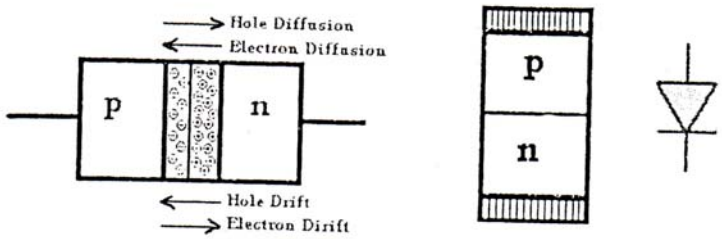
۴-۱: دیود

دیود با اتصال نیمه هادی نوع n با نیمه هادی نوع P به وجود می آید. نیمه هادی نوع n از تزریق فسفر یا آرسنیک به عنوان دهنده الکترون (donor) به کریستال نیمه هادی خالص سیلیکون یا ژرمانیم ساخته می شود. نیمه هادی نوع p از تزریق برون یا گالیم به عنوان گیرنده الکترون (acceptor) به کریستال نیمه هادی خالص ساخته می شود. در کریستال n الکترون حامل اکثریت و حفره حامل اقلیت است (حفره یعنی کمبود الکترون). در کریستال p حفره حامل اکثریت و الکترون حامل اقلیت است. در شکل ۴-۱ ساختمان واقعی دیود و در شکل ۴-۲ ساختمان سمبلیک آن به همراه نماد آن که در مدارها مورد استفاده قرار می گیرد نشان داده شده است.

پس از تشکیل اتصال p-n تعدادی از الکترونهای ناحیه n نزدیک اتصال جذب همان تعداد حفره های ناحیه p نزدیک اتصال شده و آنها را پر می کنند. بنابراین در دو طرف اتصال لایه ای خالی از الکترون و حفره تشکیل می شود که به آن لایه تخلیه (depletion layer) اطلاق می شود. لایه تخلیه مانند یک خازن شارژ شده عمل می کند و طبق فرمول $V = \frac{Q}{C}$ ولتاژی در حد چند میلی ولت بین دو ناحیه n,p به وجود می آید. دیود در حالت بایاس مستقیم و بایاس معکوس می تواند کار کند.



شکل ۴-۱: ساختار دیود



شکل ۴-۲: دیود PN ساختار داخلی و نماد آن

الف- بایاس مستقیم (forward bias):

اگر ولتاژ p نسبت به n به وسیله ولتاژ منبع مثبت شود، دیود در حالت بایاس مستقیم قرار گرفته و عرض لایه تخلیه کاهش یافته و مقاومت دیود بسیار کم می شود. همچنین جریان حاملهای اکثریت افزایش می یابد به طوری که جریانهای پخشی (Diffusion) بر جریانهای نشتی (Drift) کاملاً غلبه می کند. با نفوذ الکترونها به ماده p و حفره های به n (در جهت مخالف یکدیگر) یک جریان در جهت قرار دادی (خلاف جهت حرکت الکترونها و هم جهت حفره ها) از p به n به وجود می آید. رابطه این جریان با ولتاژ دو سر دیود طبق فرمول ۱-۴ به صورت نمائی است:

$$I_D = I_S\left(e^{\frac{V_D}{nV_T}} - ۱\right) \qquad (۴-۱)$$

در این فرمول n بستگی به جنس دیود دارد و بین ۱و۲ است. V_T ولتاژ حرارتی نامیده می شود و برابر با $\frac{kT}{q}$ است و در درجه حرارت معمولی اطاق حدود ۲۶mv است. I_S جریان اشباع معکوس دیود است.

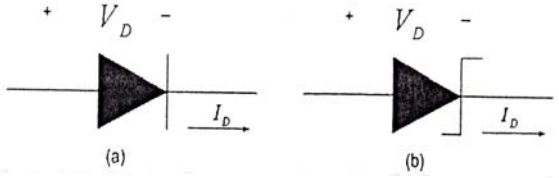
ب- بایاس معکوس (veverse bias):

اگر ولتاژ p نسبت به n منفی باشد، دیود بایاس معکوس دارد و عرض لایه تخلیه افزایش می یابد. جریانهای نشتی که به وسیله حاملهای اقلیت ایجاد می شود بیشتر از جریانهای پخشی خواهند شد. چون جریان بایاس معکوس عمدتاً به وسیله حاملهای اقلیت ایجاد شده است، مقدار آن بسیار ناچیز است و دیود مانند یک ماده عایق عمل می کند. برای $V_D << ۰$ هم، I_D از فرمول ۱-۴ به دست می آید که نتیجه آن فرمول ۲-۴ است و به این علت به I_S جریان اشباع معکوس گفته می شود.

$$I_D = -I_S \qquad (V_D << ۰ \text{ برای}) \qquad (۴-۲)$$

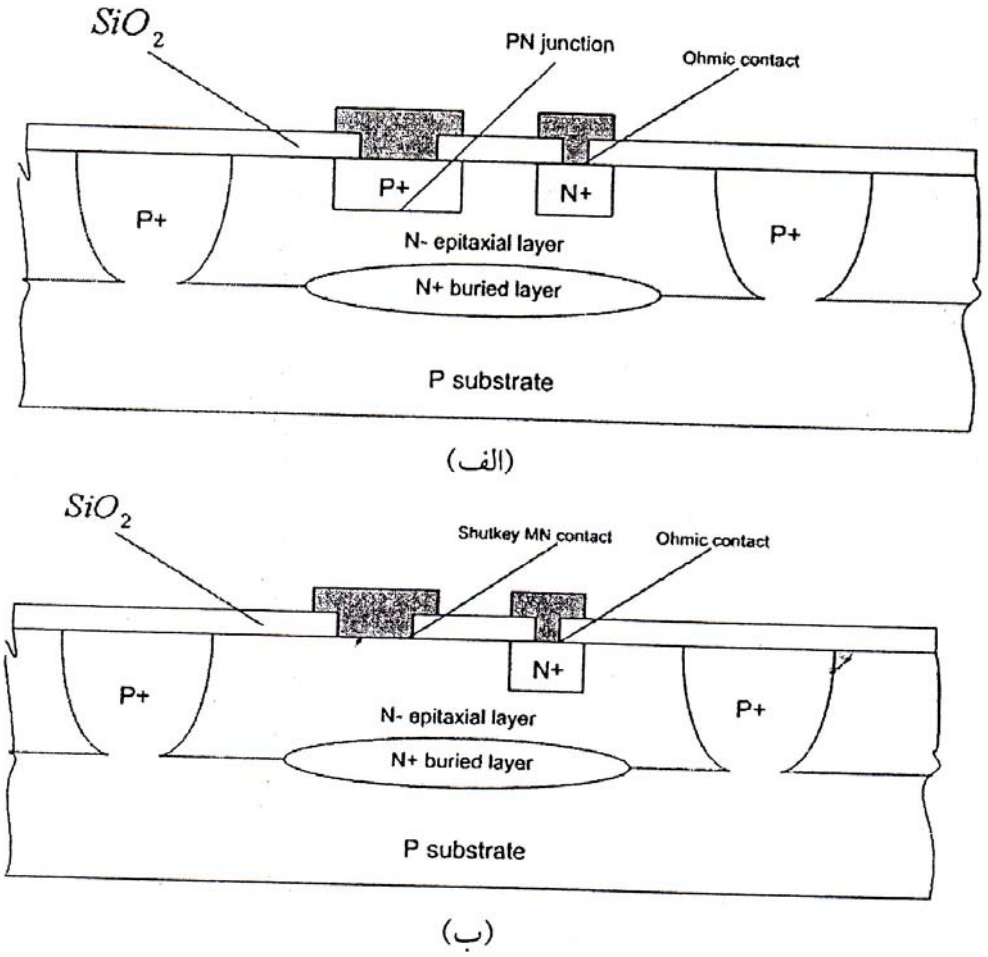
۲-۴: دیودهای پیوندی PN و شاتکی MN:

دیودهای پیوندی PN و شاتکی MN در آی سی های دیجیتالی عناصر مهمی هستند. علائم مداری و جهت جریان و ولتاژ آنها در شکل ۳-۴ نشان داده شده است. دیودها در مدار داخلی آی سی ها زیاد مورد استفاده قرار می گیرند و کاربردهای مختلفی دارند. مثلاً در ورودی مدارها به عنوان محدود کننده به منظور کاهش ولتاژهای گذرا در زمان تغییر وضعیت سویچها به کار می روند. این دیودهای محدود کننده در عملکرد اصلی مدار نقشی ندارند.



شکل ۳-۴: نمادهای دیود:(a) دیود پیوندی، (b) دیود شاتکی MN

شکل ۴-۴ یک برش از تراشه دیود PN و یک برش از دیود MN را نشان می دهد.



شکل ۴-۴: برشی از ساختمان دیود (الف) دیود پیوندی، (ب) دیود شاتکی MN

۴-۳: دیودهای پیوندی PN:

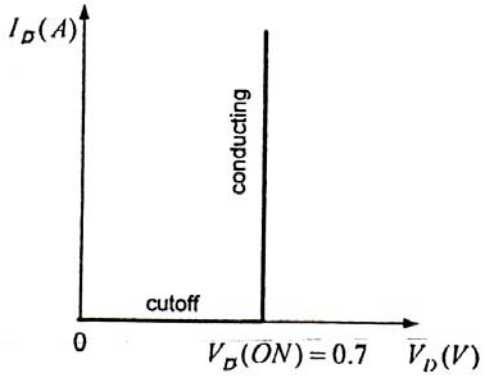
در مدار داخلی آی سی های دیجیتالی، به عنوان دیود پیوندی از دو قسمت از سه قسمت ترانزیستورهای دو قطبی (BJT) استفاده می شود و خودشان به طور مستقل ساخته نمی شوند. علت این موضوع این است که لایه های مختلف N,P را برای ساخت ترانزیستور های BJT قبلاً استفاده کرده ایم و مقدور نیست که از لایه های خاصی صرفاً برای دیود استفاده کنیم.

۴-۴: دیودهای پیوند MN (شاتکی):

دیود شاکتی از نیمه هادی N و یک فلز مخصوص ساخته می شود. در ساخت دیود شاتکی به جای استفاده از نیمه هادی نوع p از فلزی خاص به نام سیلیساید پلاتینیم (pt_5si_2) به عنوان آند استفاده شده است. این دیودها یکسو کننده هستند.

۴-۵: مدل کردن دیود

رابطه ۴-۱ که به رابطه شاکلی مشهور است نشان می دهد که جریان دیود در بایاس مستقیم به صورت نمائی افزایش پیدا می کند، به این صورت که مقدار جریان برای ولتاژهای کمتر از مقداری بخصوص (۰/۷ ولت برای دیود پیوندی سیلیکون، ۰/۲ ولت برای دیود پیوندی ژرمانیم و ۰/۳ ولت برای دیود شاتکی MN) بسیار ناچیز و در حد میکروآمپر و کمتر از آن است بنابراین دیود برای این ولتاژهای کم در حالت قطع در نظر گرفته می شود. اگر ولتاژ دیود از این مقادیر ولتاژ آستانه بیشتر باشد، جریان دیود سریعاً افزایش می یابد. لذا می توان منحنی حالت بایاس مستقیم دیود را به صورت تقریبی به شکل منحنی ۵-۴ نشان داد. این نوع مدل کردن دیود را مدل خطی تکه ای گویند. این منحنی، مشخصه دیود را پس از ولتاژ آستانه به صورت قائم نشان می دهد یعنی در این تقریب مقاومت بایاس مستقیم دیود بعد از ولتاژ آستانه مساوی صفر در نظر گرفته شده است، در صورتی که مقدار واقعی آن چند ده اهم است. در این صورت دقیقتر این است که شاخه قائم منحنی را قدری به صورت مایل در نظر بگیریم.



شکل ۵-۴: مدل خطی تکه ای برای دیود

۴-۶: منطق دیود مقاومت (RDL, Resistor Diode Logic):

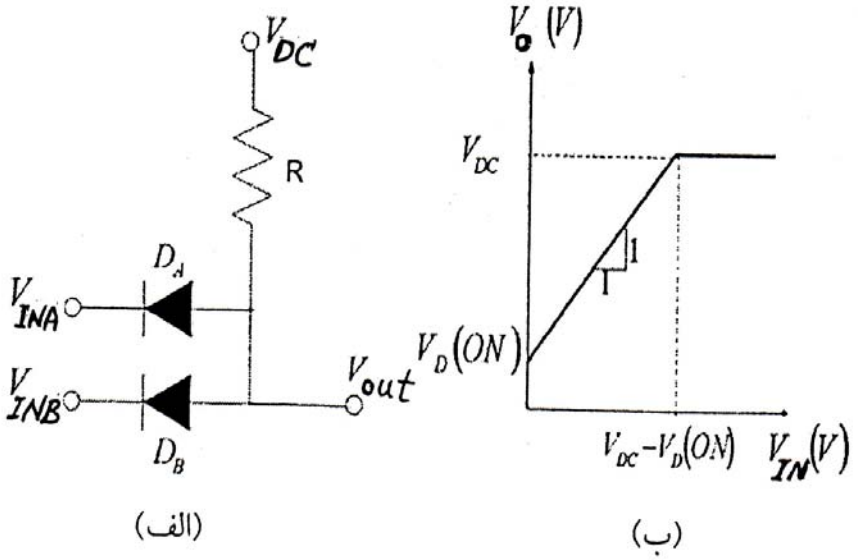
این مدارات فقط از دیود و مقاومت ساخته شده و ساده ترین مدارهای منطقی است. گیتهای OR و AND با این خانواده درست می شود.

۴-۶-۱: گیت AND دیودی:

شکل ۴-۶ (الف) گیت AND خانواده RDL را نشان می دهد. اگر هر کدام از ورودی های V_{IN} کمتر از مقدار ولتاژ $V_{DC}-V_D(oN)$ باشد، دیود مربوط به آن ورودی روشن شده و $V_{OUT}=V_{IN}+V_D$ می شود $V_D(oN)$ ولتاژ آستانه روشنی دیود است و برای دیودهای از جنس سیلیکون حدود (۰/۷ ولت است). برای $V_{IN}=0$ می شود و جریان R چنین است: $V_{OUT}=V_D(oN)=V_{OL}$

$$I_R=\frac{V_{DC}-V_{OUT}}{R}=\frac{V_{DC}-V_D(oN)-V_{IN}}{R}$$

وقتی که همه ورودی ها بزرگتر از $V_{DC}-V_D(oN)$ شوند، همه دیودها خاموش شده و جریان مقاومت R مساوی صفر شده و $V_\circ = V_{OH} = V_{DC}$ می شود.



شکل ۶-۴: گیت AND نوع RDL: (الف) مدار، (ب) مشخصات انتقالی ولتاژ

شکل ۶-۴ (ب) مشخصات انتقالی ولتاژ این گیت نشان داده شده است، که در آن $V_{IN} = V_{INA} = V_{INB}$ می باشد. بعد از این مشخصه انتقالی ولتاژ را VTC (مخفف Voltage Transfer Characteristic) می نامیم. VTC شکل ۶-۴ (ب) به صورت تکه ای خطی می باشد. خروجی از مقدار می نیمم خود یعنی $V_{OL} = V_D(ON)$، که به ازاء $V_{IN} = \circ$ به دست می آید با شیبی برابر با «یک» بالا می آید تا اینکه به مقدار ماکزیمم خود یعنی $V_{OH} = V_{DC}$ می رسد، که به ازاء $V_{IN} = V_{DC} - V_D(ON)$ به دست می آید و با افزایش V_{IN} بیشتر از این مقدار $V_\circ$ ثابت می ماند. عملاً به این صورت عمل می شود که هرگاه به خواهیم ورودی در حالت «صفر» باشد باید $V_{IN} = \circ V$ اعمال کنیم که اگر هر دو ورودی و یا یکی از آنها در حالت صفر قرار گیرد، خروجی به اندازه $V_D(ON)$ خواهد شد، که معادل حالت «صفر» خروجی است. اگر بخواهیم هر دود ورودی در حالت یک باشد باید مقدار هر کدام از آنها حداقل به اندازه $V_{DC} - V_D(ON)$ باشد، که در این صورت مقدار خروجی برابر با V_{DC} شده و در حالت «یک» واقع می شود. چون می خواهیم خروجی در حالت «صفر» یا در حالت «یک» واقع شود لذا از اعمال ولتاژ بین صفر تا $V_{DC} - V_D(ON)$ به عنوان ورودی باید اجتناب کرد، که خروجی دچار اشتباه نشود.

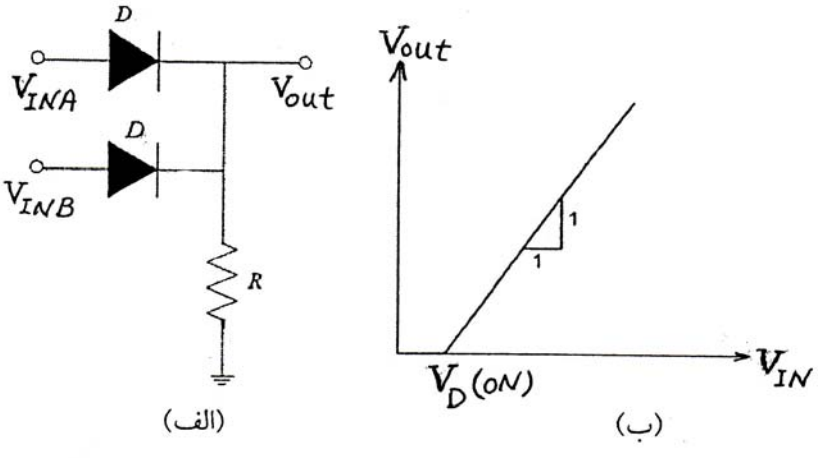
۲-۶-۴: گیت OR دیودی

شکل ۷-۴ (الف) یک گیت OR خانواده RDL را نشان می دهد. وقتی همه ورودیها کمتر از $V_D(ON)$ باشند، همه دیودها قطع هستند و داریم:

$$V_{OUT} = \circ = V_{OL}$$

اگر هر کدام از ورودیها بزرگتر از $V_D(ON)$ باشند، جریانی از R عبور خواهد کرد و ولتاژ خروجی چنین خواهد شد:

$$V_{OUT} = V_{IN} - V_D(ON)$$



شکل ۷-۴: گیت OR دیودی: (الف) مدار، (ب) مشخصه انتقالی ولتاژ

منحنی VTC گیت OR در شکل ۷-۴ (ب) نشان داده شده است که در آن: $V_{IN}=V_{INA}=V_{INB}$ می باشد. این منحنی نیز به صورت خطی تکه ای می باشد. ولتاژ خروجی از مقدار مینیمم خود یعنی $V_{OL}=۰$ در نقطه $V_{IN}=V_D(ON)$ با شیب «۱» شروع به افزایش می کند.

مشابه توضیحی که در مدار AND ارائه شده حالت «صفر» ورودی یعنی ورودی کمتر از $V_D(ON)$ تا مقدار خیلی کمی بیشتر از آن و حالت «یک» ورودی یعنی ورودی تقریباً برابر با $V_{OH}+V_D(ON)$ که در اعمال ورودی «صفر» یا «یک» به مدار باید این مقادیر رعایت شوند.

مثال ۱-۴: برای گیت AND دو ورودی شکل ۶-۴ نشان دهید که اگر V_{INA} به اندازه «۱» ولت از V_{INB} بیشتر باشد، دیود D_A قطع خواهد بود.

حل: ولتاژ هر کدام از دیودها را می توان به صورت زیر نوشت:

$$V_{DA}=V_{OUT}-V_{INA} \qquad , \qquad V_{D_B}=V_{OUT}-V_{INB}$$

فرض کنید D_A هدایت می کند و ولتاژ بایاس مستقیم آن ۰/۷ ولت است بنابراین برای ولتاژ خروجی رابطه زیر برقرار است:

$$V_{OUT}=V_{INA}+۰/۷V$$

و ولتاژ دیود DB چنین است:

$$V_{DB}=(V_{INA}+۰/۷)-V_{INB}$$

با جایگزین کردن $V_{INA}=V_{INB}+۱$ ولتاژ D_B چنین به دست می آید:

$$V_{DB}=(V_{INB}+۱)+۰/۷-V_{INB}=۱/۷V$$

دیود D_B نمی تواند چنین ولتاژی داشته باشد، بنابراین فرض اولیه ما در مورد هدایت کردن دیود D_A نمی تواند درست باشد لذا دیود D_A قطع خواهد بود و D_B روشن است و خواهیم داشت:

$$V_{OUT}=V_{INB}+۰/۷$$
$$V_{DA}=V_{INA}-(V_{INB}+۰/۷V)=(V_{INA}-V_{INB})-۰/۷=۱-۰/۷=۰/۳V$$

۴-۷: منطق RDL با سطح منتقل شده

شیب VTC گیت های AND و OR بخش های قبلی هر دو به اندازه «۱+» بودند، ولی ولتاژ V_{OL} گیت AND و V_{OH} گیت OR با مقدار ایده آل خود فاصله دارند. این معایب با افزودن دیودهای اضافه ای، که دیودهای انتقالی دهنده سطح نامیده می شوند از بین می روند.

۴-۷-۱: گیت AND با سطح انتقال یافته:

شکل ۴-۸ (الف) گیت AND با سطح منتقل شده است. دیود D_L که سطح را منتقل می کند به مدار قبلی گیت AND اضافه شده است (همچنین R_L که به $-V_{EE}$ وصل شده است).

وقتی که هر کدام از ولتاژهای ورودی پایین باشند، دیود ورودی مربوط به آن هدایت کرده و ولتاژ نقطه X چنین است:

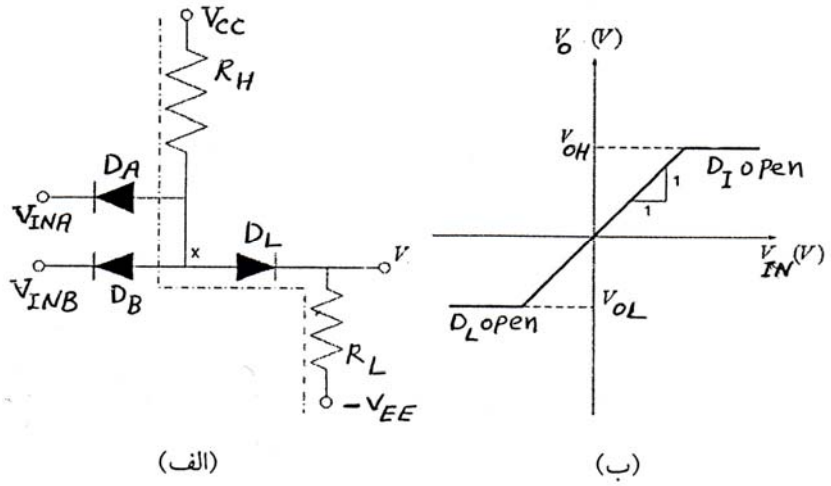
$$V_X = V_{IN} + V_{DIN}(ON)$$

و ولتاژ خروجی با فرض هدایت کردن DL چنین محاسبه می شود:

$$V_{OUT} = V_X - V_{DL}(ON) = V_{IN}$$

برای ولتاژهای ورودی کمتر از V_X ، $-V_{EE}$کمتر از $-V_{EE} + V_D(On)$ می شود و در این حالت D_L قطع می شود. بنابراین ولتاژ حداقل خروجی در این مدار برابر است با :

$$V_{OL} = -V_{EE}$$



شکل ۴-۸: گیت AND دیودی که سطح آن منتقل شده است. (الف) مدار، (ب) مشخصه انتقالی

به علاوه برای همه ولتاژهای ورودی بالاتر از $V_{CC} - V_D(ON)$ همه دیودهای ورودی قطع می باشند. در این حالت برای به دست آوردن ولتاژ خروجی ابتدا جریان I_{D_L}را با نوشتن KVL در طول مسیر نقطه چنین حساب می کنیم، که نتیجه آن رابطه زیر است:

$$I_{D_L} = \frac{V_{CC} + V_{EE} - V_{D_L}(ON)}{R_H + R_L}$$

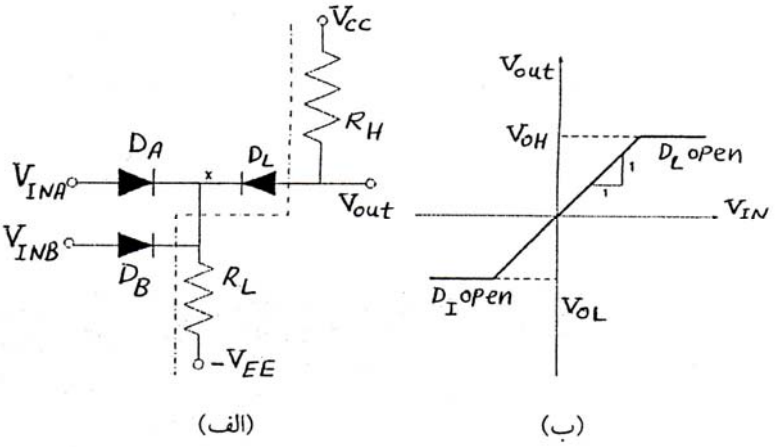
ولتاژ خروجی به صورت زیر به دست می اید:

$$N_{OH} = N_{CC} - I_{D_L}(ON)R_H - V_{DL} - V_{D_L}(ON) \qquad (۴-۳)$$

مشخصه انتقالی گیت AND دیودی با سطح منتقل شده در شکل ۸-۴ (ب) نشان داده شده است توجه کنید که VTC از محل اولیه خود منتقل شده است.

۲-۷-۴: گیت OR با سطح انتقال یافته:

شکل ۹-۴ (الف) گیت OR که سطح آن منتقل شده را نشان می دهد، که دیود D_L و یک مقاومت به طرح قبلی اضافه شده است. وقتی که سطح ورودی ها پایین باشند، همه دیودهای ورودی قطع می شوند.



شکل ۹-۴: گیت OR با سطح منتقل شده: (الف) مدار، (ب) مشخصه انتقالی ولتاژ

برای به دست آوردن ولتاژ می نیمم خروجی، ابتدا جریان دیود D_L را با نوشتن یک معادله KVL در طول خطوط نقطه چین حساب می کنیم:

$$I_{D_L} = \frac{V_{CC} + V_{EE} - V_{D_L}(ON)}{R_H + R_L} \qquad (۴-۴)$$

ولتاژ می نیمم خروجی چنین به دست می آید:

$$V_{OUT} = V_{CC} - I_{D_L} R_H = V_{CC} - \frac{V_{CC} + V_{EE} - V_D(ON)}{R_H + R_L} R_H \qquad (۴-۵)$$

اگر هر کدام از ورودی ها سطح شان بالا باشد، در آن صورت دیود متصل به آن ورودی روشن می شود. و ولتاژ نقطه X چنین محاسبه می شود:

$$V_X = V_{IN} - V_{DL}(ON)$$

ولتاژ خروجی نیز چنین محاسبه می شود:

$$V_{OH} = V_X + V_{D_L}(oN) = V_{IN}$$

مشخصه انتقالی گیت OR با سطح منتقل شده در شکل ۹-۴ (ب) نشان داده شده است که در آن $V_{IN} = V_{INA} = V_{INB}$ می باشد.

مثال ۲-۴: برای گیت AND با سطح منتقل شده شکل ۸-۴ اگر $V_D(ON) = ۰/۷V, V_{CC} = V_{EE} = ۴V$ و $R_L = ۲k\Omega, R_H = ۱k\Omega$ باشد، ولتاژ خروجی می نیمم و ولتاژ خروجی ماکزیمم را پیدا کنید.

حل:

$$V_{OL} = -V_{EE} = -۴V$$

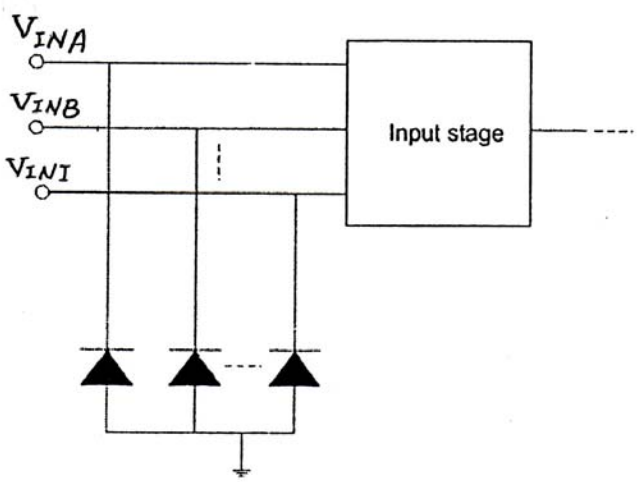
طبق فرمول ۳-۴:

$$V_{OH} = V_{CC} - I_{D_L}(ON) \times R_H - V_{D_L}(ON) = V_{CC} - \frac{V_{CC} + V_{EE} - V_{D_L}(ON)}{R_H + R_L} \times R_H - V_{DL}(ON)$$

$$= ۴ - \frac{۴ + ۴ - ۰/۷}{(۱k) + (۲k)} \times (۱k) - ۰/۷ = ۰/۸۷V$$

۸-۴: دیودهای محدود کننده (Limiter):

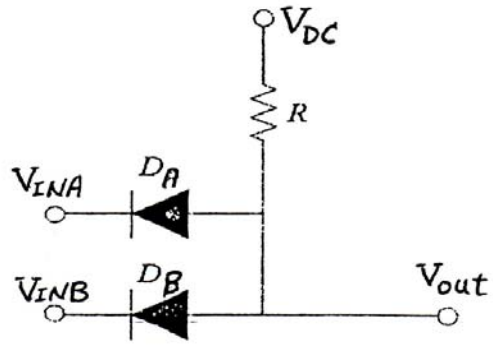
زمانی که ورودی یک گیت، از ولتاژ بالا به پایین تغییر می کند، ولتاژ ورودی اغلب در اطراف صفر ولت نوسان می کند، که ممکن است باعث آسیب رسیدن به گیت شود. اتصال دیود به هر یک از ورودی های گیت، همچنان که در شکل ۱۰-۴ نشان داده شده است این مشکل را مقداری رفع می کند و باعث می شود ورودی های گیت از ۰/۷- ولت منفی تر شوند. توجه کنید در حالتی که ورودی ها سطح شان بالا است دیودها هدایت نمی کنند و در این صورت وجود دیودها تاثیری در کار مدار نخواهند داشت. دیودهای محدود کننده در زیر خانواده هائی از TTL مورد استفاده قرار گرفته اند.



شکل ۱۰-۴: دیودهای محدود کننده ورودی

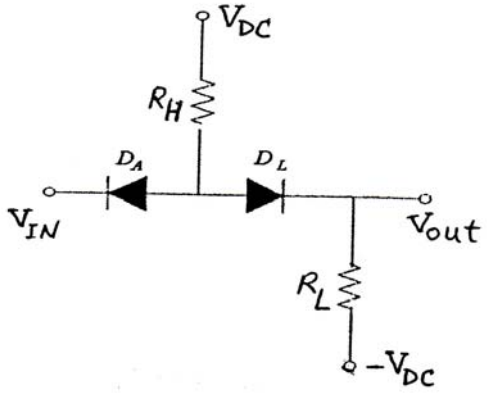
مسائل:

۱. برای گیت AND شکل ۱۱-۴ نشان دهید که سطح ولتاژ خروجی در حالت پایین دقیقاً صفر نیست. برای ولتاژهای ورودی صفر و ۵ ولت همه ترکیب های ورودی را در نظر گرفته و ولتاژ خروجی را حساب کنید. ولت $V_{DC} = ۵$ است.



شکل ۱۱-۴: مربوطه به مساله ۱

۲. برای مدار شکل ۱۲-۴ در صورتی که $R_H = R_L = ۱k\Omega$, $V_D(ON) = ۰/۷V$ باشد، منحنی VTC (مشخصه انتقالی ولتاژ) را برای فاصله $-V_{DC} \le V_{IN} \le V_{DC}$ رسم کنید.



شکل ۱۲-۴: مربوط به مساله ۲

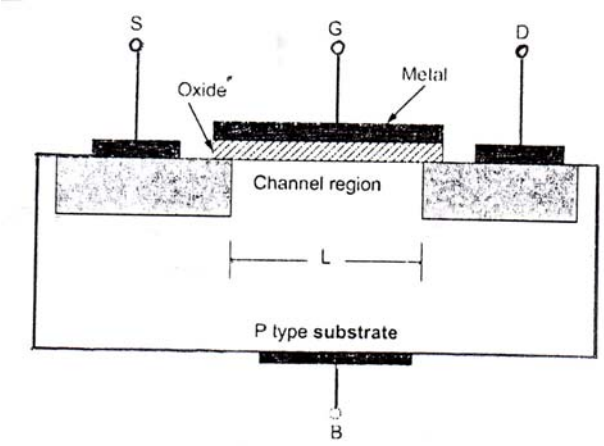
فصل ۵
آشنائی با MOSFET ها

MOSFET ها دو نوع N کانال و P کانال دارند و در هر دو نوع آنها فقط یک حامل جریان وجود دارد (الکترون یا حفره) و به این لحاظ به آنها ترانزیستورهای تک قطبی گویند (برخلاف BJT که ترانزیستور دو قطبی است). MOSFET ها در مقایسه BJT خیلی ساده تر و کوچکتر ساخته می شوند و در توابع منطقی و حافظه ها، که نیازی به استفاده از مقاومت و دیود نباشد صرفاً با MOSFET ها ساخته می شوند. بنابراین در ساخت آی سی های VLSI نیز صرفاً از تکنولوژی MOS استفاده می شود. علاوه بر آن تکنولوژی MOS در ساخت آی سی ها آنالوگ نیز کاربرد گسترده ای دارند.

این فصل بیشتر به مهمترین نوع ترانزیستور اثرمیدانی (Field Effect Transistor) اختصاص دارند که نوع افزایشی (Enhancement) است. ترانزیستورهای اثر میدانی به شکل مجزا موجودند، اما مهمترین استفاده از آنها در طراحی مدار داخلی مدارهای مجتمع است.

۵-۱: ساختمان و عملکرد MOSFET افزایشی:

ساختمان MOSFET افزایشی کانال N در شکل ۵-۱ نشان داده شده است. این ترانزیستور روی زیر لایه نوع P (P-Substrate) ساخته می شود. این زیر لایه بدنه نیز نامیده می شود. دو ناحیه نوع N با ناخالصی زیاد در داخل زیر لایه ایجاد می شود (n^+) و یک لایه نازک (حدود ۰/۱ میکرون) از دی اکسید سیلیسیم (sio_2)، که عایق بسیار خوبی است، روی سطح زیر لایه رشد داده می شود و سطح بین دو ناحیه سورس (Source) و درین (Drain) را می پوشاند، که روی اکسید فلز نشانده می شود. این عنصر چهار پایانه (ترمینال) دارد: گیت (G)، سورس (S)، درین (D) وزیر لایه یا بدنه (B).



شکل ۵-۱: ساختمان یک ترانزیستور NMOS افزایشی

نام این عنصر فلز- اکسید- نیمه هادی یا (Metal- Oxide- Semiconductor) از ساختمان آن گرفته شده است. بین گیت و بدنه یک لایه عایق وجود دارد، که باعث می شود جریان گیت بسیار بسیار کم باشد. زیر لایه با نواحی سورس و درین تشکیل پیوند PN می دهد. در شرائط کار عادی عنصر این پیوندها بایاس معکوس دارند. با اتصال B به S این دو پیوند PN کاملاً به حالت قطع می روند. در تشریح طرز کار MOSFET فرض می کنیم B با S متصل باشد و زیر لایه تأثیری در کار قطعه نداشته و این عنصر را یک قطعه سه ترمینال (D, G, S) در نظر می گیریم. نشان داده خواهد شد که ولتاژ گیت جریان بین سورس و درین را کنترل می کند. جریان بین سورس و درین در ناحیه ای بنام کانال جاری می شود. طول این کانال یعنی L دربازه ۱ تا ۱۰ میکرومتر و عرض کانال یعنی W دربازه ۲ تا ۵۰۰ میکرومتر ساخته می شود. MOSFET برخلاف BJT عنصری متقارن است و جای S و D را در مدارها می توان با هم عوض کرد.

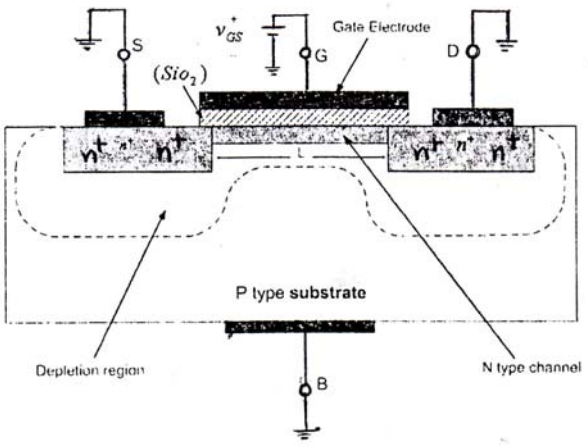
۱-۱-۵: کار MOSFET بدون ولتاژ گیت:

اگر ولتاژ بایاسی به گیت اعمال نشود، دو دیودی که بین سورس و درین به صورت دو دیود متوالی معکوس قرار دارند (یک دیود بین ناحیه درین N و زیر لایه نوع P و دیگری بین زیر لایه نوع P و ناحیه سورس نوع N) با اعمال ولتاژ V_{DS} بین درین و سورس با هر نوع قطبیت، یکی از این دو دیود بایاس مستقیم و دیگری بایاس معکوس پیدا کرده و مقاومت زیادی از مرتبه $۱۰^{۱۲}$ اهم بین سورس و درین به وجود می آید.

۲-۱-۵: ایجاد کانال برای عبور جریان:

در شکل ۲-۵ سورس زمین شده و منبع V_{GS} گیت را نسبت به زمین و در نتیجه نسبت به سورس مثبت کرده است. ولتاژ مثبت گیت سبب می شود تعدادی الکترون جذب زیر لایه پائین گیت شده، حفره ها را به سمت پائین رانده و بار منفی ساکن ایجاد نمایند.

در سطح زیر لایه و زیر ناحیه گیت یک کانال نوع N ایجاد می شود. ولتاژ مثبت گیت الکترونهای زیادی را از درین و سورس به این ناحیه زیر گیت کشانده و باعث ایجاد یک کانال N می شود، که نواحی سورس و درین را به هم وصل می کند.



شکل ۲-۵: ترانزیستور NMOS که ولتاژ مثبتی به گیت آن اعمال شده و یک کانال N تشکیل شده است

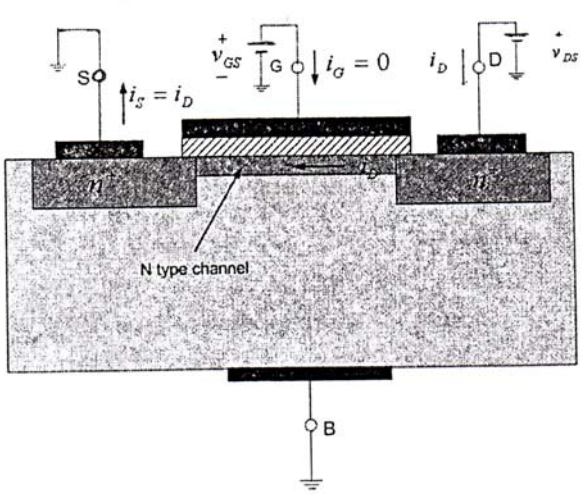
MOSFET ساخته شده، که در شکل ۲-۵ نشان داده شده است، از نوع کانال N است و به آن NMOS گویند. اگر ولتاژی بین سورس ودرین اعمال شود، الکترونهای آزاد جریانی در این کانال ایجاد می کنند. توجه کنید که NMOS در زیر لایه نوع P به وجود می آید و به همین خاطر این کانال القائی لایه وارون شده (Inversion Layer) نامیده می شود. حداقل ولتاژ V_{GS} لازم برای انباشتن تعداد کافی الکترون در کانال، ولتاژ آستانه نام دارد و با V_t نشان داده می شود و برای NMOSهای مختلف معمولاً بین ۱ تا ۳ ولت است.

گیت و بدنه MOSFET یک خازن می سازند که لایه اکسید دی الکتریک آن است. بار مثبت روی الکترود گیت و بار منفی در صفحه پائینی با الکترونهای موجود در کانال القائی شکل می گیرد. در نتیجه یک میدان الکتریکی در جهت عمودی به وجود می آید. این میدان، مقدار بار کانال، رسانائی کانال و در نتیجه جریان گذرنده از کانال هنگام اعمال ولتاژ V_{DS} را کنترل می کند.

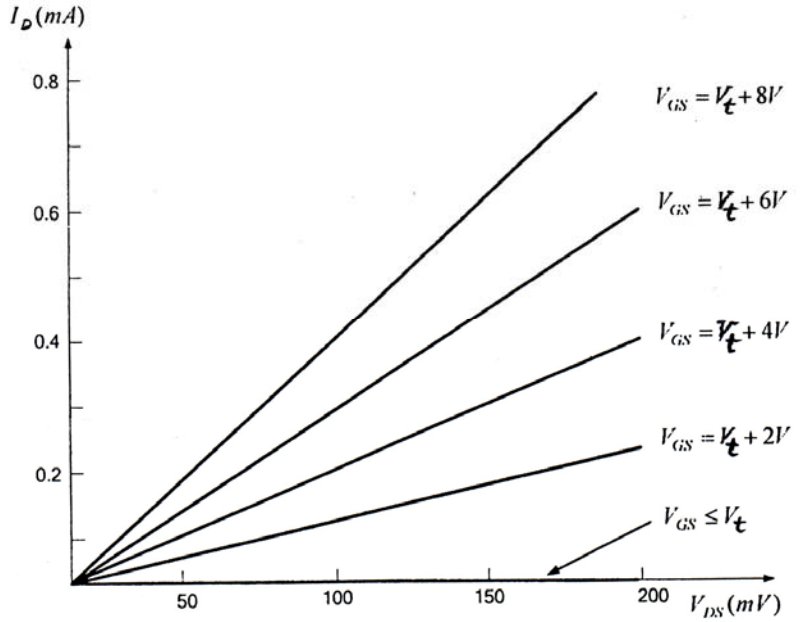
۳-۱-۵: اعمال ولتاژ V_{DS} کم:

حال شکل ۳-۵ را در نظر بگیرید که ولتاژ V_{DS} بین سورس و درین اعمال شده است. ابتدا ولتاژی کم مثلاً ۰/۱ تا ۰/۲ ولت بین درین و سورس اعمال می کنیم. ولتاژ V_{DS} سبب می شود که جریانی از الکترونهای آزاد از سورس به طرف درین ایجاد شود (سورس یعنی منبع و درین یعنی مصرف کننده).

این ترانزیستور مانند مقاومتی عمل می کند که مقدار رسانائی آن متناسب با $V_{GS}-V_t$ است. مقدار I_D به چگالی الکترونهای آزاد بستگی دارد و این چگالی به V_{GS} بستگی دارد. به ازاء $V_{GS} = V_t$ مقدار I_D ناچیز است. وقتی V_{GS} از V_t بیشتر شود، الکترونهای بیشتری جذب کانال می شوند، عمق کانال افزایش یافته، که نتیجه آن افزایش رسانائی و کاهش مقاومت آن است. به این معنی که رسانائی کانال متناسب با $V_{GS} - V_t$ (ولتاژ اضافه گیت) می باشد.



شکل ۳-۵: ترانزیستور NMOS با $V_{GS}>V_t$ و V_{DS} اندک



شکل ۴-۵: منحنی تغییرات I_D برحسب V_{DS} مربوط به NMOS شکل ۳-۵ برای چند مقدار V_{GS}

بنابراین جریان I_D متناسب با $V_{GS}-V_t$ و V_{DS} است. شکل ۴-۵ نمودار تغییرات I_D بر حسب V_{DS} به ازاء مقادیر مختلف V_{GS} است. این منحنی نشان می دهد که MOSFET به صورت یک مقاومت خطی عمل می کند، که مقدار آن را V_{GS} کنترل می کند. به ازاء $V_{GS} \le V_t$ مقدار این مقاومت بینهایت است و اگر V_{GS} از V_t بیشتر شود، مقدار این مقاومت کاهش می یابد (به علت عریضتر شدن کانال). تاثیر مقدار V_{DS} اندک است.

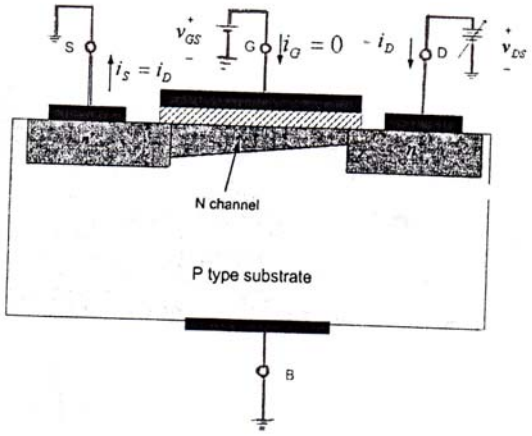
بیشتر کردن V_{GS} از مقدار V_t عمق کانال را افزایش می دهد و به این لحاظ به این نوع NMOS افزایشی گفته می شود. جریان پایانه های سورس و درین با یکدیگر برابر است و جریان پایانه گیت صفر است.

۴-۱-۵: اثر افزایش V_{DS} بر کار MOSFET:

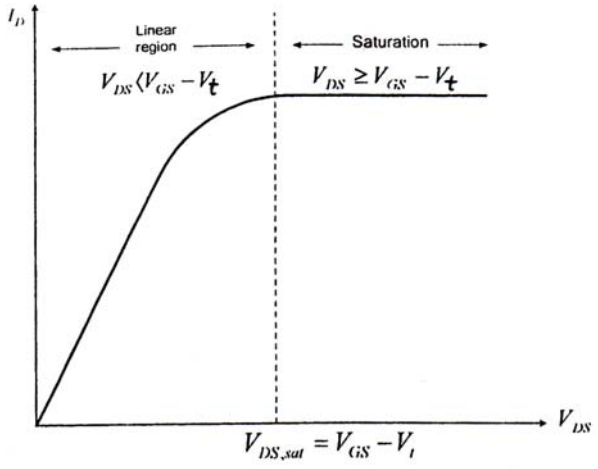
اینک می خواهیم V_{GS} را در مقداری بیشتر از V_t ثابت در نظر گرفته و V_{DS} را افزایش دهیم. در طول کانال از سورس به درین ولتاژ نقاط مختلف از صفر به V_{DS} می رسد (ولتاژ نقاط مختلف کانال نسبت به سورس اندازه گیری می شود). بنابراین ولتاژ بین گیت و نقاط روی کانال از مقدار V_{GS} در سر سورس تا مقدار V_{GS}-V_{DS} در سر درین کاهش می یابد. چون عمق کانال بستگی به این ولتاژ دارد، عمق کانال یکنواخت نیست و مطابق شکل ۵-۵ به صورت مخروطی است که مقطع آن در سر سورس بزرگتر و درسر درین کوچکتر است.

وقتی که V_{DS} افزایش می یابد کانال مخروطی تر می شود و مقاومت آن نیز افزایش می یابد و منحنی I_D-V_{DS} مطابق شکل ۶-۵ انحناء پیدا می کند.

در نهایت وقتی افزایش V_{DS} به حدی برسد که ولتاژ بین گیت و کانال در سر درین به V_t برسد یعنی V_{GS}-V_{DS}=V_t یا V_{DS}=V_{GS}-V_t شود، عمق کانال در سردرین به صفر می رسد و کانال مسدود می شود.



شکل ۵-۵: کار NMOS افزایشی در حالتی که V_{DS} افزایش یافته و V_{GS} ثابت باشد.



شکل ۶-۵: منحنی تغییرات جریان درین برحسب ولتاژ درین- سورس NMOS افزایشی با V_{GS}>V_t

افزایش V_{DS} از مقدار $V_{DS}=V_{GS}-V_t$ اثر ناچیزی بر تغییر I_D دارد و جریان I_D تقریباً ثابت مانده و جریان درین در این مقدار به اشباع می رسد (NMOS به اشباع می رود). چون $V_{DS}=V_{GS}-V_t$ ولتاژ اشباع را نشان می دهد، برای هر مقدار $V_{GS}>V_t$ مقدار متناظری برای V_{DS} در حالت اشباع وجود دارد. جریان در ناحیه اشباع تقریباً ثابت است و به V_{DS} بستگی ندارد. در عمل چون عمق کانال با تغییر V_{DS} ثابت نمی ماند، یک وابستگی به صورت فرمول زیر بین I_D و V_{DS} وجود دارد:

$$I_D = K(V_{GS} - V_t)^2(1 + \lambda V_{DS}) \qquad (۵-۱)$$

که در آن λ مقدار ثابتی است، که از پارامترهای MOSFET است. جریان I_D در ناحیه اشباع ثابت فرض می شود. ناحیه ای از مشخصه I_D-V_{DS} ، که به ازاء $V_{DS}<V_{DS}(sat)$ به دست می آید **ناحیه خطی** نامیده می شود. هنگامی که $V_{GS}<V_t$ است، جریان کاملاً قطع نیست و به ازاء V_{GS} کمتر از V_t ولی نزدیک به آن جریان درین کوچکی وجود دارد که به آن **جریان زیر اشباع (Subthreshold)** گویند. در این ناحیه رابطه جریان درین با V_{GS} به صورت نمائی است.

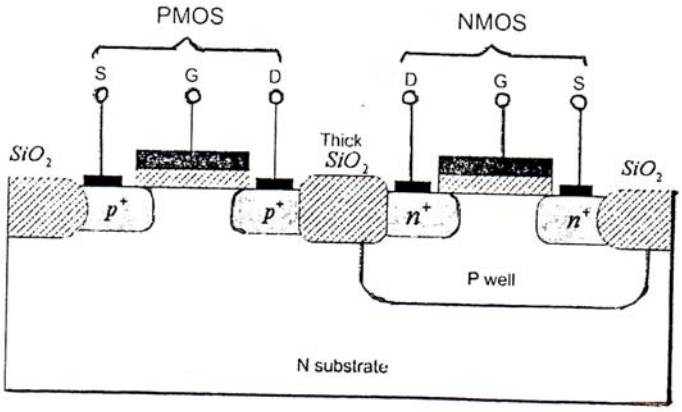
۵-۲: MOSFET نوع کانال – P (P-channel MOSFET):

MOSFET افزایشی کانال-P (ترانزیستور PMOS) در زیر لایه نوع N ساخته می شود که درین و سورس آن ناحیه های P^+ است و حاملهای بار آن حفره اند. این ترانزیستور مانند ترانزیستور کانال N کار می کند با این تفاوت که V_{GS} و V_{DC} در اینجا منفی هستند و ولتاژ آستانه V_t نیز منفی است. جریان از پایانه سورس وارد و از پایانه درین خارج می شود (برعکس ترانزیستور NMOS). در ابتدا تکنولوژی PMOS تکنولوژی غالب بود ولی چون ترانزیستورهای NMOS را می توان کوچکتر ساخت و سرعت آنها نیز بیشتر است و ولتاژ تغذیه کمتری نسبت به PMOS لازم دارند، NMOS تقریباً جای PMOS را گرفته است. با وجود این به دو دلیل باید با ترانزیستورهای PMOS آشنا شویم: اولاً اینکه PMOS هنوز برای طراحی مدارهای غیر مجتمع استفاده می شود و ثانیاً مهمتر از آن اینکه از ترکیب PMOS با NMOS نوع دیگری از ترانزیستورهای MOSFET ساخته می شوند که CMOS نام دارند.

۵-۳: MOSFET تکمیلی یا CMOS (Complementary MOS):

در ساخت CMOS از NMOS و PMOS هر دو استفاده می شود و ساختن آن مشکلتر از NMOS است. کارآمدی CMOS باعث شده که در حال حاضر رایج ترین تکنولوژی MOS در مدارهای دیجیتال و آنالوگ باشد.

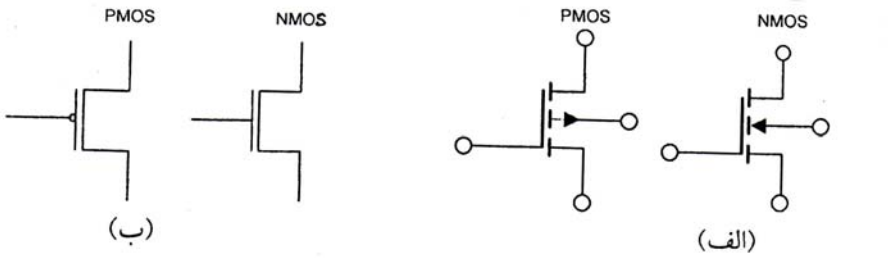
شکل ۵-۷ مقطع CMOS را نشان می دهد. ترانزیستور PMOS در زیر لایه نوع N ساخته شده و ترانزیستور NMOS در ناحیه خاصی به نام چاه P ایجاد می شود. لایه ضخیمی از اکسید، که نقش عایق دارد، این دو ترانزیستور را از هم جدا می کند.



شکل ۷-۵: سطح مقطع CMOS

۴-۵: نمادهای مداری:

شکل ۸-۵ (الف) نماد اصلی ترانزیستورهای NMOS و PMOS و شکل ۸-۵ (ب) نماد ساده شده آنها را نشان می دهد. در این درس از نماد ساده شده استفاده می کنیم.



شکل ۸-۵: نماد ترانزیستورهای MOSFET افزایشی: (الف) نماد واقعی، (ب) نماد ساده شده

در قسمت الف، ترمینال سمت چپ گیت است و خط چین عمودی کانال را نشان می دهد. فاصله بین خط گیت و خط چین نشان دهنده عایق بین گیت و کانال است. پیکان نشان دهنده جهت مستقیم پیوند PN بدنه و کانال است که در نوع PMOS و نوع NMOS این جهت پیکان متفاوت است.

۵-۵: مشخصه جریان- ولتاژ NMOS افزایشی:

در این قسمت مشخصه DC ترانزیستور بررسی می شود. در شکل ۹-۵ (الف) یک NMOS با اعمال ولتاژهای V_{GS} و V_{DS} نشان داده شده و جهت های عادی جریان نیز مشخص شده است. با استفاده از این مدار منحنی های مشخصه I_D-V_{DS} ترانزیستور به دست می آید، که هر منحنی به ازاء یک V_{GS} خاص در شکل ۹-۵ (ب) رسم شده است. در این منحنی ها سه ناحیه متمایز وجود دارد: (۱) ناحیه قطع، (۲) ناحیه خطی و (۳) ناحیه اشباع.

در حالتی که بخواهیم از MOSFET به عنوان تقویت کننده استفاده کنیم باید در ناحیه خطی کار کند. اگر $V_{GS} \le V_t$ باشد، MOSFET در ناحیه قطع کار می کند. اگر $V_{GS} \ge V_t$ باشد در MOSFET کانال القاء شده و ترانزیستور می تواند در ناحیه خطی کار کند. البته V_{DS} نیز باید چنان پائین باشد، که این کانال همیشه باز باشد. برای این منظور باید $V_{GD} \ge V_t$ باشد. بنابراین با استفاده از رابطه: $V_{GD} = V_{GS} + V_{SD} = V_{GS} - V_{DS}$ می توان رابطه فوق را به صورت $V_{GS} - V_{DS} \ge V_t$ یا $V_{DS} \le V_{GS} - V_t$ نوشت (برای داشتن کانال دائمی). یعنی رابطه $V_{DS} \le V_{GS} - V_t$ شرط کار NMOS در ناحیه خطی است. همچنین باید $V_{GS} \ge V_t$ باشد. در ناحیه خطی I_D به صورت تابعی از V_{DS} تقریباً با فرمول ۲-۵ بیان می شود:

$$I_D = K_n\left[(V_{GS} - V_t)V_{DS} - \frac{V_{DS}^2}{2}\right] \qquad (۵-۲)$$

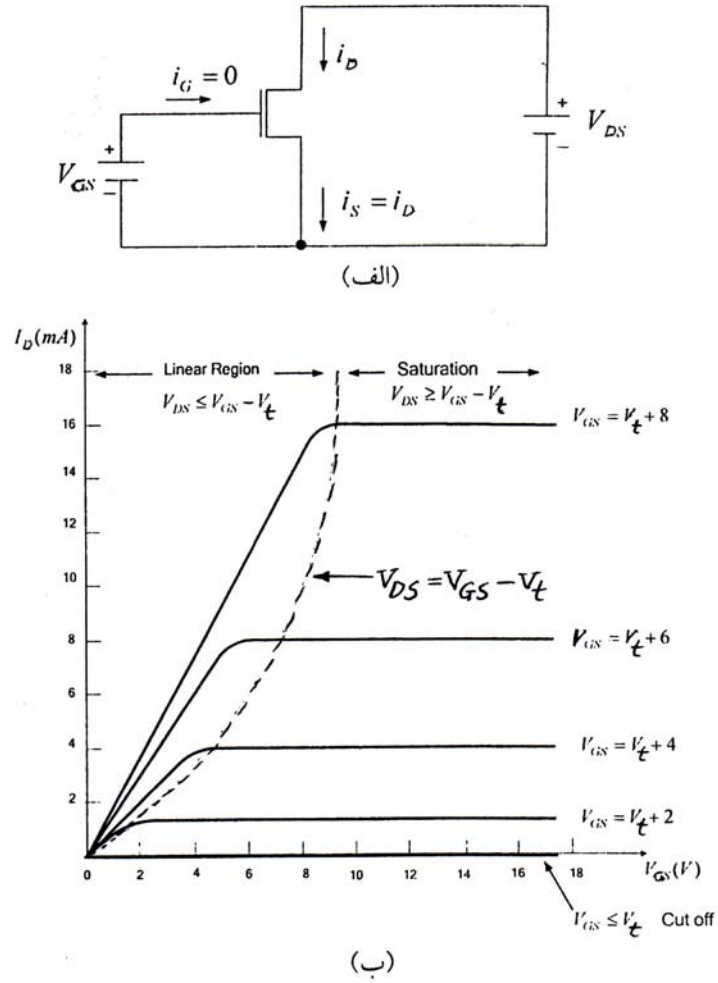
که در آن k_n پارامتر ثابت NMOS است و با استفاده از رابطه زیر به دست می آید

$$K_n = \mu_n C_{ox}\left(\frac{W}{L}\right)$$

که در آن μ_n ثابت فیزیکی است که موبیلیتی (Mobility) یا تحرک پذیری الکترون نام دارد و C_{ox} خازن واحد سطح گیت به بدنه است، که در آن لایه اکسید بمنزله دی الکتریک آن است. L طول کانال و W پهنای کانال است.

در نزدیکی مبدأ که V_{DS} خیلی کم است از V_{DS}^2 می توان صرفنظر کرد و فرمول ۲-۵ به فرمول ۳-۵ تبدیل می شود.

$$I_D = K_n(V_{GS} - V_t)V_{DS} \qquad (۵-۳)$$



شکل ۹-۵: MOSFET افزایشی نوع N(NMOS): (الف) مداری برای به دست آوردن منحنی مشخصه، (ب) منحنی مشخصه

این رابطه نشان دهنده عملکرد خطی ترانزیستور NMOS به صورت یک مقاومت خطی r_{ds} که با ولتاژ V_{GS} کنترل می شود، می باشد.

$$r_{ds} = \frac{V_{DS}}{I_D} = [K_n(V_{GS} - V_t)]^{-1} \qquad (۵-۴)$$

برای اینکه MOSFET در ناحیه اشباع کار کند باید کانالی در آن القا شود $(V_{GS} \ge V_t)$ و با افزایش V_{DS} ، ولتاژ گیت به درین کمتر از V_t می شود و این کانال در سردرین مسدود شود:

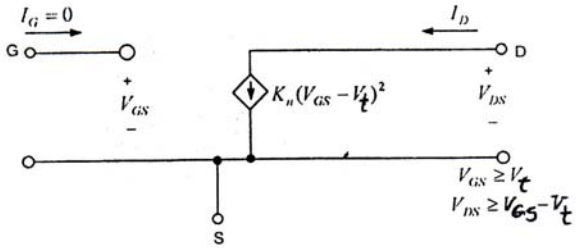
$V_{GD} \le V_t$ (شرایط کانال مسدود)

این شرایط را می توان به صورت: $V_{DS} \ge V_{GS} - V_t$ برحسب V_{DS} بیان کرد. یعنی به طور خلاصه دو شرط $V_{GS} \ge V_t$ و $V_{DS} \ge V_{GS} - V_t$ باید برقرار باشد تا MOSFET در ناحیه اشباع کار کند. رابطه I_D در حالت اشباع چنین است:

$$I_D = \frac{K_n}{۲}(V_{GS} - V_t)^۲ \qquad (۵-۵)$$

فرمول ۵-۵ همان فرمول ۱-۵ که در آن از جمله $(1 + \lambda V_{DS})$ صرفنظر شده است. بنابراین در حالت اشباع جریان درین MOSFET مستقل از V_{DS} است و وابستگی آن به ولتاژ گیت با فرمول ۵-۵ مشخص می شود.

بنابراین MOSFET اشباع شده به صورت منبع جریان ایده آلی رفتار می کند که مقدار جریـان آن را رابطـه غیر خطی فرمول ۵-۵ تعیین می کند. بنابراین مدار معادل NMOS در ناحیه اشباع بـه صـورت شـکل ۱۰-۵ مـی باشد.



شکل ۱۰-۵: مدار معادل NMOS در ناحیه اشباع

۶-۵: مشخصه های PMOS:

در MOSFET کانال P ولتاژ آستانه V_t منفی است. برای القا کردن کانال، ولتاژی به گیت اعمال مـی کنـیم که منفی تر از V_t باشد، یعنی رابطه جبری $V_{GS} \leq V_t$ باید برقرار باشد و ولتاژی به درین اعمال می کنیم که منفـی تر از ولتاژ سورس باشد ($V_{DS}<۰$ یا $V_{SD}>۰$). برای اینکه MOSFET در ناحیـه خطـی کـار کنـد بایـد V_{DS} در رابطه: $V_{DS} \geq V_{GS} - V_t$ صدق کند. جریان I_D مشابه NMOS از رابطه زیر به دست می آید:

$$I_D = K_p\left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^{۲}}{۲}\right]$$

در این رابطه V_{GS} ، V_t و V_{DS} منفی هستندو $K_p = \mu_p C_{ox}\left(\frac{W}{L}\right)$ است که در آن μ_p تحریک پذیری حفره در کانال P القاء شده می باشد. معمولاً $\mu_n = ۲/۵\mu_p$ می باشـد و در نتیجـه بـه ازاء نسـبت $\frac{W}{L}$ یکسـان، مقدار K_p در PMOS کمتر از K_n در NMOS اسـت. بـرای اینکـه PMOS در ناحیـه اشـباع کـار کنـد بایـد $V_D \leq V_{GS} - V_t$ باید و I_D از رابطه زیر به دست می آید:

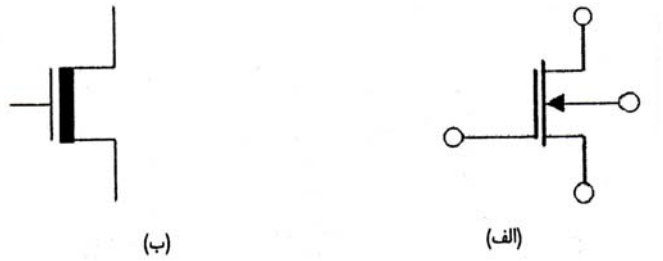
$$I_D = \frac{K_P}{۲}(V_{GS} - V_t)^{۲}$$

۷-۵: MOSFET تخلیه ای (Depletion):

به این MOS کاهشی نیز گفته می شود. ساختمان این نوع MOSFET تا اندازه ای شبیه نوع افزایشی است ولی فرق مهمی با آن دارد و آن این است، که از ابتدا کانال در آن تعبیـه شـده اسـت. یعنـی MOSFET کاهشـی کانال N یک ناحیه سیلیسیمی نوع N دارد که نواحی سورس و درین از نوع n^+ را در بالای زیر لایه نوع P بـه هـم وصل می کند. بنابراین به ازاء $V_{GS}=۰$ ، اگر ولتاژ V_{DS} بین درین و سورس اعمال شود، جریان I_D برقرار می شـود. به عبارت دیگر برخلاف MOSFET افزایشی نیازی به القاء کانال نیست. در MOSFET افزایشی، می توان عمـق

کانال و در نتیجه رسانائی آن را با V_{GS} کنترل کرد. اعمال V_{GS} مثبت باعث جذب الکترونهای بیشتر به کانال و افزایش عمق آن می شود. در نوع تخلیه ای (کاهشی) می توانیم V_{GS} منفی اعمال کنیم، که این امر باعث کاهش (یا تخلیه) حاملهای جریان در کانال می شود و به همین علت به آن کاهشی (یا تخلیه ای) گفته می شود. وقتی V_{GS} در جهت منفی افزایش یابد، به مقداری می رسد که در آن کانال از حاملهای جریان کاملاً خالی می شود و گرچه ممکن است V_{DS} وجود داشته باشد ولی مقدار I_D به صفر می رسد. این مقدار V_{GS} منفی، ولتاژ آستانه NMOS تخلیه ای است. بنابراین NMOS تخلیه ای با اعمال V_{GS} مثبت به صورت افزایشی و با اعمال V_{GS} منفی به صورت کاهشی کار می کند. مشخصه های I_D-V_{DS} در این حالت مشابه مشخصه های NMOS افزایشی است با این تفاوت که V_t در NMOS تخلیه ای منفی است.

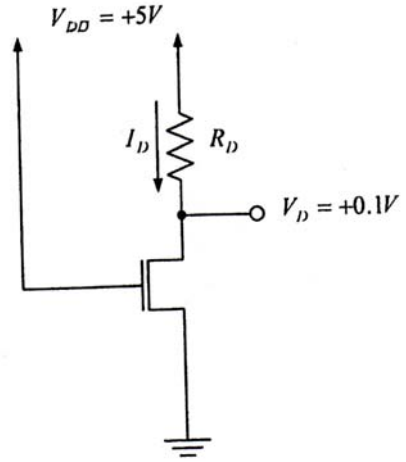
شکل ۱۱-۵ نماد مداری MOSFET کاهشی نوع N را نشان می دهد. در این نماد کانال با خط پر نشان داده شده است (برخلاف نوع افزایشی که کانال به صورت خط چین نشان داده می شود). در این درس از نماد شکل ۱۱-۵ (ب) استفاده خواهیم کرد.



شکل ۱۱-۵: (الف) نماد مداری MOSFET کاهشی کانال N ، (ب) نماد ساده شده

در جدول ۱-۵ فرمولهای مهم و علامت ولتاژ انواع MOSFET ها خلاصه شده است.

مثال ۱-۵: برای مدار شکل ۱۲-۵ در صورتی که V_t=۱ v و K_n=۰/۵ mA/v باشد، مقاومت بین درین و سورس در نقطه کار را حساب کنید.



شکل ۱۲-۵: مدار مربوط به مثال ۱-۵

جدول ۱-۵: خلاصه مشخصه های ترانزیستورهای MOSFET

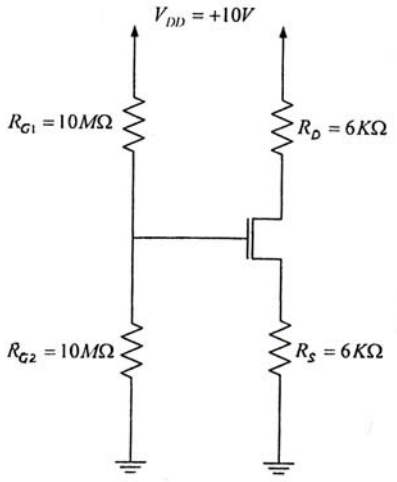
نوع کانال	کانال- N		کانال- P	
نوع MOS / پارامترها	MOS افزایشی	MOS تخلیه ای	MOS افزایشی	MOS تخلیه ای
V_t	+	−	−	+
K	$\mu_n C_{ox}(W/L)$		$\mu_p C_{ox}(W/L)$	
برای وصل کردن ترانزیستور	$V_{GS} > V_t$		$V_{GS} < V_t$	
V_{DS}	+		−	
برای کار در ناحیه قبل از اشباع	$V_{DS} \le V_{GS} - V_t$		$V_{DS} \ge V_{GS} - V_t$	
برای کار در ناحیه اشباع	$V_{DS} \ge V_{GS} - V_t$		$V_{DS} \le V_{GS} - V_t$	
$\lambda = 1/V_A$	+		−	
در ناحیه قبل از اشباع	$I_D = K\left[(V_{GS} - V_t)V_{DS} - \frac{V_{DS}^2}{2}\right]$			
در ناحیه اشباع	$I_D = \frac{K}{2}(V_{GS} - V_t)^2(1 + \lambda V_{DS})$			

حل مثال ۱-۵: با $V_{DS} = ۰/۱$ و $V_{GS} = ۵V$ و $V_t = ۱V$ نامساوی $V_{DS} < V_{GS} - V_t$ برقرار است زیرا:
۰/۱<۵-۱=۴ . بنابراین ترانزیستور در ناحیه خطی کار می کند و جریان I_D از رابطه زیر به دست می آید:

$$I_D = K_n\left[(V_{GS} - V_t)V_{DS} - \frac{V_{DS}^2}{2}\right] = ۱\left[(۵-۱)\times ۰/۱ - \frac{۰/۰۱}{2}\right] = ۰/۳۹۵mA$$

$$r_{ds} = \frac{V_{DS}}{I_D} = \frac{۰/۱V}{۰/۳۹۵mA} = ۲۳۵\Omega$$

مثال ۲-۵: ترانزیستور مدار شکل ۱۳-۵ در چه ناحیه ای کار می کند؟ فرض کنید $V_t = ۱V$ و $K_n = ۰/۵$ باشد.



شکل ۱۳-۵: مدار مثال ۲-۵

حل: چون جریان گیت صفر است، جریان مقاومتهای R_{G1} و R_{G2} با یکدیگر برابرند و این دو مقاومت با یکدیگر به صورت سری قرار گرفته اند و داریم:

$$V_G = ۱۰ \times \frac{۱۰}{۱۰+۱۰} = ۵V$$

با وجود این ولتاژ مثبت گیت ترانزیستور NMOS وصل است و یا در ناحیه اشباع یا در ناحیه خطی کار می کند. فرض می کنیم ترانزیستور در ناحیه اشباع کار می کند و درستی فرض خود را امتحان می کنیم. اگر این فرض درست نبود بار دیگر مسأله را برای کار ترانزیستور در ناحیه خطی حل می کنیم.

$$V_G = ۵V, V_S = I_D \times ۶ = ۶I_D, V_{GS} = ۵ - ۶I_D$$

$$I_D = \frac{K_n}{۲}(V_{GS} - V_t)^۲ = ۰/۵(۵ - ۶I_D - ۱)^۲$$

بنابراین معادله زیر برای I_D برقرار است:

$$۱۸I_D^۲ - ۲۵I_D + ۸ = ۰ \Rightarrow I_D = ۰/۵mA, ۰/۸۹mA$$

اگر $I_D = ۰/۸۹mA$ باشد، $V_S = ۶ \times ۰/۸۹ = ۵/۳۴V$ می شود، که بیش از ولتاژ گیت است و به صورت فیزیکی امکان پذیر نیست. بنابراین $I_D = ۰/۵mA$ قابل قبول است:

$$I_D = ۰/۵mA \Rightarrow V_S = ۶ \times ۰/۵ = ۳V \Rightarrow V_{GS} = ۵ - ۳ = ۲V$$

$$V_D = ۱۰ - ۶I_D = ۱۰ - ۶ \times ۰/۵ = ۷V$$

همچنین: $V_{GS} - V_t = ۲ - ۱ = ۱V, V_{DS} = ۷ - ۳ = ۴V$

چون نامساوری $V_{DS} > (V_{GS} - V_t)$ برقرار است، بنابراین فرض اینکه ترانزیستور در ناحیه اشباع کار می کند درست بوده است.

۸-۵: اثر بدنه:

در بسیاری از کاربردها پایانه زیر لایه به پایانه بدنه وصل می شود و در نتیجه پیوند PN بین زیر لایه و کانال القا شده بایاس معکوس ثابتی پیدا می کند. در چنین حالتی زیر لایه نقشی در کار مدار ندارد و می توان کلاً وجود آن را ندیده گرفت. در مدارهای مجتمع (آی سی ها) زیر لایه بین چند MOS مشترک است و برای اینکه بایاس معکوس بر روی پیوند زیر لایه و کانال وجود داشته باشد، زیر لایه معمولاً به منفی ترین نقطه منبع تغذیه مدار NMOS (یا مثبت ترین نقطه منبع تغذیه مدار PMOS) وصل می شود.

ولتاژ بایاس بین سورس و بدنه (V_{SB}) در NMOS بر کار مدار تأثیر می گذارد. برای بررسی این موضوع فرض کنید زیر لایه NMOS نسبت به سورس منفی باشد. این ولتاژ بایاس ناحیه تهی پیوند PN را پهن تر می کند. برای بازگرداندن کانال به حالت قبلی خود، V_{GS} باید افزایش یابد.

مناسب ترین راه برای نشان دادن اثر V_{SB} بر کانال این است که ولتاژ آستانه V_t را تغییر دهیم. می توان نشان داد که افزایش V_{SB} (ولتاژ بایاس معکوس زیر لایه) باعث تغییر V_t مطابق رابطه زیر می گردد:

$$V_t = V_{to} + 5[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}]$$

در این فرمول V_{to} ولتاژ آستانه به ازاء $V_{SB}=0$ و γ و ϕ_f پارامترهای ثابتی هستند (برای هر MOSFET ثابت هستند). این فرمول نشان می دهد که تغییر V_{SB} باعث تغییر V_t می شود که خود موجب تغییر I_D می شود. اگر V_{GS} هم ثابت نگه داشته شود، ولتاژ بدنه، I_D را کنترل می کند. بنابراین بدنه به صورت گیت دیگر MOSFET عمل می کند. این پدیده اثر بدنه نام دارد و ممکن است عملکرد مدار را به شدت تحت تأثیر قرار دهد.

۹-۵: اثر دما:

V_t و K هر دو به دما حساس هستند. افزایش دما باعث کاهش $|V_t|$ می شود و کاهش $|V_t|$ می خواهد جریان درین را افزایش دهد. اما چون K هم با افزایش دما کاهش می یابد و اثر آن نیز بر اثر کاهش V_t غالب است، لذا اثر کلی افزایش دما، کاهش جریان درین است.

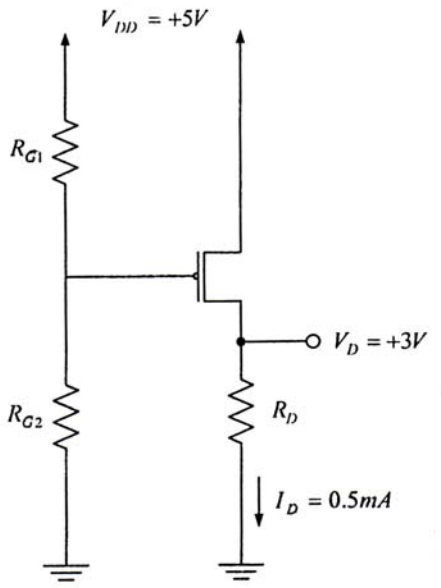
۱۰-۵: پدیده شکست و حفاظت ورودی:

وقتی ولتاژ درین افزایش می یابد به مقداری می رسد که در آن پیوند PN بین ناحیه درین و زیر لایه دچار شکست بهمنی می شود. ولتاژ شکست معمولاً بین ۵۰ تا ۱۰۰ ولت است. شکست باعث افزایش سریع جریان می گردد. نوع دیگری از شکست هنگامی رخ می دهد، که ولتاژ گیت به سورس از حدود ۵۰ ولت بیشتر شود. این پدیده شکست اکسید گیت نام دارد و سبب خرابی دائمی ترانزیستور می شود. هر چند ۵۰ ولت زیاد است ولی به علت اینکه امپدانس ورودی ترانزیستور بسیار زیاد است، اگر مقدار اندکی بار بر روی خازن گیت انباشته شود، ممکن است باعث شود از این ولتاژ شکست هم فراتر رود.

برای جلوگیری از انباشته شدن بار بر روی خازن گیت MOSFET معمولاً در ورودی مدارهای مجتمع از دیودهای محافظ استفاده می شود.

مسائل:

۱- برای مدار PMOS شکل ۱۴-۵ برای اینکه ترانزیستور در حالت اشباع بماند بیشترین مقدار R_D را حساب کنید. فرض کنید با $I_D = 0/5mA$ و $V_D = +3V$ ترانزیستور در حالت اشباع باشد. $V_t = -1V$ و $K_p = 0/5mA/V^2$ و $\lambda = 0$ است.



شکل ۱۴-۵: مدار مسأله ۱

۲- برای یک MOSFET تأثیر هر یک از موارد زیر را بر روی پارامتر ذکر شده با ارائه دلیل بیان کنید.

(الف) افزایش میزان ترزیق ناخالصی در زیر لایه بر روی ولتاژ آستانه ترانزیستور

(ب) اعمال یک نفوذ یونی سبک در سطح بالای زیر لایه برروی مقدار ولتاژ آستانه

(ج) افزایش ضخامت لایه اکسید در ناحیه گیت بر روی خازن گیت ترانزیستور

۳- با فرض اینکه ولتاژ منبع تغذیه V_{DD} ثابت بماند، تغییر پارامترهای L و W با ضریب $1/\alpha$ $(\alpha > 1)$ چه تأثیری بر روی مساحت گیت، ظرفیت خازن گیت، جریان اشباع و توان مصرفی DC در گیت های تکنولوژی MOSFET دارد.

فصل ۶

منطق های NMOS و CMOS

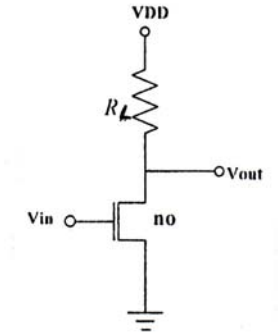
در این فصل به بررسی منطق های مهم مبتنی بر MOS یعنی NMOS و CMOS می پردازیم.

۶-۱: منطق NMOS:

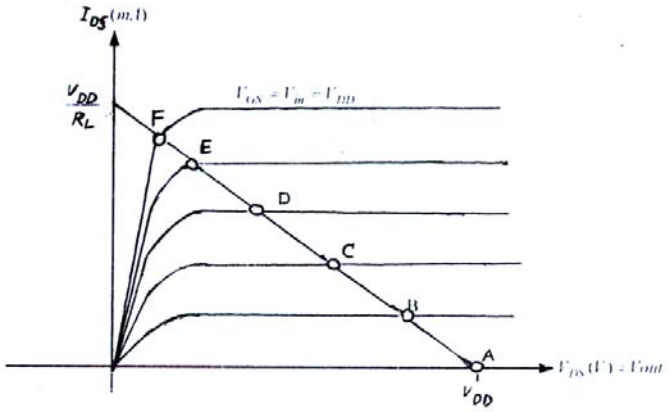
پیاده سازی مدارهای دیجیتالی با استفاده از روش های مختلف و به کار بردن آی سی هائی از خانواده های مختلف امکان پذیر است. در میان آنها تکنولوژی MOS در حال حاضر بیش از سایر تکنولوژی ها مورد استفاده قرار می گیرد. لذا در ادامه مباحث به بررسی و تحلیل مدارهای مبتنی بر NMOS می پردازیم. چنانچه قبلاً عنوان شد واحد سازنده اصلی مدارهای منطقی، معکوس کننده است.

۶-۱-۱: معکوس کننده با بار مقاومتی (Resistor- Loaded NMOS Inverter):

در شکل ۶-۱ یک مدار معکوس کننده NMOS با بار مقاومتی مشاهده می کنید. اگر به ورودی معکوس کننده ورودی صفر اعمال شود (صفر ولت که معادل صفر منطقی نیز هست)، در این صورت ترانزیستور NMOS خاموش خواهد بود و خروجی مساوی V_{DD} است. اگر به ورودی «یک» اعمال کنیم (مثلاً ۵ ولت) NMOS روشن خواهد بود و در این موقع V_{out} نزدیک به V_{SS} یا تقریباً صفر خواهد بود. این معکوس کننده از حالت کلی نمایش مفهومی معکوس کننده که در فصل ۳ در شکل ۶-۳ بررسی شد تبعیت می کند. در شکل ۶-۳ همچنین منحنی تغییرات زمانی V_i و V_o معکوس کننده زیر یکدیگر کشیده است، که نشان دهنده این است که در زمانی که V_i برابر با «صفر» است، V_o برابر با «یک» است و در هنگامی که V_i برابر با «یک» است، V_o برابر با «صفر» است. در شکل ۷-۳ منحنی مشخصه انتقالی (VTC) ایده آل معکوس کننده نشان داده شده است. منحنی مشخصه انتقالی واقعی آن نیز در شکل ۸-۳ نشان داده شده است. تمام این منحنی ها در مورد مدار معکوس کننده NMOS شکل ۶-۱ نیز صادق است.



شکل ۶-۱: مدار معکوس کننده NMOS با بار مقاومتی



شکل ۶-۲: روش ترسیمی برای رسم منحنی مشخصه انتقالی معکوس کننده

برای اینکه نقطه کار NMOS در حالت اشباع و در حالت قطع مشخص شود به صورت زیر عمل می کنیم.

$$I_{R_L} = \frac{V_{DD} - V_{out}}{R_L}, I_{DS} = I_{R_L}, V_{out} = V_{DS}$$

بنابراین معادله خط بار که روی منحنی های شکل ۲-۶ هم نشان داده شده است به شکل فرمول ۱-۶ است.

$$I_{DS} = \frac{V_{DD} - V_{DS}}{R_L} \qquad (۶-۱)$$

نقطه F ، نقطه کار مدار در حالت اشباع و نقطه A نقطه کار مدار در حالت قطع را نشان می دهد.

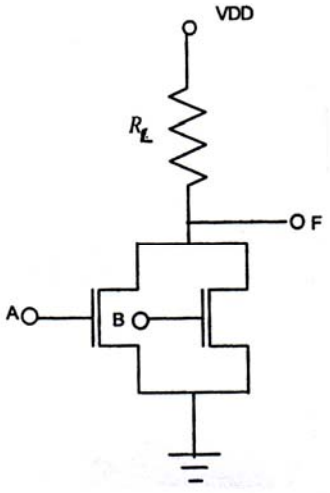
با به دست آوردن مشخصه انتقالی (VTC) معکوس کننده بسیاری از پارامترهای لازم برای تحلیل مدار معکوس کننده حاصل می شود. برای ترسیم VTC دو روش ترسیمی و تحلیلی وجود دارد. در این بخش فقط روش ترسیمی مورد بررسی اجمالی واقع می شود.

روش ترسیمی: در این روش می خواهیم مشخصه انتقالی V_{out} را بر حسب V_{in} به دست آوریم. این کار را می توان به صورت ترسیمی انجام داد. شکل ۲-۶ مشخصه های I_{DS}-V_{DS} ترانزیستور را نشان می دهد. همچنین در این شکل محل های برخورد خط بار با منحنی های مشخصه ترانزیستور به صورت نقاط A ، B ، C ، D ، E و F مشخص شده است. در انجام روش ترسیمی، مشخص کردن و ولتاژ ورودی ولتاژ خروجی مدار در هر یک از این نقاط و نقاط بین آنها (مثلاً در ۲۰ نقطه) کافی است. با مشخص کردن مختصات نقاط مختلف جای نقاط مربوطه در صفحه V_o-V_i مشخص شده و با اتصال این نقاط به یکدیگر منحنی VTC مدار به دست می آید. هر قدر تعداد نقاط انتخاب شده بیشتر باشد، منحنی VTC دقیقتری رسم خواهد شد.

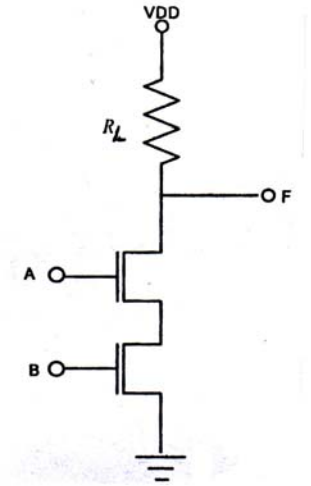
۲-۱-۶: انواع گیت با استفاده از NMOS با بار مقاومتی:

شکل ۳-۶ یک گیت NOR دو ورودی که با NMOS با بار مقاومتی ساخته شده است را نشان می دهد. اگر ولتاژ هر یک از پایانه های ورودی بالا باشد (در حالت «یک» باشد)، آنگاه ترانزیستور متناظرش وصل بوده (در حالت اشباع بوده) و ولتاژ خروجی پائین است (در حالت «صفر» است). در واقع اگر هر یک از ترانزیستورها روشن باشد (وصل باشد) درین آن به سورس وصل بوده و ولتاژ نقطه F صفر خواهد بود. اگر ولتاژ هر دو ورودی نیز بالا باشد، هر دو ترانزیستور وصل بوده و باز هم ولتاژ خروجی پائین است. ولتاژ خروجی تنها هنگامی بالاست که دو ورودی همزمان پائین باشند. در این حالت هر دو ترانزیستور قطع بوده و V_Y=V_{DD} است (در حالتی که هر دو NMOS خاموش هستند، جریانی از R_L عبور نمی کند و این مقاومت افت ولتاژی نداشته و ولتاژ خروجی مدار برابر با V_{DD} است). بنابراین رابطه خروجی با ورودیهای این مدار را می توان با عبارت بولی $Y = \overline{A+B}$ بیان کرد. با افزایش تعداد ترانزیستورهای ورودی می توان ظرفیت ورودی این گیت را افزایش داد و رابطه کلی تر $Y = \overline{A+B+C+\ldots}$ را بدست آورد.

در شکل ۴-۶ یک گیت NAND دو ورودی مشاهده می شود. در این گیت ترانزیستورها به صورت سری قرار گرفته اند و خروجی تنها هنگامی پائین است، که ترانزیستورها هر دو وصل باشند و این وقتی حاصل می شود که هر دو ورودی همزمان بالا باشند. بنابراین $Y = \overline{AB}$ یا $\overline{Y} = AB$ رابطه خروجی با ورودیهاست.

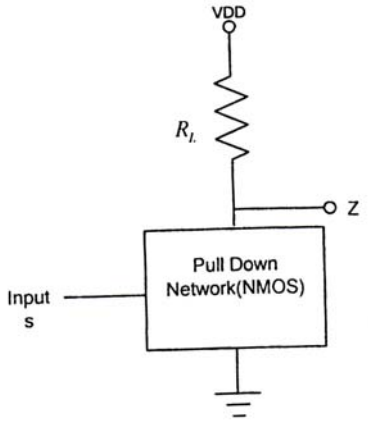


شکل ۳-۶: گیت NOR دو ورودی با NMOS



شکل ۴-۶: گیت NAND دو ورودی با NMOS

شکل کلی مدارهای NMOS مبتنی بر بار مقاومتی مطابق شکل ۵-۶ است. در بخش پائین بر مدار (Pull Down Network) از ترانزیستورهای NMOS برای ساختن تابع استفاده می شود.



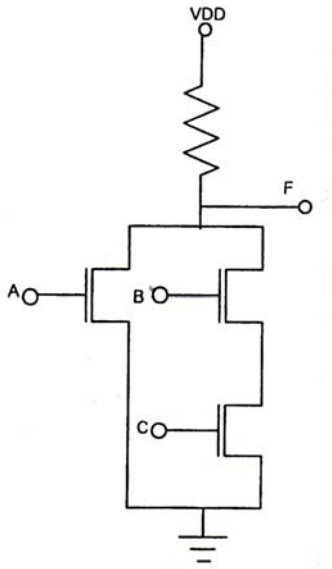
شکل ۵-۶: شکل کلی مدارهای NMOS با بار مقاومتی

نکته قابل ذکر این است، که این مدارهائی که با NMOS ساخته می شوند از نوع معکوس کننده (مکمل) هستند. در صورت عدم وجود مکمل در شکل تابع، می توان نخست مکمل تابع $(\overline{F})$ را تولید کرده و سپس خروجی آن را از یک گیت NOT عبور دهیم تا تابع موردنظر (F) به دست آید.

مثال ۱-۶: تابع $F = \overline{(A+BC)}$ را پیاده کنید.

حل: در ساختن توابع باید ببینیم اولویت با کدام عمل است. در این مثال ابتدا با B و C باید یکدیگر AND شده و حاصل آن با A ، OR شده و در نهایت کل مجموعه NOT شود. بنابراین عمل AND نسبت به OR اولویت داشته و OR نسبت به NOT اولویت دارد. بنابراین اول باید B و C به وسیله دو عدد NMOS سری با هم

AND شده و سپس این دو NMOS سری با NMOS دیگری موازی شود تا A+BC تولید شود. مدار سازنده تابع F در شکل ۶-۶ نشان داده شده است.



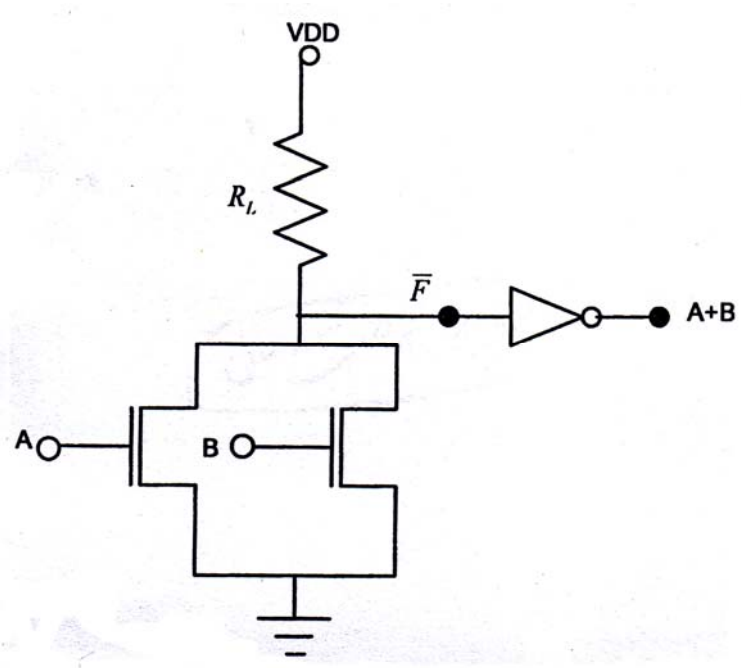
شکل ۶-۶: ساخت تابع $\overline{A+BC}$

گیت OR دو ورودی:

این گیت که تابع آن به صورت F=A+B است، شکل مکمل شده ندارد. بنابراین ابتدا $\overline{F}$ را که شکل مکمل دارد پیدا سازی کرده و سپس آن را از یک معکوس کننده عبور می دهیم، یعنی از رابطه زیر استفاده می کنیم:

$$F = A + B \Rightarrow \overline{F} = \overline{A+B}$$

بنابراین با استفاده از یک گیت NOR و یک معکوس کننده (گیت NOT) یک گیت OR ساخته می شود. این مدار در شکل ۶-۷ نشان داده شده است.



شکل ۷-۶: ساختن گیت OR با استفاده از گیت NOR و گیت NOT

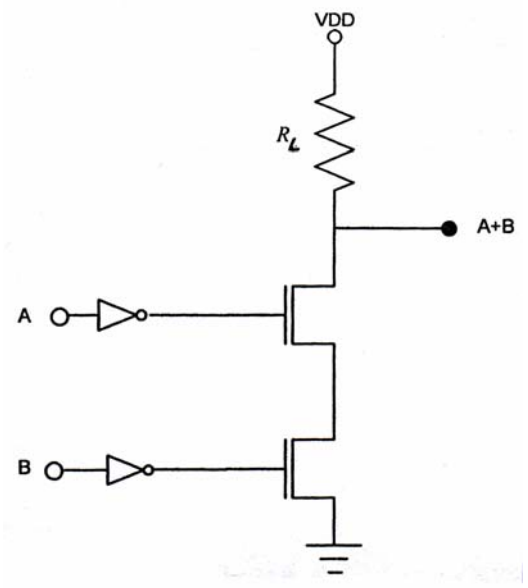
راه حل دیگر این است که تابع OR را با استفاده قضیه دمورگان تبدیل کرده و سپس با استفاده از دو گیت NOT (معکوس کننده) و یک گیت NAND گیت OR را پیاده سازی کنیم:

$$F = A + B \Rightarrow F = \overline{\overline{A}.\overline{B}}$$

مدار مربوطه در شکل ۸-۶ نشان داده شده است.

مثال ۲-۶: تابع $F = \overline{(AB + (\overline{C + D}) + E}$ را پیاده سازی کنید.

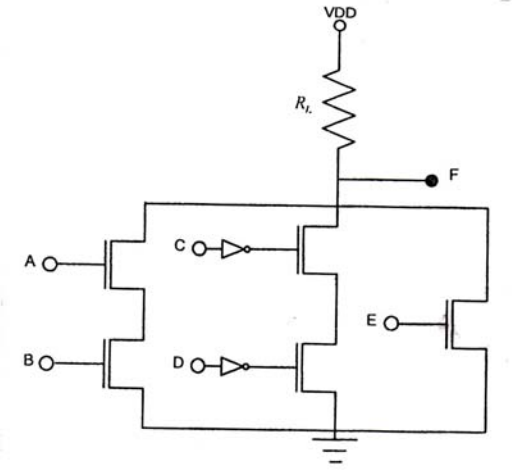
حل: این تابع را به دو شکل می توان پیاده کرد. در روش اول عبارت $\overline{C + D}$ را به صورت $\overline{C}.\overline{D}$ نوشته و سپس کل تابع را پیاده می کنیم. مدار شکل ۹-۶ را ملاحظه کنید.



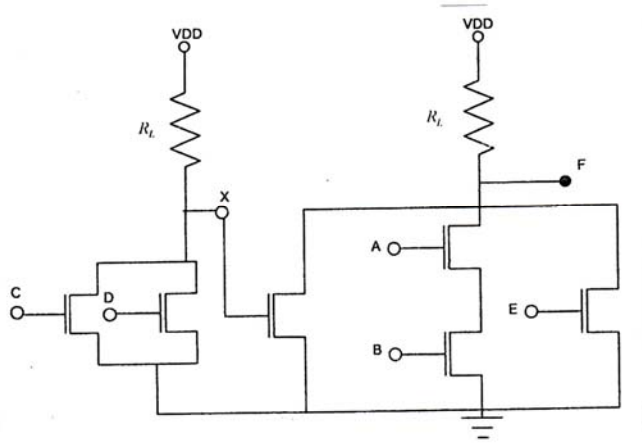
شکل ۸-۶: پیاده سازی گیت OR با استفاده از NAND و NOT

در روش دوم ابتدا $\overline{C+D}$ را پیاده سازی کرده و سپس کل تابع را پیاده می کنیم. شکل ۱۰-۶ در این رابطه است.

$$X=\overline{C+D}\Rightarrow F=\overline{AB+X+E}$$



شکل ۹-۶: روش اول برای ساخت تابع مثال ۲-۶



شکل ۱۰-۶: روش دوم برای ساخت تابع مثال ۲-۶

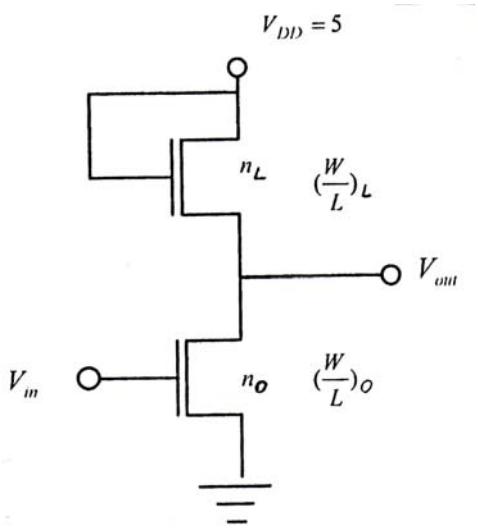
سخن آخر اینکه به طور کلی منطق **NMOS با بار مقاومتی، به دلیل مشکل بودن ساخت مقاومت در مدارهای مجتمع (آی سی ها) و با توجه به اینکه ساختن مقاومت سطح زیادی را در داخل آی سی اشغال می کند روش چندان مطلوبی به شمار نمی آید.**

۳-۱-۶: معکوس کننده NMOS با بار افزایشی:

با قرار دادن یک ترانزیستور NMOS همیشه اشباع به جای بار مقاومتی، نوع دیگری از معکوس کننده NMOS به نام افزایشی حاصل می شود. بار این نوع معکوس کننده، که در شکل ۱۱-۶ نشان داده شده است، یک ترانزیستور NMOS است که گیت آن به درین متصل شده است. برای ترانزیستور بار روابط زیر برقرار است:

$$V_{G_L}=V_{D_L}\Rightarrow V_{G_L}-V_{S_L}=V_{D_L}-V_{S_L}$$

$$V_{GS_L}=V_{DS_L},V_{GS_L}-V_{t_L}<V_{DS_L}$$



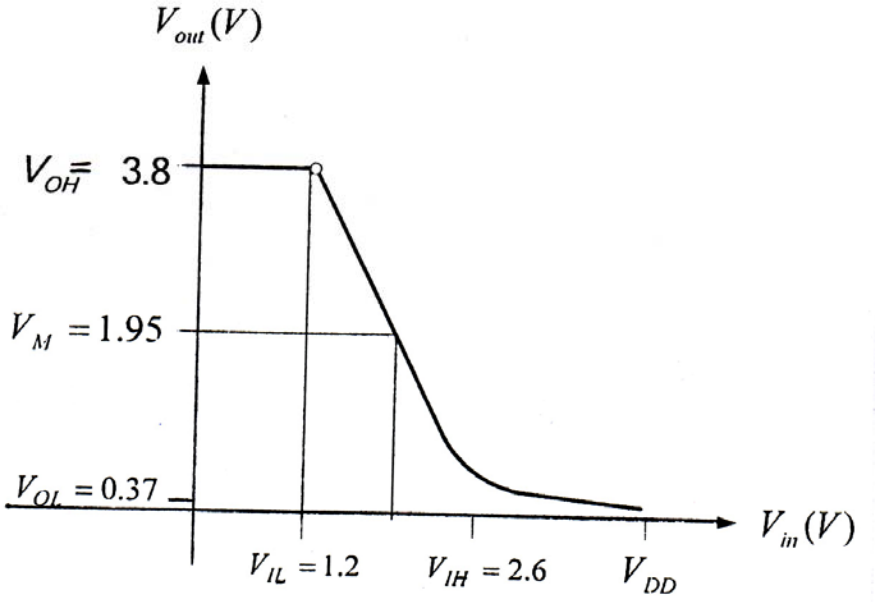
شکل ۱۱-۶: معکوس کننده NMOS افزایشی

روابط فوق حاکی از این است که ترانزیستور n_L همواره در حالت اشباع قرار دارد. این ترانزیستور بار (n_L) اتصالی که دارد اتصال دیودی است. وضعیت ترانزیستور n_o در نقاط مختلف بحرانی در جدول ۱-۶ آمده است. لازم به ذکر است، که وضعیت ترانزیستور مدار معکوس کننده NMOS با بار مقاومتی شکل ۱-۶ نیز مشابه ترانزیستور n_o مدار شکل ۱۱-۶ است.

جدول ۱-۶: وضعیت ترانزیستورهای مدار شکل ۱۱-۶ در نقاط بحرانی

نقطه بحرانی	وضعیت ترانزیستور n_o	وضعیت ترانزیستور n_L
V_{OH}	قطع	اشباع
V_{IL}	مرز هدایت	اشباع
V_M	اشباع	اشباع
V_{IH}	خطی	اشباع
V_{OL}	خطی	اشباع

شکل ۱۲-۶ مشخصه انتقالی ولتاژ معکوس کننده (VTC) افزایشی را با مشخص کردن مقادیر نمونه نشان می دهد.



شکل ۱۲-۶: مشخصه انتقال ولتاژ معکوس کننده NMOS افزایشی

۴-۱-۶: مشخصات پویای (گذرا) معکوس کننده NMOS افزایشی:

فرض کنید یک خازن مانند C_L در خروجی معکوس کننده NMOS با بار افزایشی قرار گرفته باشد. ابعاد ترانزیستور n_o بزرگتر از ترانزیستور n_L بوده، بنابراین قدرت جریان دهی n_o بیشتر از n_L است. اگر خروجی بخواهد از حالت صفر به حالت یک برود (از پائین به بالا) ترانزیستور پائینی قطع است (در حالت cut-off قرار دارد) و ترانزیستور بالائی (n_L) شروع به شارژ کردن خازن می کند تا آن را به ولتاژ بالا برساند. مدت زمان لازم برای این کار همان زمان صعود (rise time , t_r) می باشد.

اگر خروجی بخواهد از حالت یک به حالت صفر برود (از بالا به پائین)، ترانزیستور پائینی روشن می شود و شروع به تخلیه خازن می کند، که در مرحله قبل شارژ شده است. چون ابعاد ترانزیستور پائین بر بزرگتر از بالابر است، مقاومت آن کمتر بوده و جریانی که از آن می گذرد بیشتر است. بنابراین عمل تخلیه خازن را سریعتر از زمان شارژ کردن آن توسط ترانزیستور بالائی انجام می دهد. زمان تخلیه خازن همان زمان نزول (fall time , t_f) می باشد. بنابراین در معکوس کننده افزایشی $t_f<t_r$ است و به عبارتی دیگر $t_{PHL}<t_{PLH}$ است. t_{PLH} را زمان تأخیر انتشار از حالت پائین به بالا و t_{PHL} را زمان تأخیر انتشار از حالت بالا به پائین گویند.

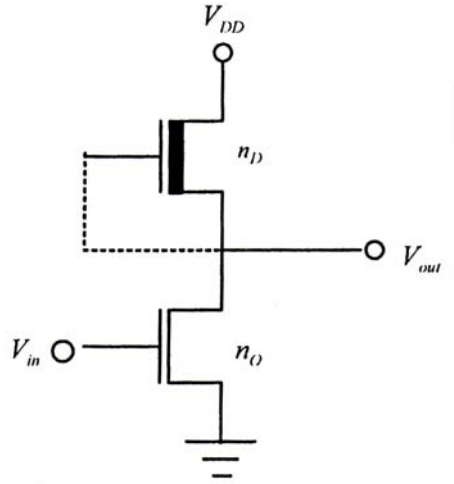
برای معکوس کننده NMOS نمونه اگر $C_L = ۰/۱Pf$ باشد، عدد $t_p \approx ۳ns$ به دست می آید. باید توجه کرد که اگر این معکوس کننده بخواهد مداری خارج از تراشه (آی سی) را تحریک کند، آنگاه ظرفیت بار C_L چندین برابر ۰/۱pf خواهد بود و به تناسب آن تأخیر انتشار نیز بیشتر خواهد شد و ممکن است حدود چند نانو ثانیه شود. به این دلیل از NMOS دارای بار افزایشی در طراحی تراشه های مجتمع با مقیاس کوچک (SSI) و مقیاس متوسط (MSI) استفاده نمی شود.

۶-۱-۵: اثر بدنه:

در عملکرد NMOS هنگامی بدنه تأثیر دارد، که زیر لایه به زمین و سورس بـه ولتـاژی بـالاتر از آن متصـل شود، که در این صورت اختلاف ولتاژ V_{SB} بین زیر لایه و سورس ظاهر شده و اثر بدنه بـرای ترانزیسـتور بـار اتفـاق می افتد که باعث تغییر ولتاژ آستانه آن و جریان گذرنده از آن می شود.

۶-۱-۶: معکوس کننده NMOS با بار کاهشی:

در این معکوس کننده، که در شکل ۶-۱۳ نشان داده شده است، یک ترانزیستور تخلیه ای نقش بـالابر را ایفـا می کند. توجه کنید NMOS تخلیه ای ولتاژ آستانه منفی دارد. در جدول ۶-۲ وضعیت ترانزیستورهای تخلیـه ای و افزایشی مدار معکوس کننده کاهشی مشخص شده است.



شکل ۶-۱۳: معکوس کننده NMOS با بار تخلیه ای

جدول ۶-۲: وضعیت ترانزیستور های تخلیه ای و افزایشی مدار معکوس کننده کاهشی

نقطه بحرانی	وضعیت ترانزیستور n_o	وضعیت ترانزیستور n_L
V_{OH}	قطع	خطی
V_{IL}	اشباع	خطی
V_M	اشباع	اشباع
V_{IH}	خطی	اشباع
V_{OL}	خطی	اشباع

معکوس کننده NMOS با بار کاهشی سطح کمتری روی تراشه اشغال کرده و حاشیه نـویز بیشـتر (تأثیر کمتر نویز) و سرعت کار نسبتاً بالاتری نسبت به معکوس کننده دارای بار افزایشی دارد. این مزایا باعث می شود، که تمام مدارهای منطقی و حافظه های NMOS از تکنولوژی بار کاهشی استفاده کنند.

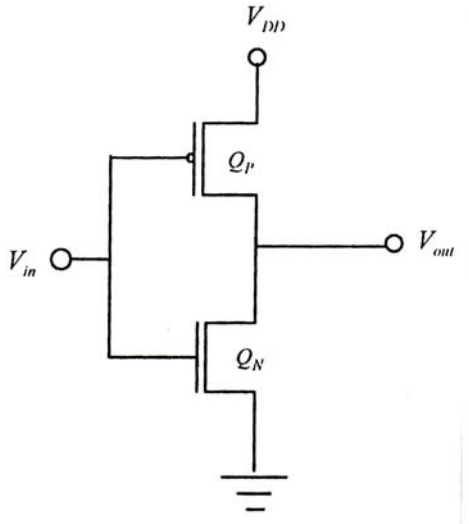
ساخت مدارهای منطقی NMOS ساده است و سطح تراشه کوچکی لازم دارد و بنـابراین بـا چگـالی خیلـی زیادی روی تراشه ساخته می شود و مجتمع سازی در سطح بالائی صورت می گیرد. مهم ترین کاربرد NMOS در

طراحی مدارهای مجتمع نظیر ریز پردازنده ها و حافظه ها با دستیابی تصادفی است. در این کاربردها توانائی کم NMOS در تحریک بار، یک نقص جدی برای این خانواده به شمار نمی آید. اما این موضوع باعث می شود، که استفاده از NMOS در طراحی سیستم های دیجیتال متداول عملی نباشد. بنابراین آی سی های منطقی NMOS برخلاف CMOS و TTL در بازار موجود نیستند.

۲-۶: معکوس کننده CMOS:

این مدار یکی از معروف ترین و رایج ترین روش های پیاده سازی مدارهای دیجیتالی است، که دارای مزایا و ویژگی های خاصی است. از مهمترین مشخصه این منطق تولید صفر و یک خوب و قابل اطمینان و عدم وجود توان مصرفی ایستا (DC) است.

معکوس کننده CMOS در شکل ۱۴-۶ نشان داده شده است، که در آن از دو MOSFET افزایشی NMOS و PMOS استفاده شده است. فرض بر این است، که بدنه هر ترانزیستور به سورس آن وصل شده است و بنابراین اثر بدنه وجود ندارد. در اینجا Q_N ترانزیستور محرک و Q_P ترانزیستور بار است. ولی چون مدار متقارن است، می توانیم عکس این فرض را داشته باشیم.



شکل ۱۴-۶: معکوس کننده CMOS

۱-۲-۶: عملکرد مدار:

وقتی که $V_{in}=V_{DD}$ (ولتاژ و رودی بالا باشد)، Q_N خاموش است و جریان دو ترانزیستور تقریباً صفر است. یعنی اتلاف توان در مدار خیلی کم است. بنابراین با ورودی «یک» خروجی «صفر» است.

وقتی که $V_{in}=Ov$ (ولتاژ ورودی پائین است) باشد، Q_N خاموش و Q_P روشن می شود و خروجی را به سطح ولتاژ V_{DD} (خروجی بالا) می رساند. جریان دو ترانزیستور هنوز نزدیک صفر است، بنابراین اتلاف توان در این مدار در هر دو حالت خیلی کم است.

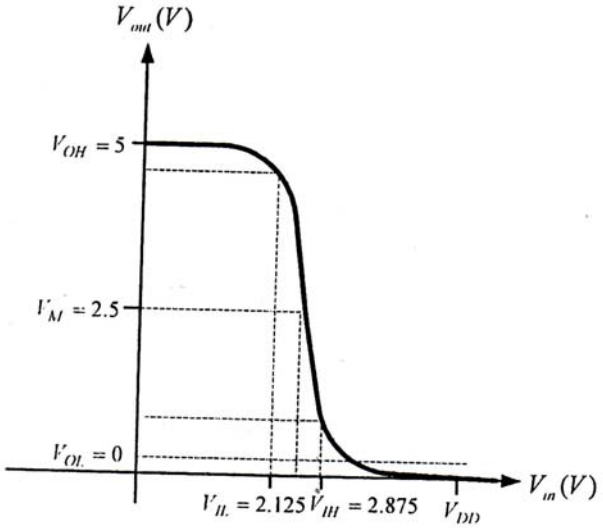
با توجه به این مطالب مشخص می شود، که مدار معکوس کننده CMOS به صورت عنصر منطقی ایده آل عمل می کند. یعنی ولتاژ خروجی آن تقریباً صفر ولت یا V_{DD} و توان تلف ایستای آن تقریباً صفر است. با وجود صفر بودن DC، قابلیت معکوس کننده CMOS برای تحریک بار زیاد است. مثلاً وقتی ورودی بالا است Q_N می تواند جریان بار نسبتاً بزرگی را از خود عبور دهد. این جریان می تواند به سرعت خازن بار را تخلیه کند. به دلیل این عمل به درون خود کشیدن جریان بار و پائین رساندن ولتاژ آن به ولتاژ زمین، این ترانزیستور پائین بر نام دارد. به طور مشابه وقتی که ورودی پائین باشد، Q_P جریان نسبتاً زیادی بیرون می دهد، این جریان زیاد می تواند به سرعت بار خازنی را پر کند و ولتاژ خروجی را بالا برده و به V_{DD} برساند. بنابراین Q_P را ترانزیستور بالابر می نامند.

در جدول ۳-۶ وضعیت هر کدام از ترانزیستورها در نقاط مختلف بحرانی مشخص شده است. با توجه به این جدول می توانیم نقاط بحرانی منحنی انتقال ولتاژ را به دست آورده و آن را رسم کنیم.

جدول ۳-۶: وضعیت ترانزیستورهای مدار معکوس کننده CMOS در نقاط بحرانی

نقطه بحرانی	وضعیت ترانزیستور Q_n	وضعیت ترانزیستورQ_P
V_{OH}	قطع	خطی
V_{IL}	اشباع	خطی
V_M	اشباع	اشباع
V_{IH}	خطی	اشباع
V_{OL}	خطی	قطع

شکل ۱۵-۶: منحنی مشخصه انتقال ولتاژ (VTC) معکوس کننده CMOS را به طور نمونه نشان می دهد.

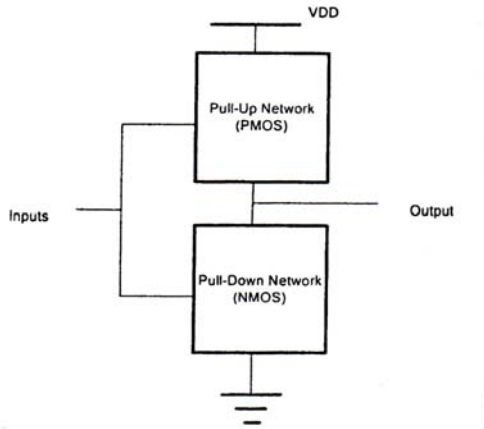


شکل ۱۵-۶: منحنی مشخصه معکوس کننده CMOS

۲-۲-۶: مدارهای گیت CMOS:

به دلیل اهمیت طراحی مدار با استفاده از CMOS ، در این بخش جزئیات آن بررسی می شود. یک مدار CMOS شامل دو بخش بالابر و پائین بر است. بخش بالابر آن با ترانزیستورهای PMOS و بخش پائین بر با

ترانزیستور NMOS ساخته می شود. بخش بالابر دوگان (Dual) بخش پائین بر است و بخش پائین بر مطابق با شکل توابع اصلی ساخته می شود. شکل ۱۶-۶ دیاگرام بلوکی این سیستم را نشان می دهد.

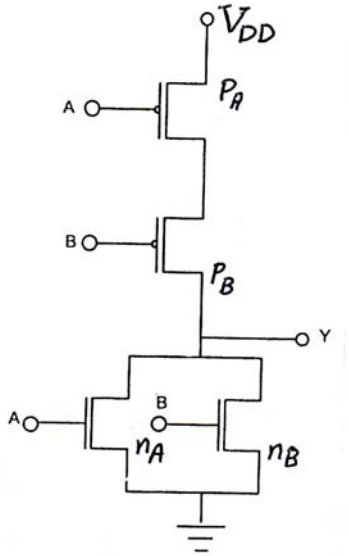


شکل ۱۶-۶: شکل کلی مدارهای CMOS

تبصره: برای به دست آوردن دوگان یک تابع AND ها به OR و برعکس تبدیل می شوند. متغیرهای مکمل دار نیز بدون تغییر باقی می مانند.

مدارهای گیت های CMOS با گسترش مدار اصلی معکوس کننده به دست می آیند. شکل ۱۷-۶ یک گیت NOR دو ورودی است. به ازاء افزایش تعداد هر ورودی باید یک ترانزیستور n و یک ترانزیستور P به مدار اضافه کرد. بنابراین CMOS نسبت به NMOS سطح سیلیسیم بیشتری نیاز دارد، چون در NMOS به ازاء هر ورودی اضافی تنها یک ترانزیستور اضافه می شود.

خروجی مدار شکل ۱۷-۶ هنگامی بالا است، که P_A و P_B همزمان روشن باشند و این نیز وقتی اتفاق می افتد، که هر دو ورودی همزمان پائین باشند. اگر یکی از ورودیها یا هر دو ورودی بالا باشند، خروجی پائین خواهد بود. بنابراین رابطه خروجی با ورودیها به صورت $Y = \overline{A+B}$ است، که تابع منطقی NOR می باشد.

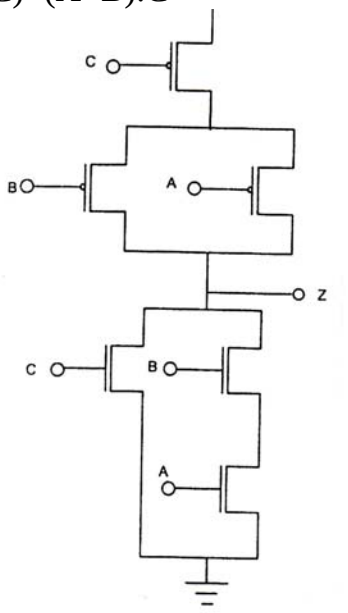


شکل ۱۷-۶: ساختن گیت NOR با CMOS

مثال ۳-۶: تابع $Z = \overline{AB + C}$ را با CMOS بسازید.

حل: بخش بالابر باید دوگان بخش پائین بر باشد، لذا دوگان تابع را به دست می آوریم:

Dual(AB+C)=(A+B).C



شکل ۱۸-۶: مثال ۳-۶

مطابق شکل ۱۸-۶ ، در قسمت بالابر مدار، دوگان تابع پیاده سازی شده، که در آن ورودیهای A و B با هم OR شده و نتیجه با C ، AND شده است. در قسمت پائین بر مدار نیز خود تابع پیاده سازی شده، به این صورت که ورودیهای A و B با هم AND شده و نتیجه با C ، OR شده است.

مثال ۴-۶: پیاده سازی تابع $Z = \left[\overline{(A+B).\overline{C} + E.(\overline{F} + \overline{G})}\right]$ با منطق CMOS.

حل: روش اول:

$$Dual\left(\left[\overline{(A+B).\overline{C} + E.(\overline{F} + \overline{G})}\right]\right) = \left[\overline{((A.B) + \overline{C}).(E + (\overline{F}.\overline{G}))}\right]$$

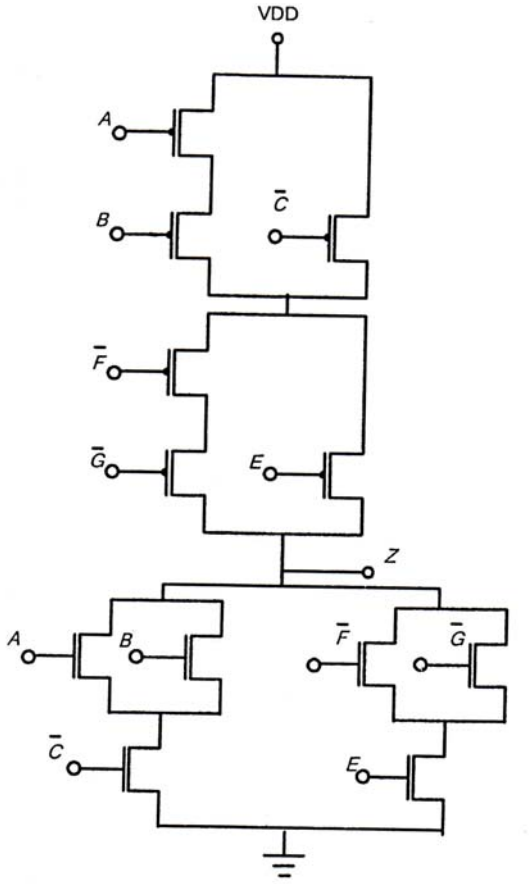
به دلیل این که در مدار تعداد ۶ متغیر وجود دارد لذا ۱۲ ترانزیستور لازم دارد. همچنین در این تابع سه متغیر نیز به صورت مکمل شده است، که برای تولید این مکملها نیز ۶ ترانزیستور مورد لزوم است (جمعاً ۱۸ ترانزیستور)

روش دوم: تابع را به صورت زیر در نظر می گیریم:

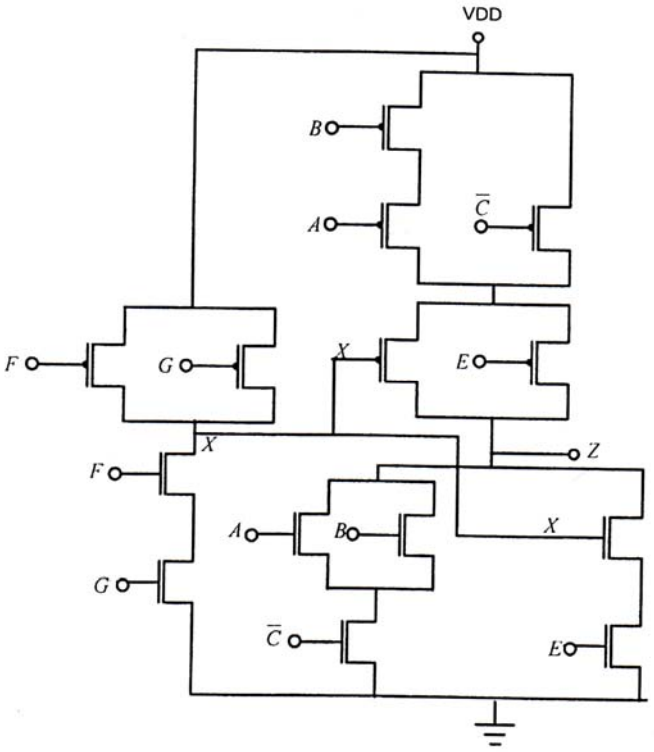
$$Z = \left[\overline{(A+B).\overline{C} + E.X}\right] \quad \text{که} \quad x = \overline{F.G} = \overline{F} + \overline{G}$$

$$Dual\left((A+B).\overline{C} + EX\right) = \left((A.B) + \overline{C}\right).(E + X)$$

مدار به صورت شکل ۲۰-۶ می باشد، که در آن ۴ ترانزیستور در طبقه اول، ۱۰ ترانزیستور در طبق دوم و ۲ ترانزیستور نیز برای تولید مکمل C از خود C مورد نیاز است (جمعاً ۱۶ ترانزیستور).



شکل ۱۹-۶: پیاده سازی مثال ۴-۶ با روش اول



شکل ۲۰-۶: پیاده سازی تابع مثال ۴-۶، با روش دوم (دو مرحله ای)

مثال ۵-۶: گیت CMOS XOR :

عملکرد گیت XOR مطابق با جدول صحت ۴-۶ است.

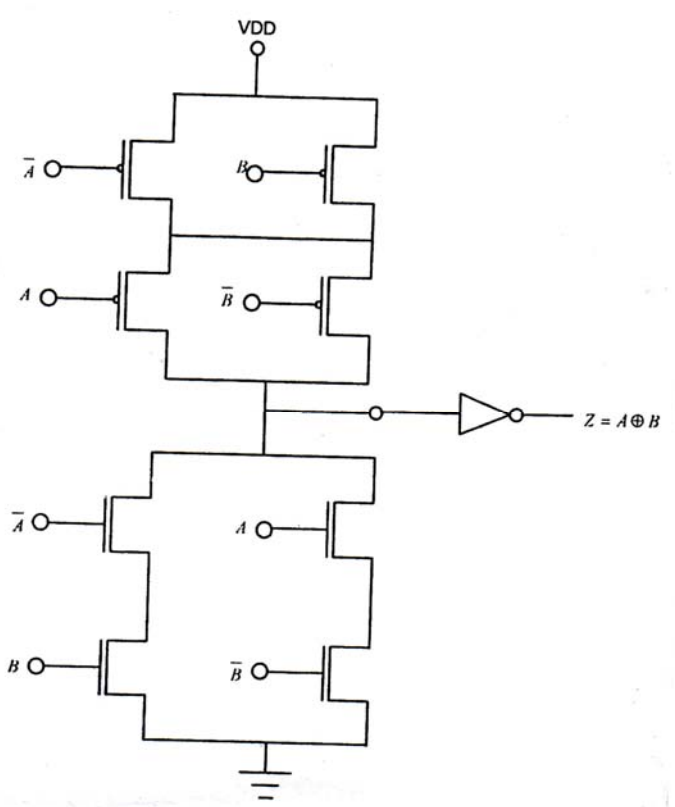
جدول ۴-۶: جدول صحت تابع XoR

B	A	$A \oplus B = A.\overline{B} + \overline{A}.B$
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۰

برای پیاده کردن این مدار ازدو روش می توان استفاده کرد:

روش اول: در این روش ابتدا تابع F را که به صورت زیر تعریف می شود پیاده کرده و خروجی مدار حاصل را معکوس می کنیم (شکل ۲۱-۶):

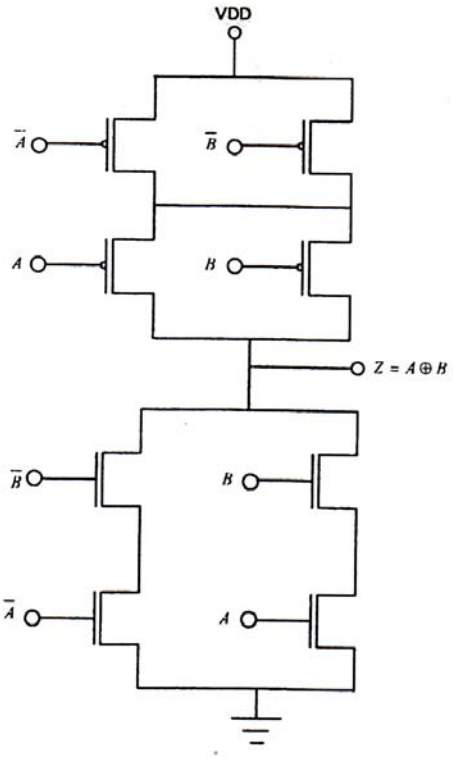
$$F = \overline{A.\overline{B} + \overline{A}.B}$$



شکل ۲۱-۶: پیاده سازی تابع XoR

در روش اول که مدار آن در شکل ۲۱-۶ نشان داده شده است، ۸ ترانزیستور در مدار نشان داده شده، ۲ ترانزیستور برای معکوس کننده نهائی (گیت NOT) و ۴ ترانزیستور هم برای تولید مکملهای B,A از B,A مورد نیاز است، بنابراین جمعاً باید از ۱۴ ترانزیستور استفاده شود.

روش دوم: تابع XOR مکمل تابع XNOR است. تابع XNOR به صورت $\overline{A}.\overline{B} + A.B$ است. بنابراین برای پیاده سازی گیت XOR باید تابع $F = \overline{\overline{A}.\overline{B} + A.B}$ ساخته شود. روش دوم مربوط به این مورد است. در مدار این روش که در شکل ۲۲-۶ نشان داده شده است، ۸ ترانزیستور در شکل نشان داده شده و ۴=۲×۲ ترانزیستور هم برای ساختن مکمل B,A مورد نیاز است.(جمعاً ۱۲ ترانزیستور).



شکل ۲۲-۶: روش دوم در پیاده سازی XOR (ساختن تابع XOR با استفاده از تابع مکمل)

توجه: در ساخت مدارهای منطقی روشی ارجحیت دارد که در ساخت آن نیاز به تعداد کمتری از عناصر باشد. به این لحاظ در مثال ۴-۶ و مثال ۵-۶ روش دوم نسبت به روش اول ترجیح دارد.

۳-۶: مدارهای سه حالته CMOS:

گیت های منطقی CMOS که تاکنون معرفی شده اند، همگی دارای دو مشخصه زیر هستند:

الف- زمانی که تمام ورودیها دارای مقداری ثابت هستند، خروجی از طریق مسیر بالابر به V_{DD} و از طریق مسیر پائین بر به زمین متصل می شود.

ب- مسیرهای بالابرو پائین بر به طور همزمان به وجود نمی آیند.

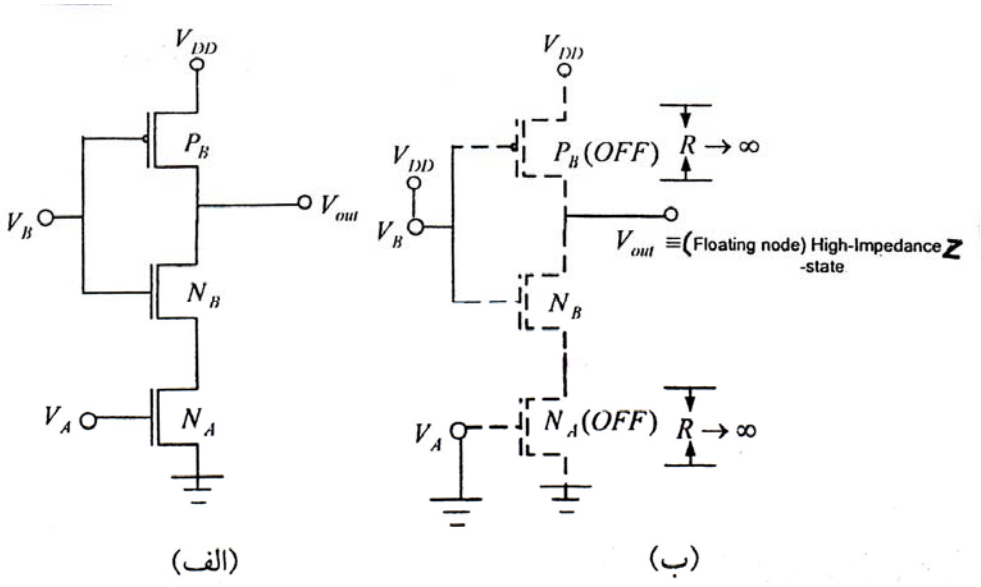
حال اگر هیچ یک از مسیرهای بالابر و یا پائین بر به وجود نیایند، خروجی در وضعیت امپدانس بالا قرار می گیرد و در صورتی که هردو مسیر به طور همزمان برقرار شود، خروجی در وضعیت اتصالی قرار می گیرد. یکی از موارد استفاده حالت خروجی امپدانس بالا، در کاربرهای سه حالته است. یک کاربرد رایج برای معکوس کننده های

سه حالته در تحریک گیت ها (گذرگاه های) مورد استفاده در مدارهای مجتمع است. همچنین بـه وسـیله معکـوس کننده های سه حالته می توان فلیپ فلاپ نوع D به وجود آورد.

۱-۳-۶: گیت های منطقی سه حالته:

گروهی از مدارهای CMOS دارای این خاصیت هستند، که به ازاء ورودی های خاص، هیچ مسـیری از V_{DD} و یا زمین به خروجی برقرار نمی شود، که در این صورت اصطلاحاً می گویند خروجی در وضعیت امپدانس بالا قـرار گرفته و به شکل یک مدار باز اسـت. مـدار CMOS شـکل ۲۳-۶ (الـف) را در نظـر بگیریـد، کـه دو ورودی و سـه ترانزیستوردارد، لذا بـرای همـه ترانزیسـتورهای NMOS موجـود، ترانزیسـتور PMOS متنـاظر آن وجـود نـدارد. عملکرد این مدار مطابق با جدول ۵-۶ است.

زمانی که هردو ورودی در وضعیت بالا هستند، مسیر پائین بر برقرار می شود. اگر V_B در وضعیت پائین باشـد، خروجی از طریق مسیر بالابر به V_{DD} متصل می شود. زمانی که ورودی V_B بالا مـی رود، در صـورت پـائین بـودن V_A هردو مسیر بالابر و پائین بر از بین رفته و خروجی در وضعیت امپدانس بالا قرار می گیرد. این وضـعیت مطـابق با شکل ۲۳-۶ (ب) است. این وضعیت بـا مقـدار Z درجـدول صـحت مـدار (جـدول ۵-۶) نشـان داده شـده اسـت. اصطلاحاً گوئیم گرهی از مدار، که دارای وضعیت امپدانس بالا است، دروضعیت شناور (Floating) قرار دارد. مثـال ۶-۶ یک مدار CMOS دیگر با خروجی امپدانس بالا را نشان می دهد.



شکل ۲۳-۶ مدار CMOS سه ترانزیستوری با حالت امپدانس بالای خروجی: الف) مدار، ب) امپدانس بالا

جدول ۵-۶: وضعیت ترانزیستورهای مدار سه حالته شکل ۲۴-۶ و نظیر آن به ازاء ورودیهای مختلف

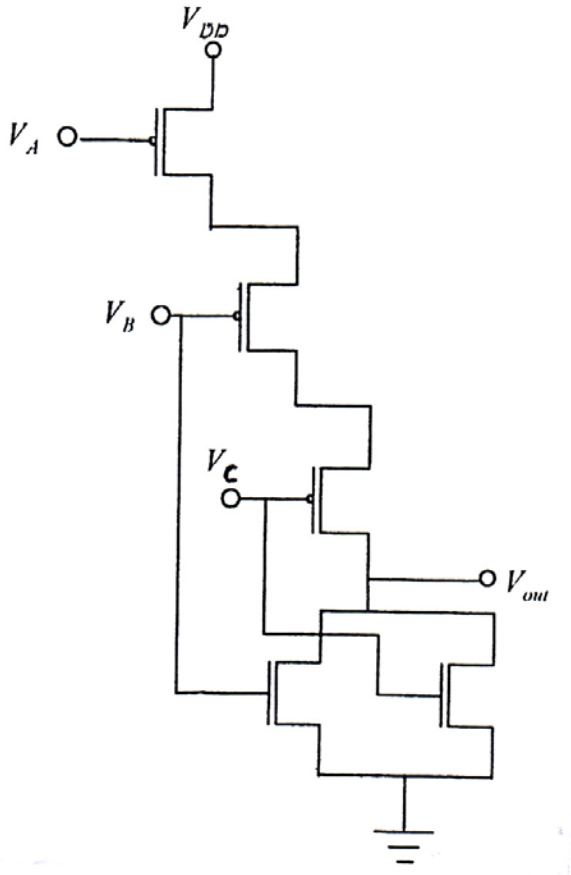
خروجی	مسیر پائین بر	مسیر بالابر	P_B	N_B	N_A	V_B	V_A	حالت
بالا	هیچکدام	P_B	روشن	خاموش	خاموش	پائین	پائین	۱
Z**	هیچکدام	هیچکدام	خاموش	روشن	خاموش	بالا	پائین	۲
بالا	هیچکدام	P_B	روشن	خاموش	روشن	پائین	بالا	۳
پائین	$N_A - N_B$*	هیچکدام	خاموش	روشن	روشن	بالا	بالا	۴

دنبالهٔ جدول ۵-۶
* اگر V_A و V_B یک باشند، مسیر پائین بر از خروجی به زمین از طریق N_A و N_B به وجود می آید.
** با V_A برابر با صفر و V_B برابر با یک، هیچ مسیر بالابر و هیچ مسیر پائین بری به وجود نمی آید.

مثال ۶-۶: مدار CMOS با خروجی امپدانس بالا:

می خواهیم در مدار شکل ۲۴-۶، تمام ترکیب های ورودی را که منجر به خروجی امپدانس بالا می شوند تعیین کنیم.

حل: مسیر خروجی به V_{DD} زمانی برقرار می شود، که تمام ورودیها پائین باشند. اگر یکی از دو ورودی V_B یا V_C بالا باشند، ترانزیستور NMOS متناظر با آن روشن شده و مسیر خروجی به زمین برقرار می شود. زمانی که ورودی V_A بالا است، ترانزیستور P_A خاموش بوده و مسیر بالابر وجود ندارد. در همین حالت اگر V_B و V_C هردو پائین باشند، ترانزیستورهای متناظر خاموش شده و مسیر پائین برنیز از بین می رود که در این صورت خروجی امپدانس بالا خواهد بود.

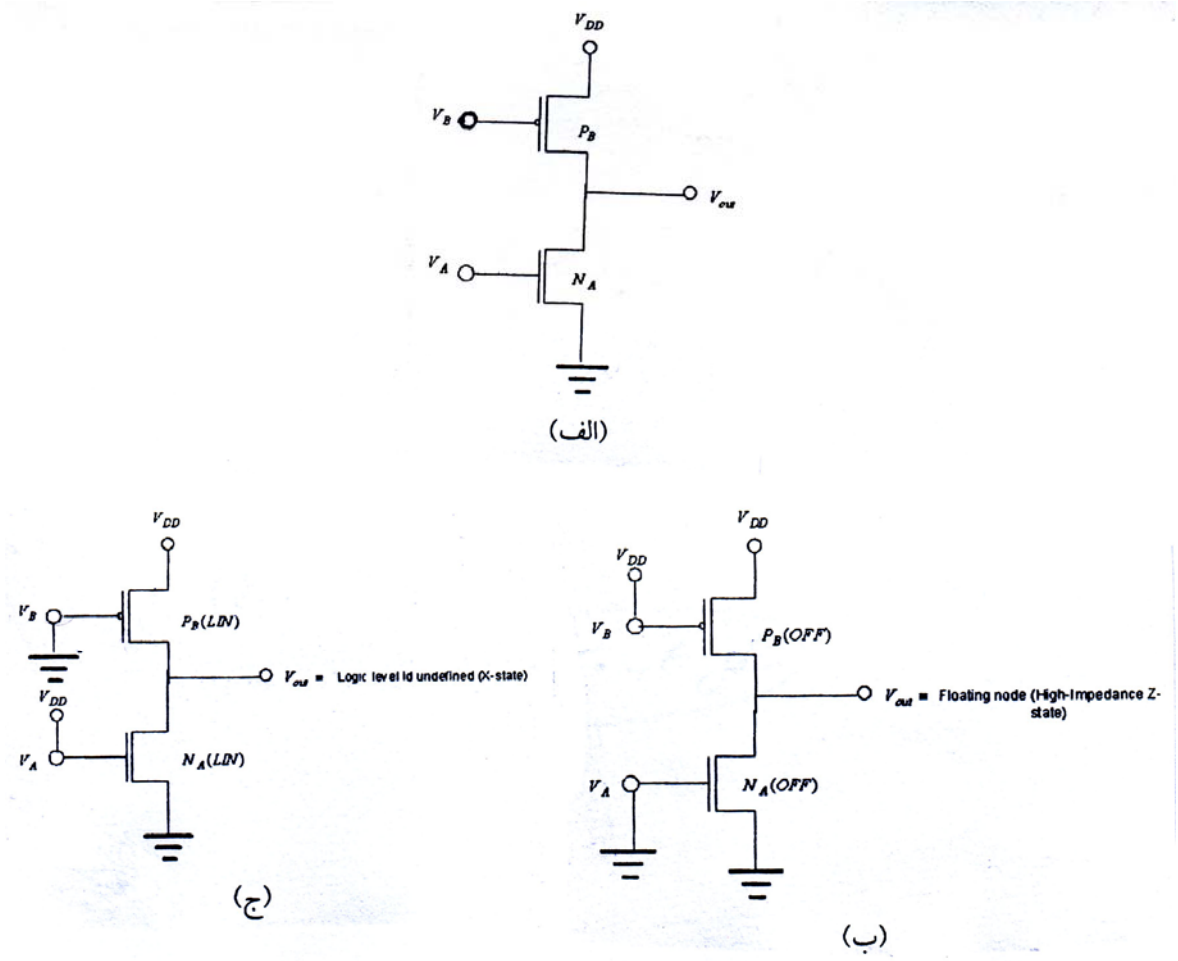


شکل ۲۴-۶: مدار مربوط به مثال ۶-۶

۲-۳-۶: گیت های منطقی CMOS با حالت های X:

در مدارهای ۲۳-۶ و ۲۴-۶ به ازاء برخی ترکیب های ورودی هیچ مسیر بالابریا پائین بری به وجود نمی آید و خروجی در وضعیت امپدانس بالا قرار می گیرد. در این بخش به معرفی حالتهائی می پردازیم که هردومسیر بالابر و پائین بر همزمان به وجود می آیند. به این وضعیت اتصال حالت -X گفته می شود.

در مدار شکل ۲۵-۶ زمانی که هردو ورودی پائین هستند، P_B روشن و N_A خاموش است و مسیر بالابر به وجود می آید. اگر هردو ورودی بالا باشند P_B قطع و N_A وصل می شود و یک مسیر از طریق پائین بر به زمین به وجود می آید. اگر V_A پائین و V_B بالا باشد هردو ترانزیستورقطع و خروجی در حالت امپدانس بالا قرار می گیرد(شکل ۲۵-۶ (ب)). و سرانجام اگر V_A بالا و V_B پائین باشد، دو ترانزیستورروشن شده و هردو مسیر بالابر و پائین بر ایجاد می شوند (شکل ۲۵-۶(ج)). اگر ولتاژ خروجی در این حالت مقداری بین V_{DD} و صفر داشته باشد، هردو ترانزیستورر در ناحیه خطی قرار می گیرند. چنین ولتاژی مقداری مطمئن برای تحریک طبقه بعدی ندارد زیرا در سطحی مابین پائین و بالا قرار دارد.

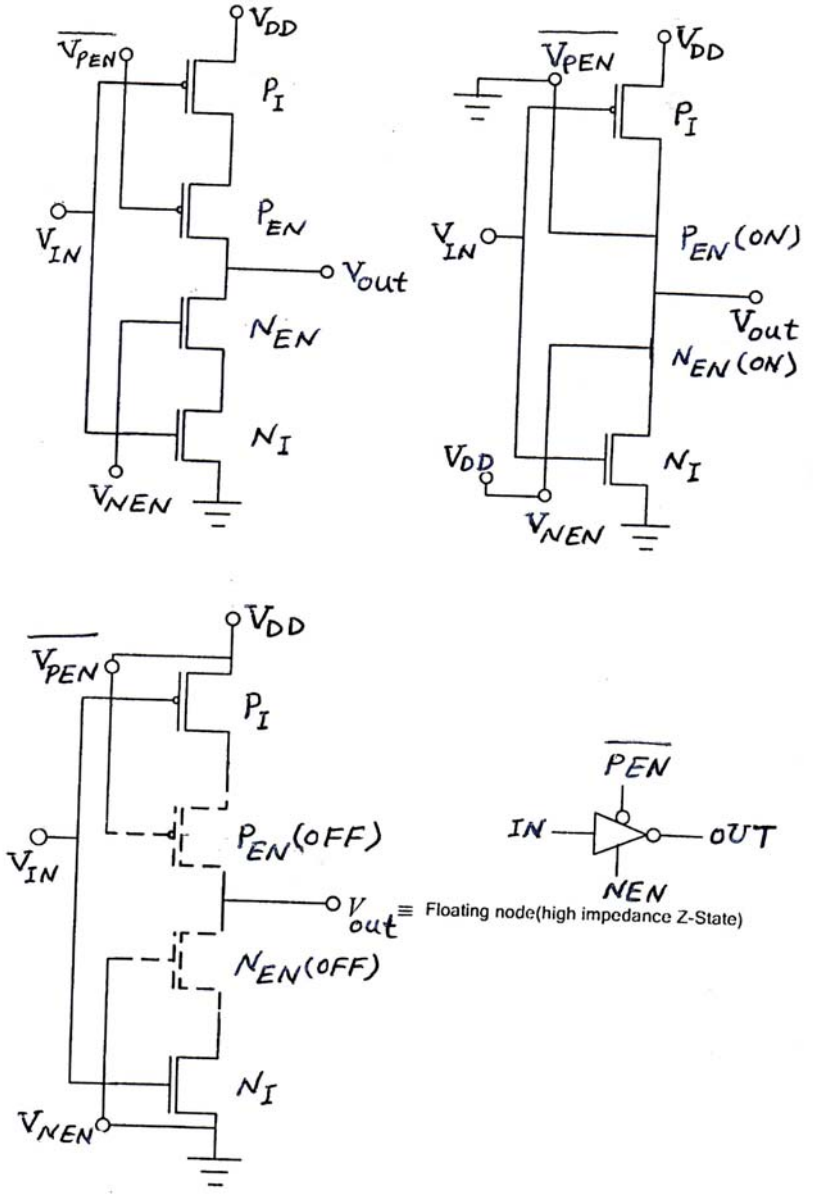


شکل ۲۵-۶: (الف) مدار با حالت –x؛ (ب) خروجی در حالت امپدانس بالا؛ (ج) مسیرهای بالابر و پائین بر همزمان

در مدار شکل ۲۵-۶ اگر دو ترانزیستور N_A و P_B مکمل باشند به این معنی که مشخصات یکسان و پارامترهای یکسان داشته باشند و فقط نوع کانال آنها متفاوت باشد (N_A از نوع N کانال و P_B از نوع P کانال باشد) و در صورتی که V_{OL}=۰ , V_{DD}=۵V باشد، به سادگی می توان ثابت کرد که ولتاژ خروجی مدار در حالت -x برابر با ۲/۵V است.

۳-۳-۶: معکوس کننده دارای ساعت سه حالته CMOS:

شکل ۲۷-۶ یک گیت منطقی شامل چهار ترانزیستورو سه ورودی را نشان می دهد.



شکل ۲۶-۶: مدار معکوس کننده سه حالته CMOS و حالت های مختلف عملکرد آن و نماد سمبلیک آن

این مدار به ازاء مقادیر خاصی از ورودی، خروجی امپدانس بالا تولید می کند. ورودی های این گیت V_{IN}، V_{NEN} و $\overline{V_{PEN}}$ هستند. تولیدحالت خروجی امپدانس بالا توسط این مدار می تواند در طراحی برخی از مدارهای مجتمع مفید باشد. جدول ۶-۶ جدول صحت این مدار است. زمانی که ورودی های V_{NEN} به وضعیت بالا و $\overline{V_{PEN}}$ به وضعیت پائین برده می شوند، مدار به صورت یک معکوس کننده عمل می کند. زمانی که V_{NEN} دروضعیت پائین و $\overline{V_{PEN}}$ درحالت بالا قرار می گیرند، خروجی بدون توجه به مقدار V_{IN} وضعیت امپدانس بالا پیدا می کند. در پائین شکل ۲۶-۶ مدار معادل برای این وضعیت مشاهده می شود.

چون در مدار فوق، نیاز به دو ورودی مکمل برای فعال شدن معکوس کننده می باشد، لذا بـه دو ورودی فعـال ساز، ورودی های فعال ساز مکمل گفته می شود، چون در گیت سه نوع خروجی بالا، پـائین حالـت امپـدانس بـالا بود، این گیت و نظیرآن گیت سه حالته گفته می شود و مدار معکوس کننده فوق، معکوس کننده سه حالته است.

جدول ۶-۶: جدول صحت مدار شکل ۲۶-۶

خروجی	مسیر پائین بر	مسیر بالابر	P_I	P_{EN}	N_{EN}	N_I	N_{NEN}	$\overline{V_{PEN}}$	V_{IN}	حالت
بالا	-	P_I-P_{EN}	روشن	روشن	خاموش	خاموش	پائین	پائین	پائین	۱
بالا	-	P_I-P_{EN}	روشن	روشن	روشن	خاموش	بالا	پائین	پائین	۲
Z	-	-	روشن	خاموش	خاموش	خاموش	پائین	بالا	پائین	۳
Z	-	-	روشن	خاموش	روشن	خاموش	بالا	بالا	پائین	۴
Z	-	-	خاموش	روشن	خاموش	روشن	پائین	پائین	بالا	۵
پائین	N_I-N_{EN}	-	خاموش	خاموش	روشن	روشن	بالا	پائین	بالا	۶
Z	-	-	خاموش	خاموش	خاموش	روشن	پائین	بالا	بالا	۷
پائین	N_I-N_{EN}	-	خاموش	خاموش	روشن	روشن	بالا	بالا	بالا	۸

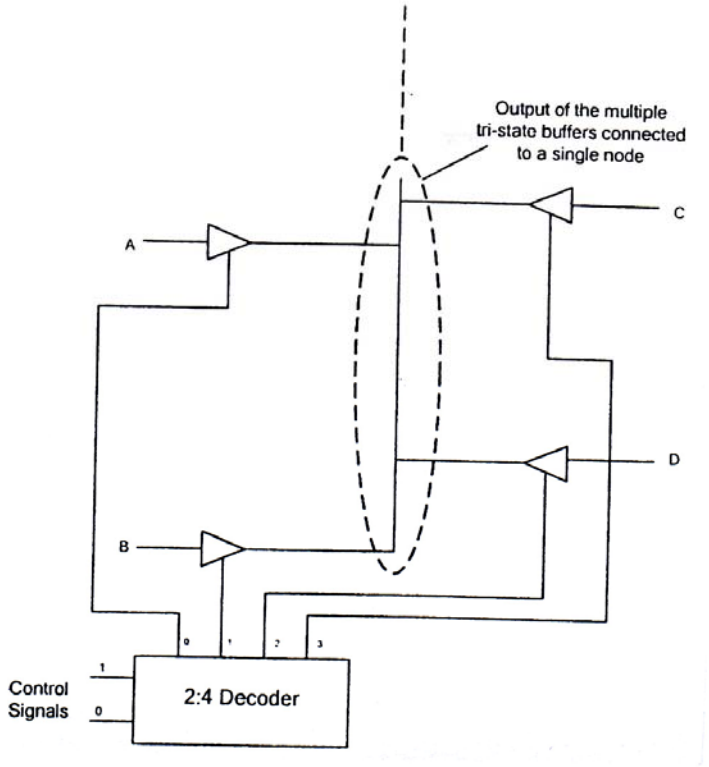
۴-۳-۶: کاربردهای معکوس کننده سه حالته:

یک کاربرد مهم مدارهای سه حالته در شکل ۲۷-۶ دیده می شود. در این شبکه خروجی چهار مدار سه حالته، به یک گره مشترک اتصال یافته است. عملکرد مدار باید به صورتی باشد، که در هرلحظه تنها یکـی از مـدارها دارای خروجی باشد و خروجی بقیه مدارها در حالت امپدانس بالا قرار داشته باشند، که ولتاژ گره مشـترک برابـر بـا ولتـاژ خروجی آن یک مدار باشد. به این منظور سیگنال فعال سازمدارهای سـه حالتـه بـه وسـیله یـک دیکـودر «دو» بـه «چهار» فراهم می شود. به این ترتیب در هرلحظه تنها یکی از خروجیهای مدار دیکـودر فعـال مـی شـود (درحالـت «یک» قرار می گیرد) و تنها بک مدار سه حالته خروجی خواهد داشت.

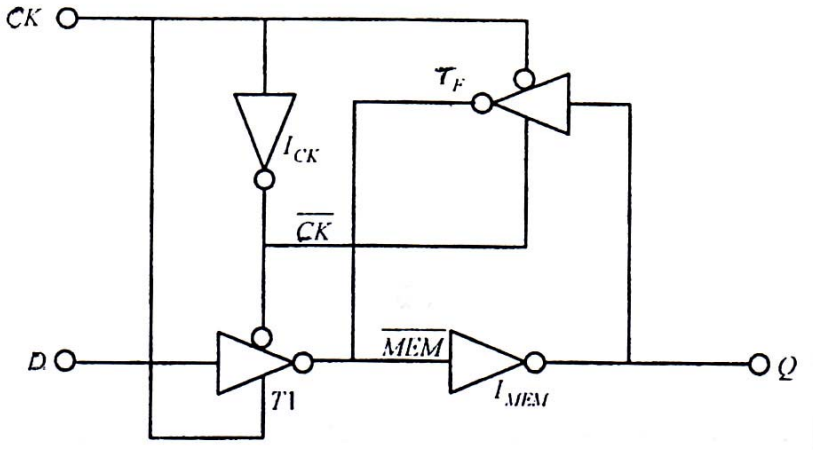
مثال ۷-۶: ساخت فلیپ فلاپ D با استفاده از معکوس کننده های سه حالته:

شکل ۲۸-۶ مدار یک فلیپ فلاپ D که با استفاده از یک معکوس کننده سه حالته ساخته شده است را نشـان می دهد. اگر به ورودی CK سطح ولتاژ بالا اعمال شود، معکـوس کننـده $T_۱$ فعـال شـده و خروجـی T_F درحالـت امپدانس بالا قرار می گیرد. در این صورت گره $\overline{MEM}$ به وسیله سیگنال ورودی D تحریک می شود.

اگر CK پایئن باشد، T_F فعال شده و $T_۱$ در حالت امپدانس بـالا قـرار مـی گیـرد و گـره $\overline{MEM}$ بـه وسـیله $\overline{Q}$ تحریک می شود. در این حالت حلقه متشکل از گره های $\overline{MEM}$ ، Q، معکوس کننده I_{MEM} و معکـوس کننـده سه حالته T_F یک حلقه با فیدبک پایدار را به وجود می آورند.



شکل ۲۷-۶: اتصال خروجی های مدارهای سه حالته به یک گره مشترک

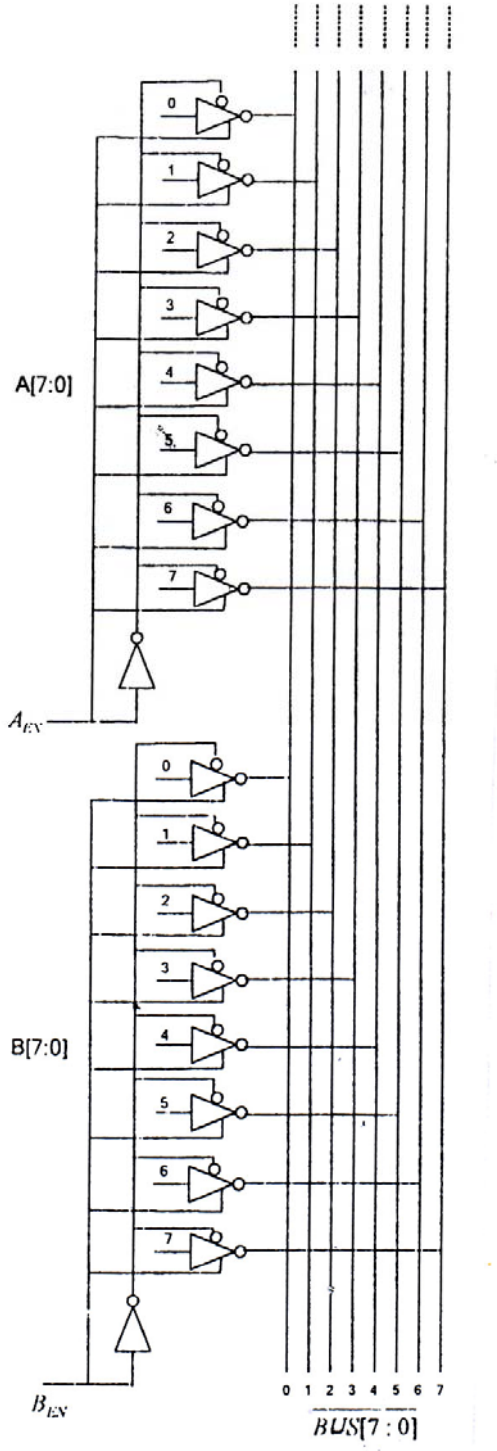


شکل ۲۸-۶: ساخت فلیپ فلاپ D به وسیله معکوس کننده های سه حالته

۵-۳-۶: گذرگاههای مدار مجتمع مبتنی بر معکوس کننده های سه حالته:

مدارهای مجتمع دیجیتالی، غالباً تعداد زیادی ثبات دارند، که به وسیله گذرگاه به هم مرتبط می شوند. یک گذرگاه آرایه ای از سیم ها است، که به انتقال داده به/ از ثّبات به کار می رود. شکل ۲۹-۶ بخشی از چنین مداری رانشان می دهد. $\overline{BUS}[۷:۰]$ به وسیله خروجی های چهار ثّبات هشت بیتی D,C,B,A تحریک می شوند. سیگنالهای خروجی ثّبات ها، که هشت بیتی هستند، به وسیله یک معکوس کننده سه حالته گذرگاه را تحریک می

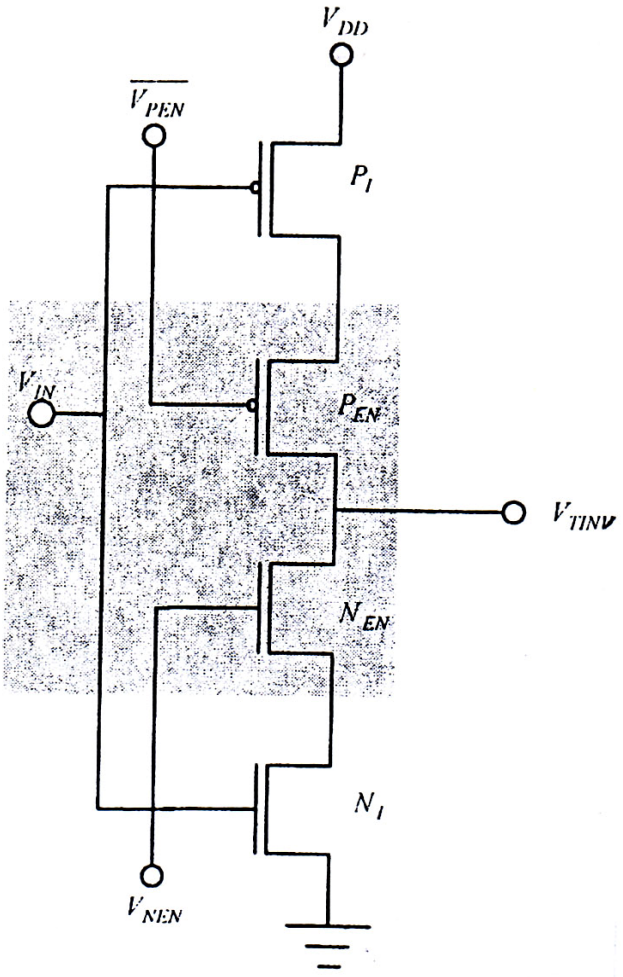
کنند. استفاده از گذرگاه موجب می شود که نیازی به استفاده از تعداد زیادی سیم مجزا (به جای استفاده از سیم های مشترک به همراه مالتی پلکسرهای بزرگ) نباشد. این گونه گذرگاه ها در تمامی حافظه ها و ریزپردازنده های امروزی مورد استفاده قرار می گیرند. به علت این که خطوط گذرگاه به وسیله معکوس کننده تحریک می شود، لازم است که مقدار موجود برروی گذرگاه جهت استفاده مجدداً معکوس شود.



شکل ۲۹-۶: استفاده از معکوس کننده سه حالته برای گذرگاه مشترک بین چهار ثبات هشت بیتی

۶-۳-۶: وضعیت قرارگرفتن ترانزیستورها در معکوس کننده های سه حالته:

شکل ۳۰-۶ یک مدار CMOS چهار ترانزیستوری شامل سه ورودی را نشان می دهد، که مشابه با یک معکوس کننده سه حالته عمل می کند. در این مدار ترانزیستورهای P_I,N_I، که به عنوان فعال ساز عمل می کنند در پائین و بالای مدار قرار داده شده اند. جای این ترانزیستورها در مدار به چگونگی تغییر وضعیت مدار بستگی دارد. مثلاً اگر سیگنالهای فعال ساز بیش از سایر سیگنال های ورودی دچار تغییر شده و وضعیت مدار را تغییر دهند، در این صورت بهتر است ترانزیستورهای مربوط به این سیگنالها در بخش میانی مدار قرار گیرند و درغیر این صورت لازم است در بالا و پائین مدار قرار گیرند.

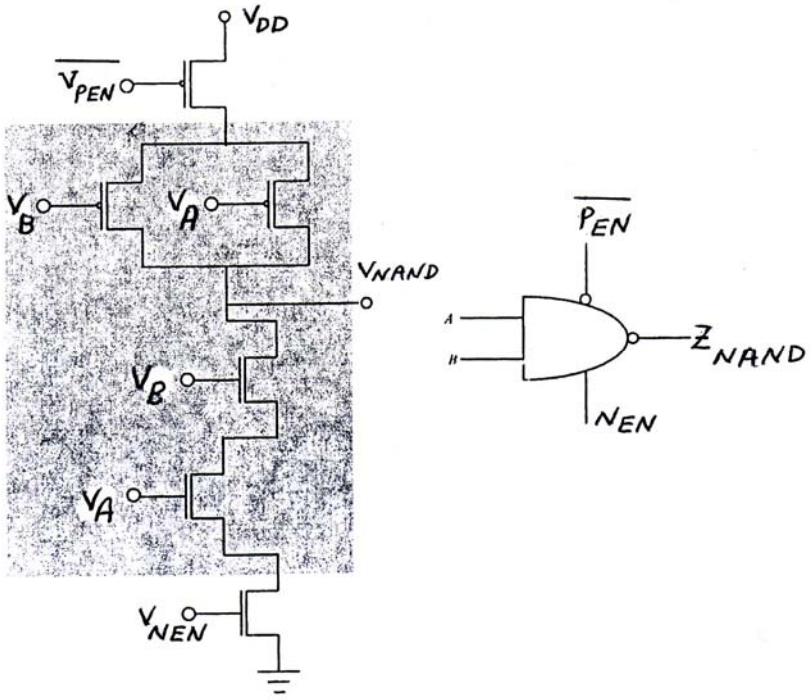


شکل ۳۰-۶: ترانزیستورهای فعال سازدر بالا و پائین معکوس کننده سه حالته

۷-۳-۶: منطق سه حالته برای توابع منطقی چند ورودی:

پیاده سازی توابع و گیت های سه حالته به غیر از حالت معکوس کننده نیز امکان پذیر است. اگر ترانزیستورهای PMOS,NMOS که در شکل ۳۰-۶ در داخل کادر قرار گرفته اند، به وسیله مداری که تابع مورد نظر را پیاده سازی می کند جایگزین شوند، مدار سه حالته برای تابع مذکور پیاده سازی می شود. به عنوان مثال

پیاده سازی گیت NAND سه ورودی مطابق با شکل ۳۱-۶ قابل انجام است. در این شکل سمبل این گیت نیز دیده می شود.



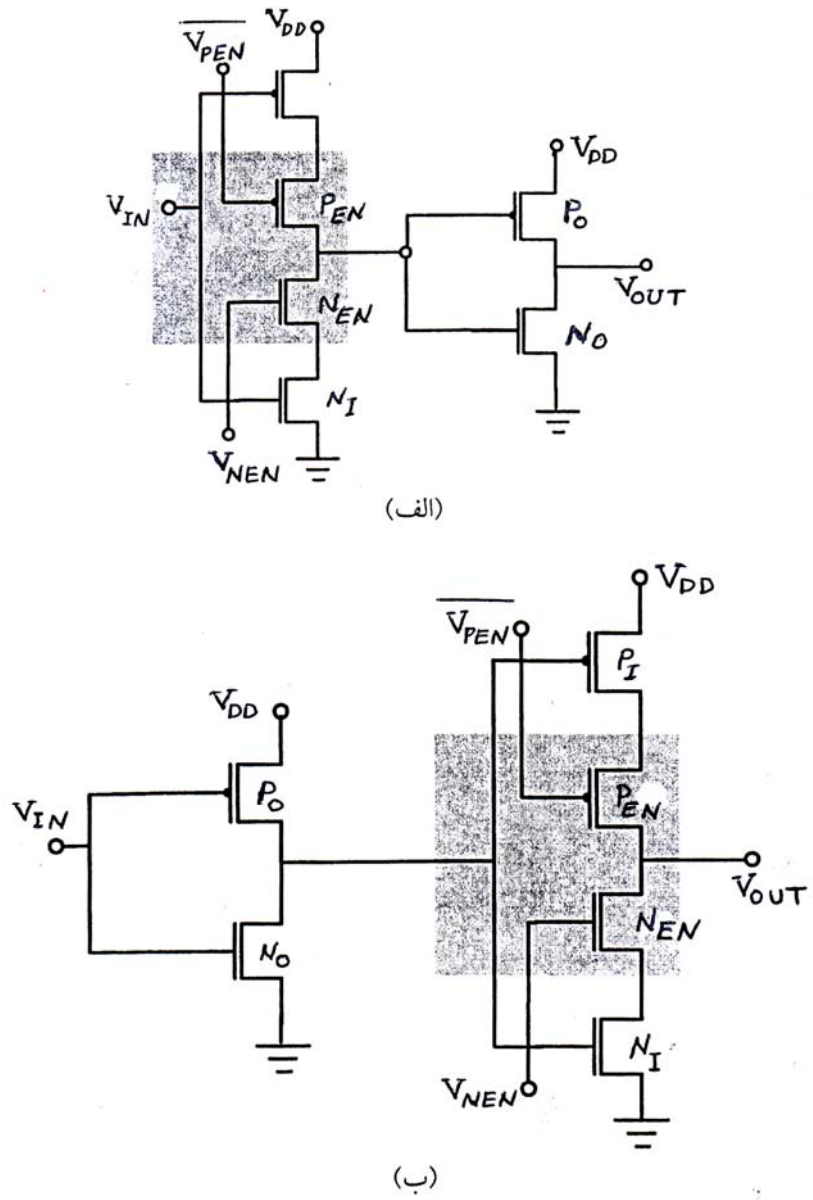
شکل ۳۱-۶: مدار گیت NAND سه حالته سه ورودی و سمبل آن

۸-۳-۶: منطق سه حالته غیر معکوس (بافر):

برای ساختن یک گیت غیرمعکوس یا بافر لازم است که از دو طبقه مدار استفاده شود، که ترتیب این طبقات اهمیت دارد. اگر خروجی یک گیت سه حالته، یک معکوس کننده را مطابق شکل ۳۲-۶ (الف) تحریک کند، ممکن است خروجی طبقه اول که ورودی طبقه دوم را می سازد به صورت امپدانس بالا باشد، در این صورت خروجی طبقه دوم به صورت نامشخص خواهد بود. در شکل ۳۲-۶ (ب) روش صحیح برای ایجاد گیت غیر معکوس نشان داده شده است.

۴-۶: گیت های اشمیت تریگر CMOS:

در بخش های قبل مدارهای معکوس کننده CMOS تک ورودی تحلیل شد. تغییر خروجی از بالا به پائین یا برعکس با توجه به پارامترهای ترانزیستورهای مدار صورت می گیرد. در معکوس CMOS هردوگذر (تغییر حالت) خروجی از بالا به پائین و برعکس به ازاء عبور ولتاژ ورودی از سطحی یکسان صورت می گیرد. به این معنی که اگر مثلاً با عبور ولتاژ ورودی از پائین با بالا از ولتاژ ۵ ولت، خروجی از بالا به پائین تغییر حالت دهد، با عبور ولتاژ ورودی از بالا به پائین از همان ولتاژ ۵ ولت نیز خروجی از پائین به بالا تغییر حالت خواهد داد.



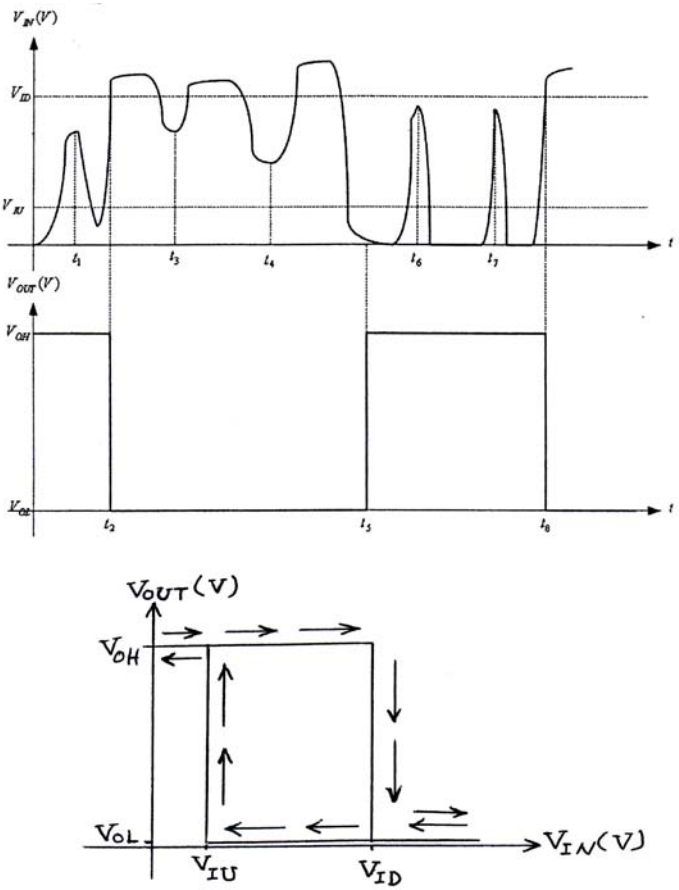
شکل ۳۲-۶: مدار غیر معکوس سه حالته، (الف) تحریک یک معکوس کننده به وسیله یک معکوس کننده سه حالته که ممکن است خروجی نامعلوم تولید کند؛ (ب) ترتیب صحیح برای ایجاد یک مدار غیر معکوس

در این بخش مدارهائی معرفی می شوند، که در آنها گذر خروجی از بالا به پائین و برعکس به ازاء مقادیر مختلف ولتاژ ورودی اتفاق می افتد. این پدیده "پس ماند" (Hysteresis) نامیده می شود و به مدارهائی که مبتنی براین خاصیت عمل می کنند اشمیت تریگر (Schmitt Trigger) گفته می شود. این مدارها به روش CMOS و با اعمال فیدبک مثبت دنبال کننده سورس (Source-Follower) پیاده سازی می شوند. این مدارها برای افزایش سرعت سیگنالهای کند و نیز بهبود شکل سیگنالهای نویزی و صاف کردن آنها قابل استفاده هستند.

۱-۴-۶: خاصیت پس ماند:

نوعی از مدارهای منطقی که در مشخصه انتقال ولتاژ آنها تغییر حالت خروجی از بالا به پائین و تغییر حالت خروجی از پائین به بالا در دو ولتاژ ورودی متفاوت صورت می گیرد، مطابق با خاصیت پس ماند (Hystrersis) عمل می کنند. در شکل ۳۳-۶ درمشخصه انتقال این مدارها یک حلقه دیده می شود که به آن حلقه پس ماند اطلاق می شود. در این مشخصه نقاط تحریک، یعنی نقاطی که در آنها خروجی تغییر حالت می دهد اهمیت دارد. در شکل ۳۳-۶ (الف) ورودی و خروجی یک مدار معکوس کننده با پس ماند نشان داده شده است. شکل ۳۳-۶ (ب) مشخصه انتقال ولتاژ آن را نشان می دهد. انتقال خروجی از بالا به پائین زمانی اتفاق می افتد، که مقدار ولتاژ ورودی از ولتاژ V_{ID} بیشتر شود (لحظه های $t_{۸},t_{۲}$) . همچنین انتقال ولتاژ خروجی از حالت پائین به بالا به ازاء V_{IU} صورت می گیرد (لحظه $t_{۵}$) . ولتاژهای V_{IU},V_{ID} ولتاژهای تریگر (تحریک) نامیده می شوند. لازم است شرط $V_{ID}>V_{IU}$ برقرار باشد.

در شکل ۳۳-۶ (الف) در زمانهای $t_{۷},t_{۶}$ ولتاژ ورودی افزایش یافته و به مقداری بیشتر از V_{IU} و نه بیشتر از V_{ID} رسیده ولی خروجی تغییر نکرده است. همچنین در زمانهای $t_{۳},t_{۴}$ ولتاژ ورودی به مقداری کمتر از V_{ID} (و نه کمتر از V_{IU}) رسیده ولی خروجی تغییر نکرده است. با استفاده از چنین مداری، همانطوری که مشاهده می شود، می توان یک خروجی بدون نویز به دست آورد. شکل ۳۳-۶ (ب) مشخصه انتقال ولتاژ را برای مدار منطقی دیجیتالی، که برپایه خاصیت پس ماند عمل می کند نشان می دهد.



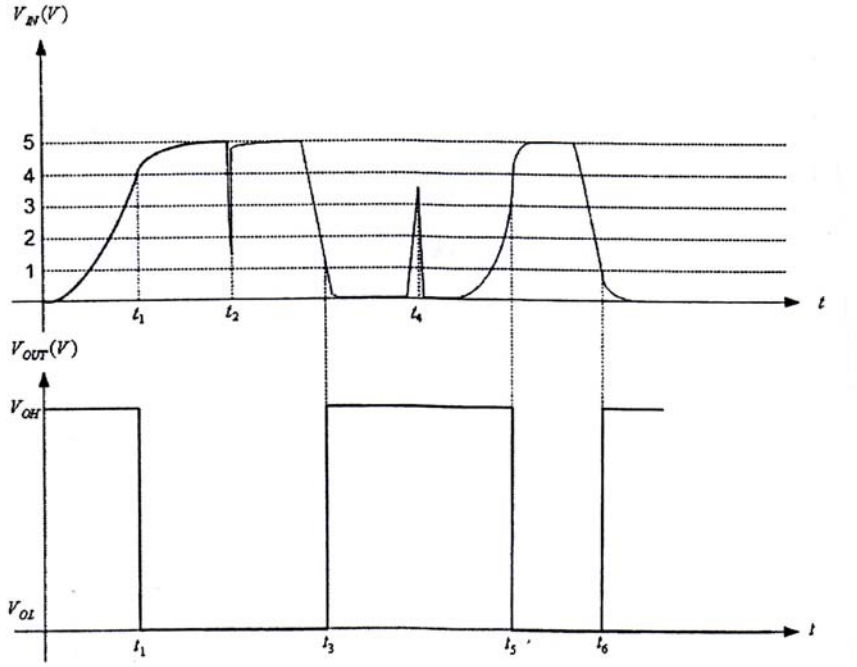
شکل ۳۳-۶: (الف) شکل موجهای ورودی و خروجی (ب) مشخص انتقال ولتاژ مدار معکوس با پس ماند

۶-۴-۲: مدارهای اشمیت تریگر:

مدارهائی که عملکرد آنها مبتنی برخاصیت پس ماند است، اشمیت تریگر نامیده می شود. گیت های متنوعی از اشمیت تریگر از قبیل معکوس کننده، غیر معکوس کننده (ناوارونساز)، (AND-OR-Invert)AOI,NoR,NAND, وجود دارند.

مثال ۸-۶: درشکل ۳۴-۶ شکل موجهای ورودی و خروجی یک مدار اشمیت تریگر نشان داده شده است. ولتاژهای تریگر (تحریک) این مدار را تعیین کنید.

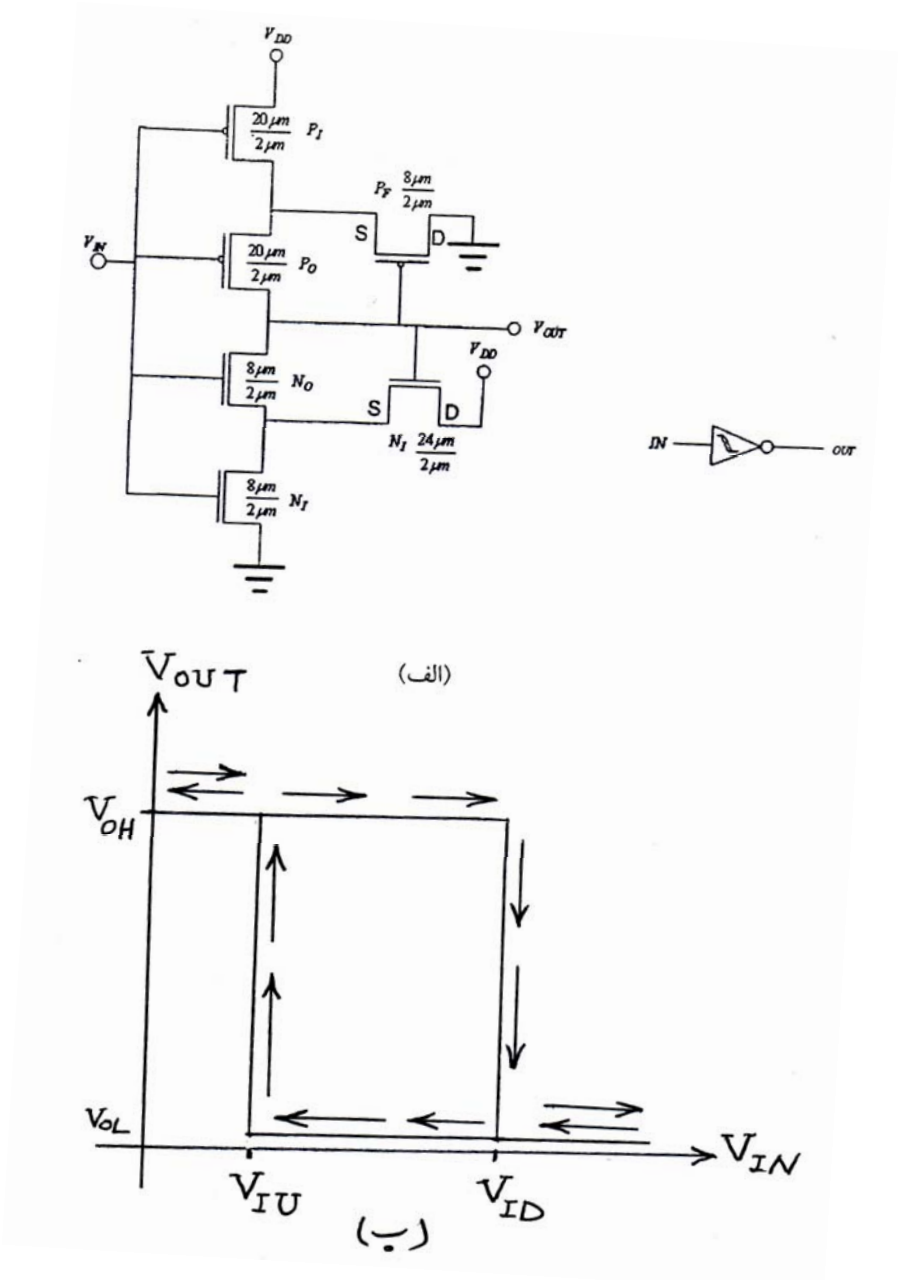
حل: به لحاظ اینکه در زمانهای t_0,t_1 خروجی ا زبالا به پائین تغییر حالت داده با توجه به شکل $V_{ID}=4V$ می شود. همچین در زمانهای t_2,t_3 خروجی از پائین به بالا تغییر کرده است، بنابراین $V_{IU}=1V$ است.



شکل ۳۴-۶: شکل موجهای خروجی و ورودی مدار مثال ۸-۶

۶-۴-۳: معکوس کننده اشمیت تریگر CMOS:

شکل ۳۵-۶ (الف) یک معکوس کننده اشمیت تریگر را نشان می دهد. دو ترانزیستورNMOS با دو ترانزیستورPMOS به صورت سری با یکدیگر قرار گرفته اند. ترانزیستور N_F ولتاژ خروجی را به گره مشترک میان N_o,N_I بر می گرداند. ترانزیستور P_F نیز، که از نوع PMOS است، یک فیدبک بین خروجی و گره مشترک بین دو ترانزیستور PMOS به وجود می آورد. در شکل ۳۵-۶ (الف) سمت راست، سمبل مدار معکوس کننده اشمیت تریگر دیده می شود. شکل ۳۵-۶ (ب) مشخص انتقال ولتاژ معکوس کننده رانشان می دهد. انتقال خروجی از بالا به پائین در ولتاژ ورودی V_{ID} و از پائین به بالا در V_{IU} رخ می دهد و $V_{ID}>V_{IU}$ است. در این مدار خاصیت پس ماند به دلیل وجود فیدبک از خروجی به نقاط میانی مدار ایجاد شده است.

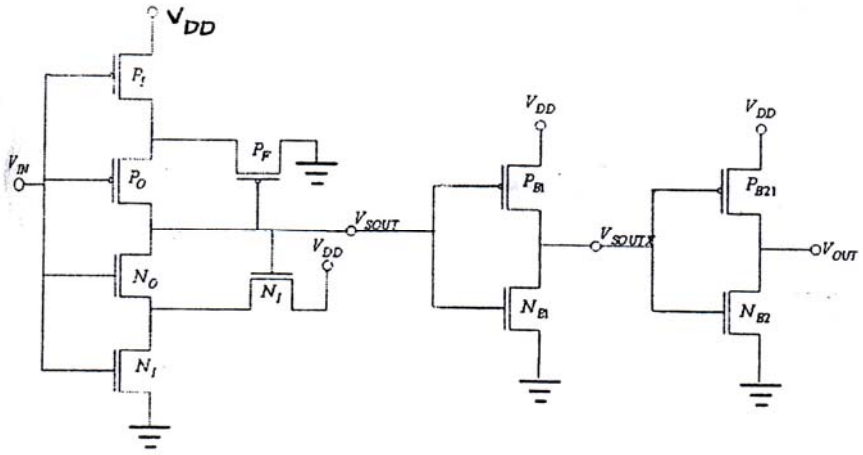


شکل ۳۵-۶: مدار معکوس کننده اشمیت تریگر CMoS ؛ (الف) مدار و سمبل آن؛ (ب) مشخصه انتقال ولتاژ

۶-۴-۴: معکوس کننده اشمیت تریگر با خروجی بافر شده:

ورودی معکوس کننده اشمیت تریگر شکل ۳۵-۶ به گیت های هرچهار ترانزیستوراتصال یافته است، که کانال هریک از این ترانزیستورها، معمولاً دارای مساحتی معادل با دو برابر مساحت یک معکوس کننده عادی است. بنابراین ظرفیت خازن ورودی یک معکوس کننده اشمیت تریگر، تقریباً چهار برابر ظرفیت خازن ورودی یک معکوس کننده عادی است. افزایش اندازه ترانزیستورها در مدار اشمیت تریگر موجب افزایش تحریک کنندگی آن و در عوض باعث افزایش ظرفیت خازن و تأخیر ورودی آن می شود. بنابراین اگر بخواهیم یک مدار اشمیت تریگر با

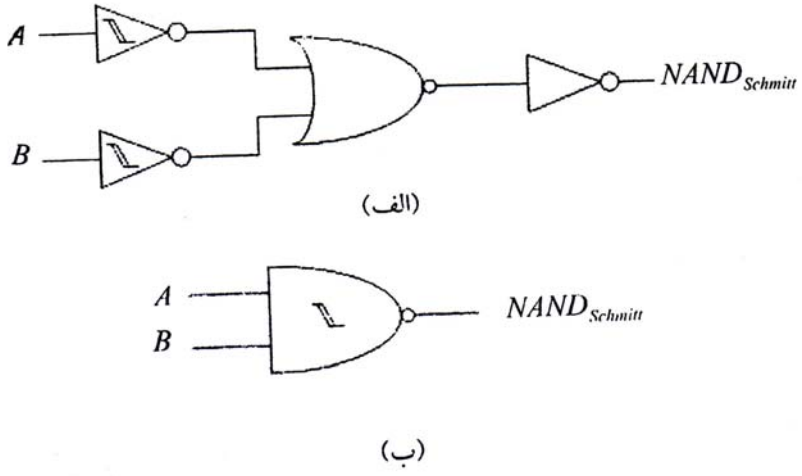
قدرت تحریک کنندگی بالا داشته باشیم، می توانیم یک مدار معکوس کننده اشمیت تریگر با دو مرحله بافر ایجاد کنیم، که هریک باعث افزایش قدرت تحریک کنندگی می شود. شکل ۳۶-۶ چنین مداری است.



شکل ۳۶-۶: مدار معکوس کننده اشمیت تریگر CMOS با خروجی بافر شده برای افزایش تحریک کنندگی خروجی

۵-۴-۶: گیت NAND اشمیت تریگر:

تراشه استاندارد CMOS با شماره ۵۴C۱۳۲/۷۴C۱۳۲ ، شامل گیت های NAND اشمیت می باشند. شکل ۳۷-۶ (الف) مدار این گیت و شکل ۳۷-۶ (ب) سمبل آن را نشان می دهد. هردو ورودی به طور مستقیم به یک معکوس کننده اشمیت وارد می شوند. سپس خروجی های اشمیت به یک مدار معادل گیت OR وارد می شوند.

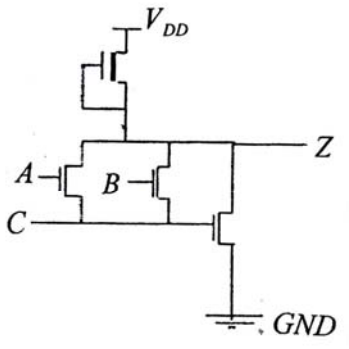


شکل ۳۷-۶: گیت NAND دو ورودی اشمیت؛ (الف) ساختار گیت؛ (ب) سمبل گیت

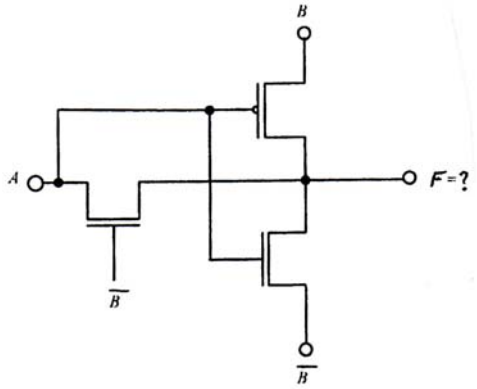
مسائل:

۱- برای شکل ۳۸-۶، Z را به صورت تابعی از C,B,A بنویسید.

۲- در مدار شکل ۳۹-۶، F را به صورت تابعی از B,A بنویسید.



شکل ۳۸-۶: مربوط به مسأله ۱



شکل ۳۹-۶: مربوط به مسأله ۲

۳- تابع $F = [A + \overline{(B + C)}][D + EF]$ را با منطق های NMOS و CMOS بسازید و تعداد ترانزیستورها را در هرحالت مشخص کرده و با یکدیگر مقایسه کنید.