در صورتی که ولتاژ ورودی $V_i = -\infty$ باشد، تراتریستور T1 خاموش بوده و لذا $V_c(T1) = 10$ و خروجی معکوس کننده صفر است لذا : اگر خروجی معکوس کننده صفر است پس $-\frac{V_B - V_i}{100} e \frac{V_B}{56} e \frac{V_B}{10}$ ولی جوابش درست است .

$$V_B(T1) = \frac{V_i}{10^4 1156^k + 100^k}(10^k 1156^k) = 0.078 V_i$$

با افزایش ولتاژ ورودی V_i به نقطهٔ $V_B(T1) = 0/6$ می‌رسیم که در این نقطه تراتریسستور درمرز روشن شدن قرار می‌گیرد. ولتاژ ورودی که باعث این رخداد می‌شود $0/6 = 0/078 V_i \Rightarrow V_i \cong 7/66^v$ خواهد بود.

اگر ولتاژ ورودی به اندازه کوچکی زیاد شود T1 روشن شده و در ناحیه فعال قرار می‌گیرد. با افزایش بیشتر ولتاژ ورودی V_i مقدار $V_c(T1)$ رو به کاهش نهاده تا اینکه به $V_c(T1) = 5/5^V$ برسد. در این زمان با توجه به مشخصه داده شده ، معکوس کننده در آستانهٔ تغییر قرار می‌گیرد و V_i در این حالت به صورت زیر محاسبه می‌شود:

$$i_c = \frac{10 - 5/5}{2/2^k} \cong 2^{mA} \Rightarrow i_B = \frac{1}{B} i_c = \frac{2}{125} = 16/4^{\varpi A}$$

$$KCL(B) = -\frac{V_i - 0/6}{100^k} + \frac{0/6}{10^k} + \frac{0/6}{56^k} + 16/1^{\varpi A} \Rightarrow V_i = 9/31^V$$

در صورتی که V_i اندکی بالا رود معکوس کننده تغییر وضعیت داده و خروجی آن ۱ منطقی خواهد شد. با این عمل بهره چرخشی در مدار ایجاد شده و $V_c(T1)$ رو به کاهش می گذارد تا جائی که به ۰/۲ ولت می‌رسد و در ناحیهٔ اشباع قرار می‌گیرد .در این حالت اگر V_i را هر چه قدر هم زیاد نماییم وضعیت مدار تغییر نکرده و خروجی مدار در صفر منطقی (۰/۲) قرار خواهد داشت.

$$i_c(sat) = \frac{10 - 0/2}{2/2^k} = 4/45^{mA}$$

$$KCL(B): -\frac{10 - 0/6}{56^k} + i_B + \frac{0/6}{10^k} + \frac{0/6 - V_i}{100^k} \Rightarrow i_B = 0/01 V_i + 0/1$$

$$i_c(sat) \prec \beta i_B \Rightarrow 4/45 \prec 125(0/01V_i + 0/1) \Rightarrow V_i \succ -\frac{8/05}{1/25} = -6/44$$

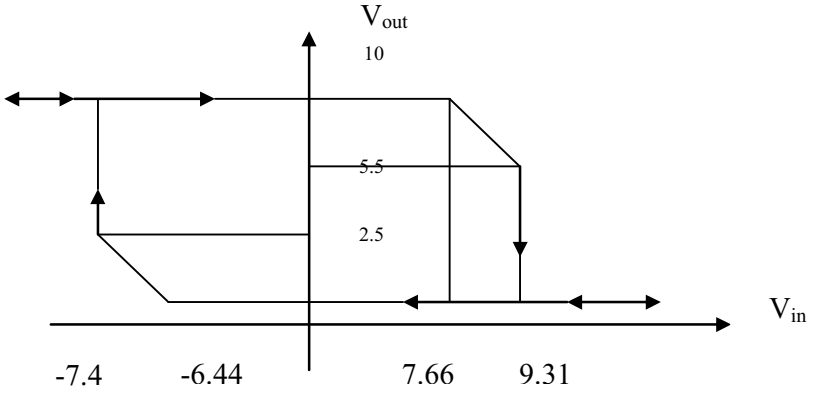
لذا وقتی V_i اندکی از $-6/44^V$ کمتر شود T_1 از ناحیهٔ اشباع خارج شده و وارد ناحیه‌ی فعال می‌شود و از ۰/۲ به اندازه‌ای بالا می‌آید که وقتی به $4/5^V$ می‌رسد معکوس کننده در آستانه‌ی تغییر وضعیت قرار می‌گیرد.

V_i در این حالت به صورت زیر محاسبه می‌شود.

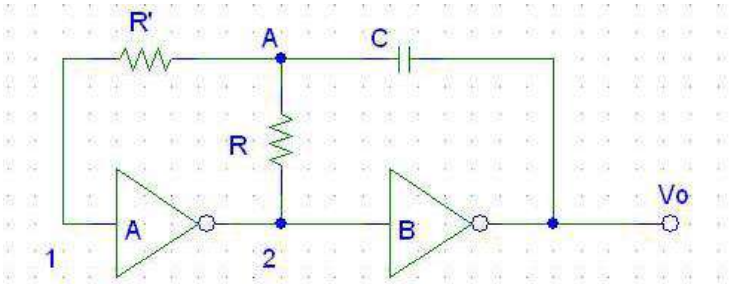
$$i_c = \frac{10-4/5}{2/2^k} = 2/5^{mA} \Rightarrow i_B = \frac{1}{\beta} i_c = 0/02^{mA}$$

$$KCL(B): -\frac{10-0/6}{56^k} + \frac{0/6}{10^k} + \frac{0/6-Vi}{100^k} + 0/02 = 0 \Rightarrow V_i = -7/4^V$$

در صورتی که V_i اندکی کم شود معکوس‌کننده تغییر وضعیت داده و خروجی آن در صفر منطقی قرار می‌گیرد. با این عمل بهره چرخشی در مدار ایجاد شده و $V_e(T_1)$ رو به افزایش می‌نهد تا جایی T_1 خاموش شده و $V_e(T_1) = 10$ می‌شود.

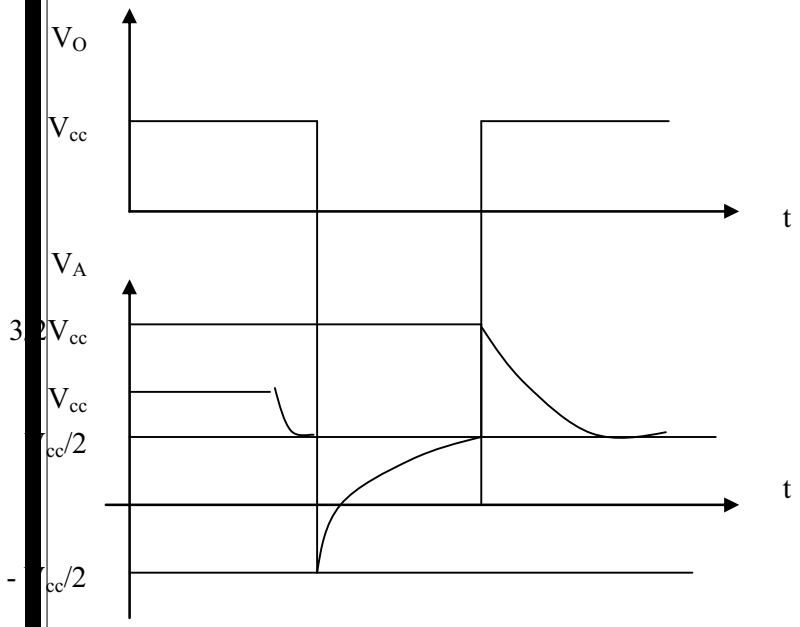


مثال : شکل موج ولتاژ دو نقطه A و V_o را ترسیم نمائید.



مدار بالا یک مولتی ویبراتور نوسانی است. با فرض آنکه $V_o = V_{cc}$ است ولتاژ نقطهٔ 2 صفر و نقطهٔ 1 ، V_{cc} خواهد بود . به دلیل آنکه امپدانس ورودی معکوس کننده I بی نهایت است لذا جریانی از R´ نگذشته و ولتاژ

نقطهٔ A همان 2 خواهد بود. دراین حالت جریانی از R از A به سوی نقطهٔ 2 جاری شده و خازن C شارژ شده و لذا V_A پایین آمده تا اینکه وقتی به $\frac{V_{cc}}{2}$ می‌رسد خروجی معکوس کنندهٔ تغییر I وضعیت داده و نقطهٔ 2 به V_{cc} و V_o به صفر جهش می نماید خازن این ضربه را منتقل نموده و ولتاژ نقطه A به $-\frac{V_{cc}}{z}$ می جهد در این جریانی از R از سوی نقطهٔ 2 به نقطهٔ A جاری شده و V_A اندک اندک بالا می‌رود وقتی به $\frac{V_{cc}}{z}$ می رسد خروجی معکوس کنندهٔA تغییر وضعیت داده و نقطهٔ 2 به صفر و V_o به V_{cc} می جهد. خازن این پرش را منتقل کرده و V_A به $\frac{V_{cc}}{z}$ ۳ می رسد و این روند همچنان ادامه خواهد یافت.



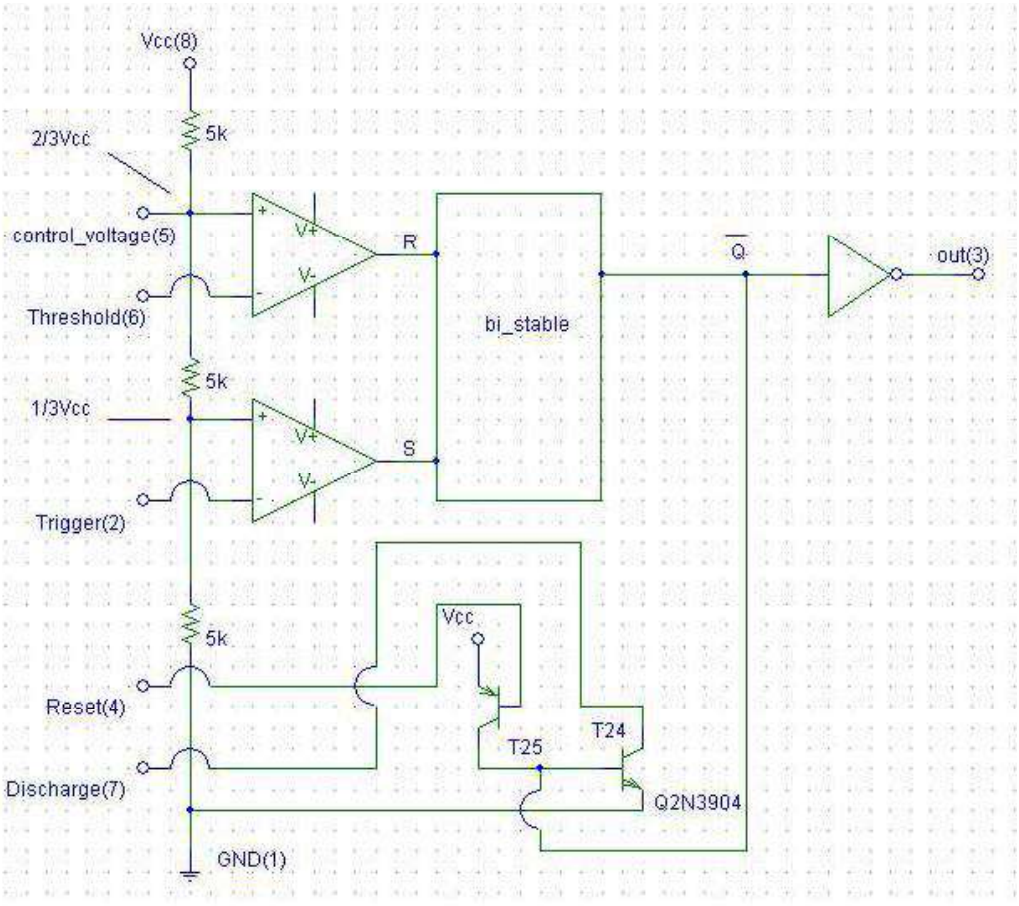
تحقق مولتی ویبراتور ها به کمک آی سی 555

در بسیاری از موارد، به جهت سهولت و سرعت ساخت و قابلیت اعتماد بالاتر، مولتی ویبراتورها و یا اشمیت تریگر را به کمک مدارات مجتمع می‌سازند. Integraled circvit

مدارهای دیجیتال معمولا به منبع پالسی احتیاج دارند که مشخصه های آن به طور دقیق تعیین شده باشد. مولد مزبور ممکن است هر بار تنها یک پالس منفرد با مدت زمان مشخص ایجاد کند و یا سلسله‌ای از پالس‌های متوالی با فرکانس و ضریب اتصال معین را ارائه کند (ضریب به نسبت زمان بالابودن ولتاژ پالس، به مجموع زمان بالا بودن و پایین بودن پالس در یک چرخهٔ کامل تعریف می‌شود. $(\frac{t_{on}}{t_{on}+t_{off}}$

به جای آن که با کمک مجموعه‌ای ازگیت‌های استاندارد مدارهای مولد پالس مورد نیاز را ایجاد نماییم بسیار ساده‌تر و اقتصادی‌تر خواهد بود که از مدارهای مجتمعی که تایمر (زمان سنج) نامیده می‌شوند استفاده کنیم.

آی سی 555 یک زمان سنج همه کاره است که در محدوده وسیعی در هر چهار صورت اشمیت تریگر، مولتی ویبراتور تک حالته، دو حالته، و نوسانی قادر به کار است که معمولا تعداد قطعات خارجی اندکی برای تعیین پارامترهای عملکرد آن مورد نیاز است (از 555 بیشتر در طراحی مولتی ویبراتورهای تک حالته و نوسانی استفاده می‌شود تا اشمیت تریگر و مولتی ویبراتور دو حالته) . در زیر نمونهٔ ساده مدار داخلی آی سی 555 نشان داده شده است.



آی سی 555 از دو تقویت کننده‌ی عملیاتی تشکیل شده است که به عنوان مقایسه کننده مورد استفاده قرار می‌گیرند.

شاخهٔ تقسیم مقاومتی که شامل سه مقاومت 5^{k} که از V_{cc} تا GND امتداد دارد یک شاخهٔ مقسم ولتاژ بوده که ولتاژهای مقایسهٔ لازم را برای دو مقایسه کننده بالایی و پایینی به ترتیب در مقادیر $\frac{1}{3}V_{cc}, \frac{2}{3}V_{cc}$ تأمین می‌نماید. نقطهٔ $\frac{2}{3}V_{cc}$ از مقایسه کننده‌ی بالایی از طریق پایه‌ی ۵ که $ControlVottoge$ (ولتاژ کنترل) نامیده می‌شود برای کنترل خارجی بر روی دوره‌ی تناوب موج‌های خروجی استفاده می‌شود. استفاده از پایه‌ی ۵ اجباری نیست ولی از آنجایی که این پایه ورودی یک مقایسه کننده است هنگام استفاده نکردن از این پایه بهتر است به خاطر ملاحظات ایمنی در برابر نویز آن را با یک خازن $(\cong 10nF)$ به زمین وصل نماییم .

دو پایه‌ی 2 و 6 ورودی دیگر مقایسه کننده‌ها را تشکیل می‌دهند که تنها به سطح ولتاژ حساس هستند. لذا می‌توان هم از پالس ها و هم شکل موج های هموارتر از آن نیز استفاده نمود.

پایه‌ی 6 که Threshold (آستانه) نام دارد ورودی مقایسه کننده‌ی بالایی است. حالت تحت برای این پایه از طریق تغییر ولتاژ آن از سطحی پایین تر از $\frac{2}{3}V_{cc}$ به سطحی بالاتر از آن رخ می‌دهد. یک جریان مستقیم به نام جریان آستانه باید بتواند از مدار خارجی به داخل این پایه جریان یابد که معمولا در حدود 100^{DA} است . این جریان حداکثر اندازه‌ی مقاومتی که میان V_{cc} و این پایه قرار می‌گیرد را تعیین می‌نماید که برای مثال هنگامی که $V_{cc}=5^{V}$ باشد اندازهٔ این مقاومت $16^{M\Omega}$ خواهد بود.

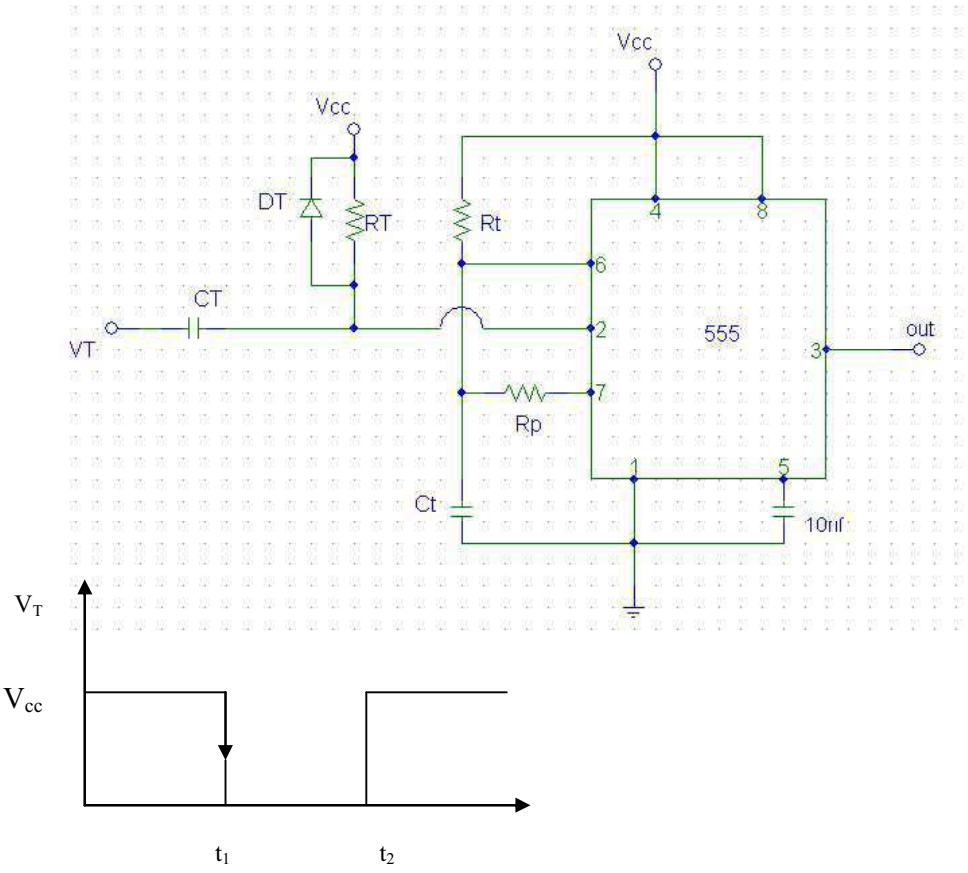
پایه‌ی 2 که $Trigger$ (تریگر) نام دارد ورودی مقایسه کننده‌ی پایینی است. تریگر کردن به این طریق انجام می‌شود که ولتاژ این پایه را از مقداری بیشتر از $\frac{1}{3}V_{cc}$ تا مقداری کمتر از آن تغییر می‌دهیم باید توجه داشت ورودی تریگر نباید مدت زمانی بیشتر از یک دوره تناوب کار مدار، در ولتاژی پایین تر از $\frac{1}{3}V_{cc}$ نگاه داشته شود در غیر اینصورت در پایان هر پالس خروجی، دوباره مدار تریگر می‌شود. بنابراین زمان تأثیر ورودی تریگر به نحو موثری باید از طریق مشتق‌گیری کوچک شود. همانند پایه‌ی آستانه جریان مستقیمی به نام جریان تریگر باید از پایه‌ی تریگر به داخل مدار خارجی جریان یابد. این جریان در حدود 500^{nA}بوده و حداکثر مقاومت میان این پایه به زمین را معین می‌نماید برای مثال هنگامی که $V_{cc}=5^{v}$ باشد اندازه‌ی این مقاومت $3^{N\Omega}$ خواهد بود.

پایهٔ 4 که reset (حالت تحسین) نام دارد خروجی را مستقل از وضعیت سایر ورودی ها پایین می‌کشد (عملکرد متقدم). لذا از این ورودی می‌توان برای پایان دادن ناگهانی به پالس‌ها و یا قطع و وصل نوسانات استفاده نمود. پایه‌ی Reset در حقیقت بیس ترانزیستور PNP ، T_{zs} است که امیتر آن به V_{cc} وصل شده است. اگر پایه‌ی Reset به V_{cc} متصل باشد ترانزیستور T_{zs} قطع است ولی در صورتی که به GND متصل شود ترانزیستور T_{zs} روشن و اشباع شده و ولتاژ کلکتور آن به $V_{cc}0/2$ می‌رسد و با این عمل پایه‌ی خروجی ۳ صفر خواهد شد.

پایه‌ی 7 که Discharge (تخلیه) نام دارد کلکتور ترانزیستور NPN ، T_{24} است که امیتر آن به زمین متصل شده است. وضعیت این ترانزیستور مشابه وضعیت طبقه‌ی خروجی است یعنی اگر خروجی پایین باشد T_{24}

روشن است و پایه‌ی ۷ در ولتاژ ۰.۲ قرار می‌گیرد و اگر خروجی بالا باشد T_{24} خاموش بوده و پایه‌ی ۷ در حالت $Hi-Z$ قرار می‌گیرد. از این پایه‌ی برای دشارژ سریع خازن زمان‌بندی و یا زمین نمودن نقاط خاصی از مدار در دو حالت نوسانی و یک حالته استفاده می‌شود. در برخی از موارد می‌توان از این پایه مشابه پایه ۳ به عنوان خروجی کمکی استفاده نمود.

ساخت مدار مولتی ویبراتور تک حالته با استفاده از 555



۱ - تشریح مدار = پایه‌ی ۱ و ۸ برای تغذیه آی سی به ترتیب به V_{cc} و GND متصل شده‌اند و خروجی از پایه‌ی ۳ آی سی گرفته شده است. پایه‌ی ۴ که برای Reset به کار می‌رود به V_{cc} متصل شده است لذا هیچ تأثیری در خروجی به وجود نخواهد آمد.

پایه‌ی ۵ که کنترل ولتاژ نامیده می‌شود توسط یک خازن 10nf به زمین متصل شده است تا اثرات نویز بر پایه‌ی ۵ که ورودی مقایسه کننده است را خنثی نماید. مقاومت R_p صرفا نقش محافظتی برای ترانزیستور T_{24} داشته و اندازه‌ی آن بسیار کوچک انتخاب می‌شود.

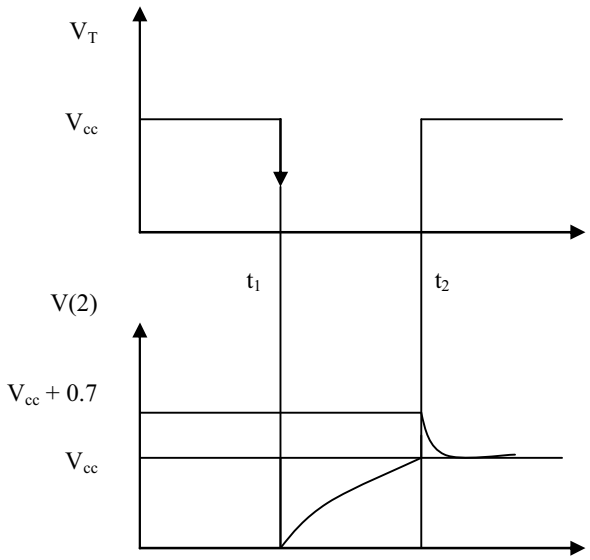
در مدار بالا تنها دو عنصر R_t و C_t به منظور زمان بندی سازی استفاده شده است. از نقطه نظر اقتصادی مصرف توان ، حد پایین R_t را برابر $10^{k\Omega}$ درنظر می‌گیرند اگر چه می‌توان مقدار آن را کمتر از $10^{k\Omega}$ هم اختیار نمود حد بالای R_t در حدود $13^{M\Omega}$ است اما اگر تمام دقت بالقوه 555 مورد نظر باشد باید اندازه‌ی آن کمتر از این مقدار در نظر گرفته شود. حداقل اندازهٔ C_t هم در حدود 100^{PF} است. مقادیر کمتر C_t باعث اهمیت یافتن اثرات خازن های پراکنده ناخواسته شده و صحت مدار را محدود می‌سازد. معمولا به خاطر حداقل نمودن اندازه و قیمت در ابتدا خازن و سپس مقاومت را انتخاب می‌نمایند.

پهنای پالس خروجی $1/1\times R_tC_t$ بوده و پایین ترین حد آن $10^{\mu s}$ است که می‌توان با تغییر R_t و C_t آن را از $10^{\mu s}$ تا مقادیر بسیار بزرگتر هم تغییر داد. باید توجه داشت حد واقعی C_t جریان نشتی آن است نه مقدار ظرفیت آن. چون خازن های بزرگ جریان نشتی بزرگتری دارند. خازن هایی که جریان نشتی کمی داشته باشند تا حدود $10^{\mu F}$ یافت می‌شوند و برای دوره های تناوب طولانی به‌تر هستند.

۲- عملکرد مدار تریگر تنها = با فرا رسیدن زمان t_1 ورودی تریگر V_t ناگهان به صفر ولت می پرد. خازن این ضربه را منتقل کرده و ولتاژ پایهٔ تریگر که قبلا در V_{cc} قرار داشته صفر می‌شود. سپس خازن C_t اندک اندک توسط R_t شارژ می‌شود و ولتاژ پایه‌ی تریگر اندک اندک بالا آمده و قبل از t_z دوباره به V_{cc} می‌رسد.

(تاکنون دیود D_t قطع بوده است) . با فرا رسیدن t_z ورودی تریگر V_t ناگهان به V_{cc} می‌پرد و خازن این ضربه را منتقل کرده و ولتاژ پایه‌ی تریگر را به $2V_{cc}$ می‌رساند ولی در حین این پرش وقتی اند D_t به اندازهٔ ۰.۷ بزرگتر از کاتد آن که در V_{cc} قرار دارد می‌رسد دیود D_t وصل شده و از افزایش ولتاژ پایه‌ی تریگر جلوگیری می‌کند و آن را در $V_{cc}+0.7$ ثابت نگه می‌دارد و با تخلیه خازن اندک اندک به V_{cc} باز می‌گردد.

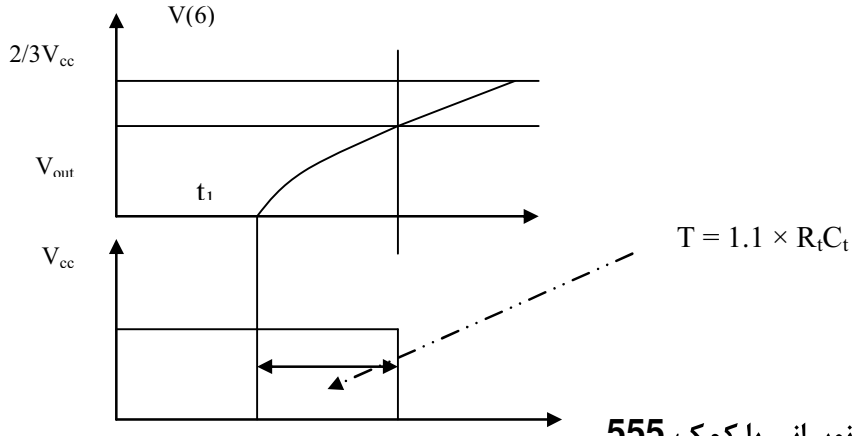
لذا عناصر C_t و R_t تشکیل یک مدار مشتق گیر را می‌دهند و وظیفهٔ دیود D_t حذف ولتاژهای بالاتر از $V_{cc}+0/7$ است. همانطور که مشاهده شده هدف از مدار تریگر آن است که برای مدت کوتاهی ولتاژ پایه‌ی تریگر آی سی را صفر نماید.



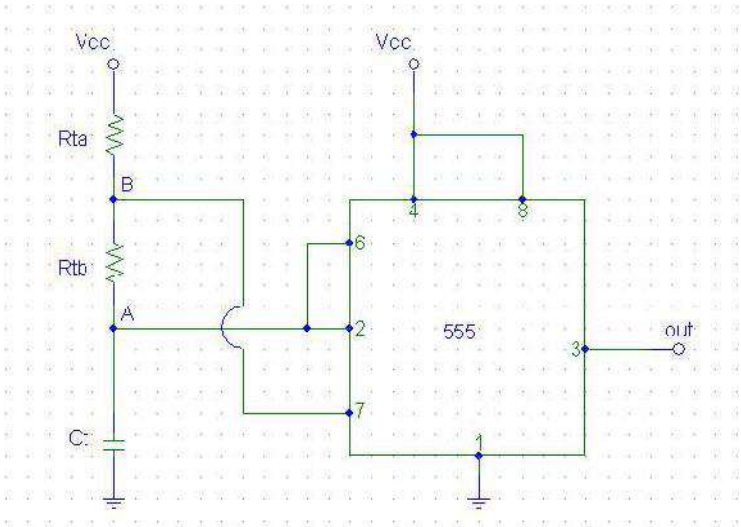
۳- تحلیل مدار = در ابتدا بدون اعمال ورودی تریگر به پایه‌ی ۲ مدار را تحلیل نموده و خروجی پایدار را محاسبه می‌کنیم. قبل از فرا رسیدن زمان t_1 ولتاژ پایه‌ی ۲ ، V_{cc} بوده $(V_{cc} \succ \frac{1}{3}V_{cc})$ و خروجی مقایسه کننده پایینی V_{sat} خواهد بود. این بدین معناست که ورودی S فلیپ فلاپ در صفر منطقی و ورودی R آن در یک منطقی قرار دارد. لذا خروجی $\overline{Q}$ فلیپ فلاپ ۱ بوده و خروجی پایه‌ی آی سی صفر خواهد بود. این حالت پایدار بوده و در آن T_{24} روشن و اشباع است لذا ولتاژ پایه‌ی ۷ آی سی در ۰.۲^{۷} قرار دارد و جریانی از V_{cc} و از طریق R_t و R_p وارد کلکتور T_{24} می‌شود. (توجه شود پایه‌ی شماره ورودی تقویت کننده‌ی عملیاتی محسوب شده و جریان بسیار اندکی از آن می‌گذرد و آن را صفر در نظر می‌گیریم. همچنین توجه شود که اندازه‌ی مقاومت R_p بسیار کوچک است و در اغلب موارد اصلا در مدار گذاشته نمی‌شود ولی به هر حال به خاطر کوچکی آن می‌توان نتیجه گرفت که وقتی T_{24} روشن باشد ولتاژ صفحه ای بالایی خازن را می‌توان صفر در نظر گرفت).

با فرا رسیدن t_1 و اعمال ورودی تریگر ولتاژ پایه‌ی تریگر آی سی برای لحظه‌ای صفر می‌شود و لذا $(0 \prec \frac{1}{3}V_{cc})$ خروجی مقایسه کننده پایینی $+V_{sat}$ خواهد شد. این بدان معناست که ورودی **S** فلیپ فلاپ در یک منطقی قرار می‌گیرد لذا خروجی $\overline{Q}$ صفر می‌شود و خروجی پایه‌ی ۳ آی سی یک خواهد شد.

با یک شدن خروجی، T_{24} خاموش شده و پایه ۷ در حالت $Hi-z$ قرار می‌گیرد. در این هنگام C_t از طریق R_t شارژ شده و لذا ولتاژ پایه‌ی بالایی آن اندک اندک بالا می‌رود تا به V_{cc} برسد ولی در این میان وقتی ولتاژ پایه‌ی بالای آن به $\frac{2}{3}V_{cc}$ برسد به علت اتصال سربالای خازن به ورودی مقایسه کننده اول (ورودی شماره ۶ آی سی) خروجی آن ۱ شده و لذا خروجی آی سی 555 صفر می‌شود و مدار به حالت پایدار قبلی خود باز می‌گردد و همچنان در این حالت باقی خواهد ماند تا این که پالس تحریک دیگری دریافت نماید.

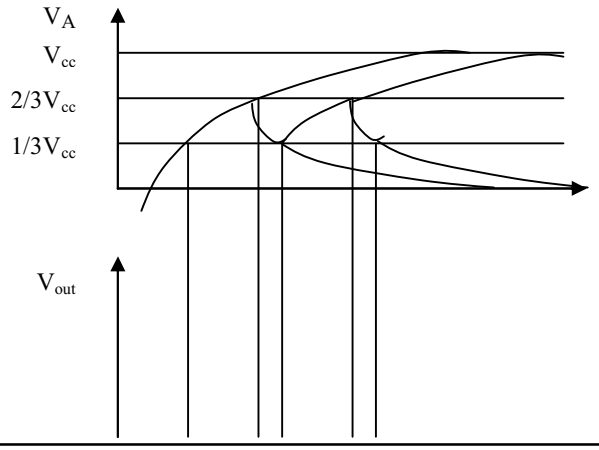


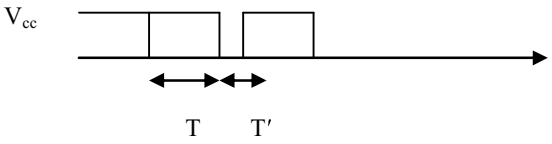
ساخت مدار مولتي ويبراتور نوساني با كمک 555



برای تحلیل مدار فرض می‌کنیم خروجی یک است. این بدان معنی است که $SR=10$ بوده و لذا $V(6) \prec \frac{2}{3}V_{cc}$ و $V(2) \prec \frac{1}{3}V_{cc}$ خواهند بود. چون دو پایه‌ی ۲ و ۶ به هم متصل شده‌اند لذا $V(2)=V(6) \prec \frac{1}{3}V_{cc}$ خواهد بود. چون خروجی یک است لذا T_{24} خاموش شده و پایه‌ی ۷ در حالت $Hi-Z$ قرار می‌گیرد و خازن C_t از طریق R_{ta} و R_{tb} شارژ می‌شود. با این عمل ولتاژ صفحه بالایی خازن اندک اندک بالا آمده و به V_{cc} نزدیک می‌گردد. در این میان وقتی ولتاژ به $\frac{1}{3}V_{cc}$ برسد مقایسه کننده‌ی پایینی تغییر وضعیت داده و $SR=00$ می‌شود که تغییری را در خروجی ایجاد نمی‌نماید ولی هنگامی که ولتاژ به $\frac{2}{3}V_{cc}$ برسد مقایسه کننده بالایی تغییر وضعیت داده و $SR=01$ خواهد شد. در این حالت خروجی صفر می‌شود. با صفر شدن خروجی T_{24} روشن شده و نقطه B زمین شده و لذا خازن C_t از طریق R_{tb} به سمت کلکتور R_{24} دشارژ می‌شود (توجه شود دو جریان متفاوت وارد کلکتور T_{24} می‌شوند. یک جریان از V_{cc} و از طریق R_{ta} و دیگری از خازن و از طریق R_{tb} است) . با دشارژ شدن C_t ولتاژ صفحه بالایی آن اندک اندک کم می‌شود و هنگامی که از $\frac{2}{3}V_{cc}$ کمتر می‌شود $R=0$ شده و هنگامی که به $\frac{1}{3}V_{cc}$ می‌رسد $S=1$ شده و خروجی تغییر وضعیت داده و یک می‌شود و این چرخه به طور مشابه تا بی‌نهایت ادامه خواهد یافت. در این حالت موج مثلثی در نقطه A (دو سرخازن C_t) ایجاد می‌شود. توجه شود اگر $R_{tb} \succ\succ R_{ta}$ انتخاب شود موج مثلثی به موج مربعی تبدیل می‌شود. دورهٔ تناوب کلی خروجی (P) مجموع زمان بالا بودن خروجی (T) و زمان پایین بودن آن (T') خواهد بود.

$$T=\overbrace{0/693}^{-\ln\frac{1}{2}}(R_{ta}+R_{tb})C_t$$
$$T'=0/693R_{tb}C_t$$
$$P=T+T'=0/693(R_{ta}+2R_{tb})C_t$$

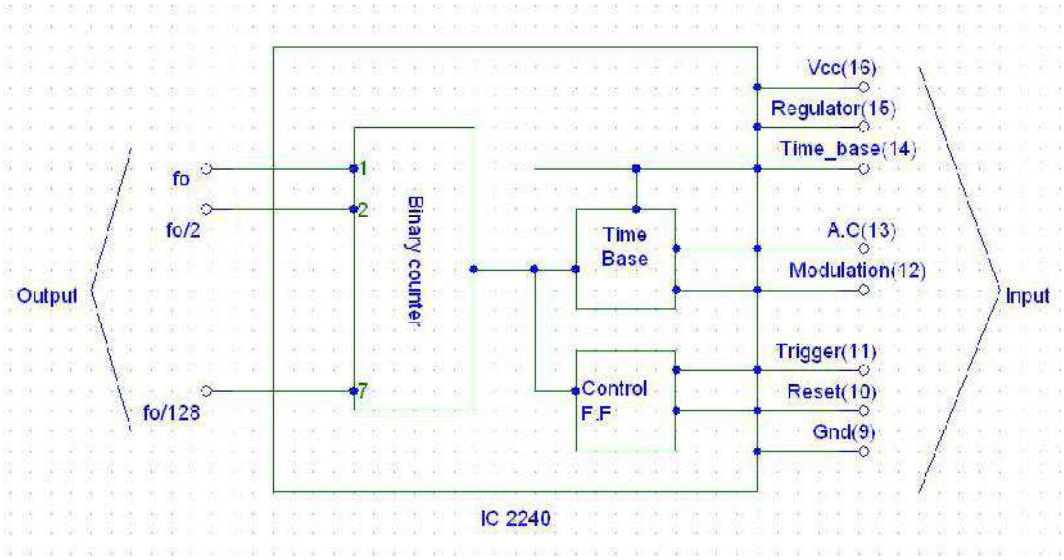




IC 2240 (تایمر قابل برنامه‌ریزی)

استفاده از تایمر 555 محدودیت دارد به طوری که با استفاده از مدارهای RC استفاده شده فرکانس‌های خیلی بالا یا پایین را نمی‌توان با آن ایجاد نمود. برای تولید فرکانس‌های بالا از کریستال و برای تولید فرکانس‌های پایین (زمان تناوب طولانی) از شمارنده استفاده می‌نمایند.

آی سی 2240 نمونه‌ی پیشرفته‌ی تایمر 555 است که در بسته‌های 16DIL پایه ارائه شده است. این آی سی با محدوده‌ی وسیعی از ولتاژهای تغذیه از 4-15 ولت کار می‌نماید و قادر است مبنای زمانی قابل اطمینانی از 10 تا 10n ایجاد نماید. این آی‌سی شامل نوسان‌ساز مولد مبنای زمانی داخلی (Time base generator) و مقسم فرکانس مبنای دو 8 طبقه بوده که امکان دسترسی به زنجیره‌ی تقسیم فرکانس را بین 1 تا 255 فراهم نموده است. در شکل زیر ساختمان داخلی این آی‌سی را مشاهده می‌کنید.

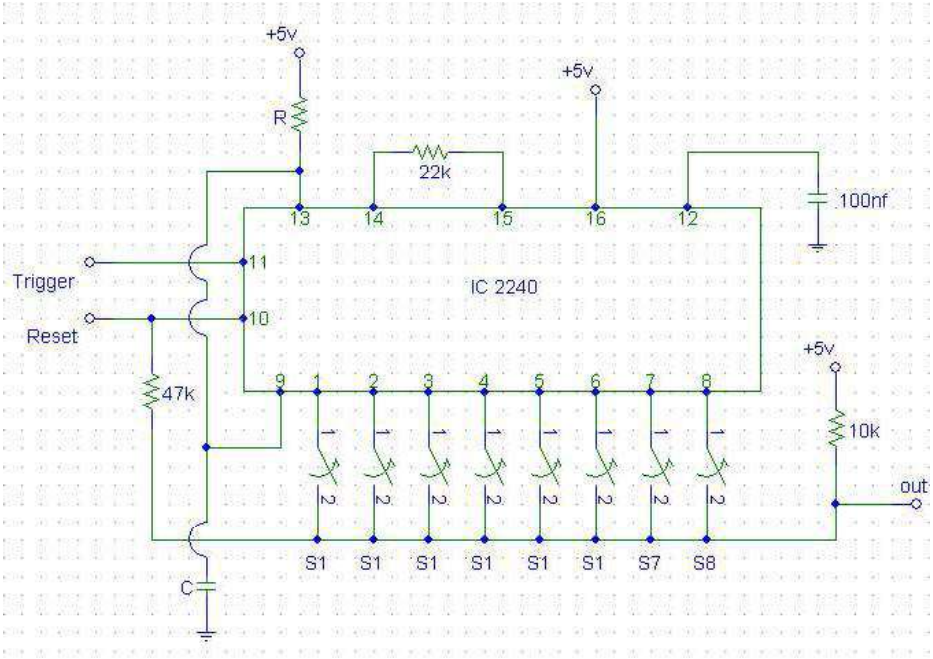


با اعمال پالس مثبتی به پایه‌ی تریگر (پایه‌ی شماره‌ی ۱۱) نوسان‌ساز مدار مبنای زمانی و مقسم فرکانس فعال شده تمامی خروجی‌های ۱ تا ۸ در سطح منطقی پایین قرار می‌گیرند. به این ترتیب شمارش در مبنای ۲ آغاز می‌شود و خروجی از صفر (وقتی تمام خروجی‌ها صفر باشند) تا ۲۵۵ (وقتی تمام خروجی‌ها یک باشند)

تغییر خواهد نمود. مبنای زمانی اصلی مبتنی بر دوره تناوب نوسان ساز آی‌سی را می‌توان از پایه‌ی ۱۴ به دست آورد .

با ترکیب‌های ممکن در هر یک از ۸ خروجی می‌توان تایمر را در لحظه‌ای معین ریست نمود. این عمل به این صورت انجام می‌شود که چون خروجی‌ها از نوع کلکتور باز هستند می‌توان آنها را به صورت wired – And پیکربندی نمود به طوری که تنها در صورتی که ولتاژ تمامی خروجی‌های متصل شده به هم بالا رود، ولتاژ خروجی بالا خواهد رفت. اما اگر ولتاژ یکی از خروجی‌ها پایین باشد ولتاژ خروجی اصلی مدار نیز پایین است.

برای مثال به پیکربندی آی‌سی ۲۲۴۰ به صورت یک مولتی ویبراتور تک حالته دقت نمایید.



با استفاده از کلیدهای S_1 تا S_8 می‌توان ترکیبی از نمای بیتی متفاوتی را ایجاد کرد. ارزش رقمی کلیدهای مزبور به صورت زیر است.

به عنوان مثال اگر S_2، S_3 و S_7 همه در حالت روشن قرار گیرند با اعمال تریگر به آی‌سی، شمارش از 00000000 آغاز شده و وقتی به 01000110 (70 = 2 + 4 + 64) برسد پایه‌ی ریست در منطق 1 قرار گرفته و مبنای زمانی و شمارنده غیر فعال شده و ولتاژ هر هشت خروجی بالا خواهد رفت. همان‌طور که در شکل مشاهده می‌نمایید می‌توان با اعمال یک پالس مثبت به پایه‌ی ریست، خروجی آی‌سی را زودتر از موعد مقرر متوقف نمود.

دو عنصر C و R قطعات زمان بندی آی‌سی را تشکیل می‌دهند و اگر مبنای زمانی اصلی مدار یک میلی ثانیه باشد دوره تناوب خروجی در پایه‌ی ۱۵ برابر 70 ms خواهد بود. با تغییر جزئی مدار واتصال دایمی پایه‌ی ریست به زمین می‌توان یک مولتی ویبراتور نوسانی را ایجاد نمود.

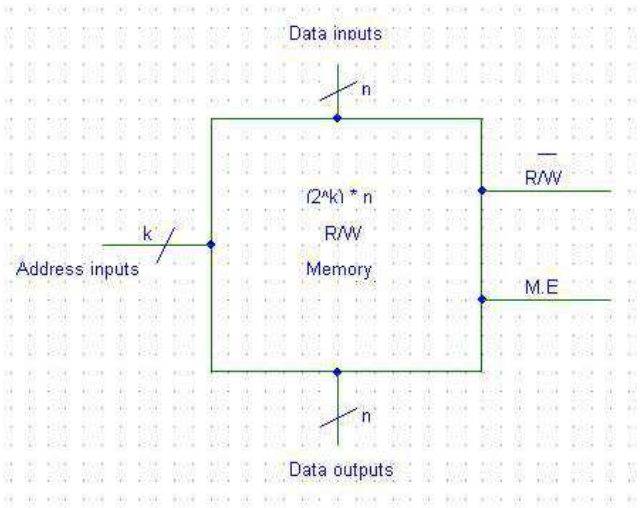
حافظه‌ی با دستیابی تصادفی (Random-Acess Memory)

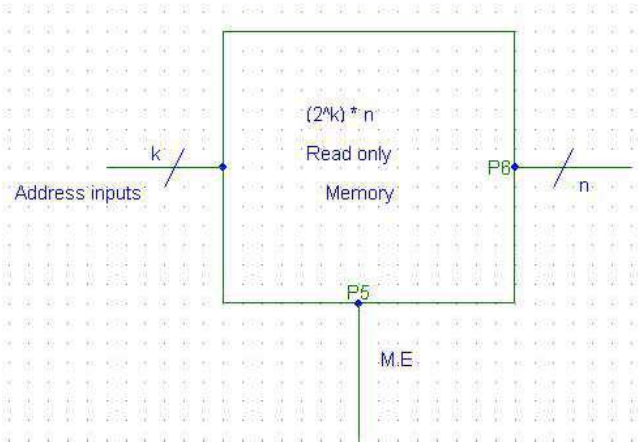
یک واحد حافظه مجموعه‌ای از سلول‌های ذخیره به همراه مدارات لازم برای انتقال اطلاعات به داخل و یا خارج از آن است. یک سلول حافظه قطعه یا مدار الکتریکی است که برای نگه‌داری یک بیت (0 یا 1) استفاده می‌شود و چون دسترسی به این سلول‌ها از هر مکان به صورت تصادفی صورت گرفته و موقعیت فیزیکی آن تاثیری بر مدت زمان لازم برای خواندن یا نوشتن در آن سلول ندارد، لذا نام حافظه با دستیابی تصادفی به آن اطلاق می‌شود.

در یک حافظه با دسترسی تصادفی (RAM) در مقابل یک حافظه با دسترسی ترتیبی SAM (sequential-Access Memory) قرار دارد که در آن زمان دسترسی ثابت نبوده و بسته به آدرس یک موقعیت متفاوت است. در این حافظه برای رسدن به یک موقعیت ذخیره شده خاص لازم است که تمامی موقعیت‌های قبل از آن پیموده شوند.

یک کلمه حافظه (Memory Word) گروهی از بیت‌ها یا (سلول‌ها) است که یک دستورالعمل و یا داده‌ای از یک نوع را مشخص می‌نماید. ظرفیت (capacity) یک واحد حافظه معمولا به صورت m × n بیان می‌شود که m تعداد کلمات بوده و n تعداد بیت‌ها در هر کلمه است. برای مثال یک حافظه‌ی 4 k × 20 دارای 4 k = 4 × 1024 = 4096 کلمه بوده که هر کلمه‌ی ان شامل 20 بیت است .

تبادل اطلاعات میان حافظه و محیطش از طریق یک سری خطوط صورت می‌گیرد که به طور معمول خطوط ورود و خروج داده، خطوط انتخاب آدرس و خطوط کنترلی هستند. توجه شود که یک حافظه با دسترسی تصدفی به طور کلی به دو نوع حافظه‌ی قابل نوشتن و خواندن (R/W Memory) و حافظه‌ی فقط خواندنی (Read only Memory) تقسیم می‌شود.





خطوط ورودی داده ، اطلاعاتی را که قرار است در حافظه هنگام عمل نوشتن ذخیره شود فراهم آورده و خطوط خروجی داده، اطلاعات خارج شده از حافظه را تهیه می‌نمایند. برای کاهش تعداد پایه‌های بسه‌ی حافظه، اغلب حافظه‌های RAM دارای خطوط داده‌ی ورودی و خروجی مشترک هستند. این پایانه‌ی مشترک دو جهته بوده و در عمل خواندن به صورت خروجی و در عمل نوشتن در نقش ورودی هستند.

خطوط آدرس کلمه خاصی را از میان ... کلمات حافظه انتخاب می‌نمایند که این عمل توسط دیکدر داخل حافظه صورت می‌گیرد. باید توجه داشت تعداد خطوط آدرس لازم برای یک حافظه به تعداد کل کلماتی که قابل ذخیره‌سازی در آن است وابسته بوده و مستقل از تعداد بیت‌های هر کلمه است .

دو خط کنترل شامل خط $R/\overline{W}$ و خط M.E می‌شود. فرمان کنترلی خواندن سبب می‌شود تا داده‌ی دودویی از داخل حافظه به سوی خط خروجی داده منتقل شود به همین عمل store هم گفته می‌شود. لذا در صورتی که $R/\overline{W} = ۱$ شود عمل خواندن و در صورتی که $R/\overline{W} = 0$ شود عمل نوشتن صورت می‌گیرد.

همان‌طور که ملاحظه شد در حافظه‌ی فقط خواندنی سیگنال کنترلی $R/\overline{W}$ و خطوط ورودی داده وجود ندارند زیرا یک ROM ذاتا حافظه‌ای است که در آن مجموعه‌ی ثابتی از اطلاعات دودویی از قبل ذخیره شده و هر ترکیب بیتی از ورودی آدرس باعث خارج شدن یک کلمه خواهد شد.

خط کنترل دیگری به نام تواناساز حافظه M.E (Memory Enable) وجود دارد که برای جواب دادن یا ندادن حافظه به فرمان خواندن/ نوشتن مورد استفاده قرار می‌گیرد که اغلب در پیاده‌سازی توسط چندین واحد حافظه به کار می‌رود. به تواناساز حافظه گاهی اوقات انتخاب کننده تراشه CS (Chip Selsct) هم گفته می‌شود.

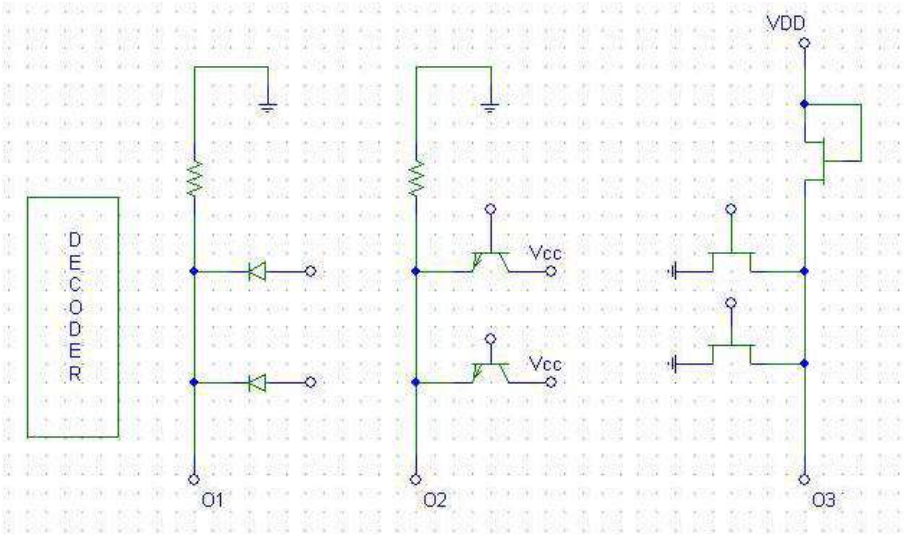
Read Only Memory Types

عمل یک ROM را می‌توان به دو طریق مختلف تعبیر نمود. به اول می‌توان گفت ROM قطعه‌ای است که هر مدار ترکیبی را پیاده سازی می‌کند. از این نقطه‌نظر هر پایه‌ی خروجی به طور جداگانه به عنوان خروجی یک تابع بول که به فرم مجموع مینترم‌ها یان شده است در نظر گرفته می‌شود. تعبیر دوم ROM را به عنوان یک واحد حافظه با الگوی ثابتی از رشته‌های بیتی که کلمه نامیده می‌شوند در نظر می‌گیرد. ازاین دیدگاه ورودی‌های آدرس یک کلمه‌ی ذخیره شده‌ی خاصی را مشخص می‌کنند که محتویات آن بعدا به خروجی‌ها منتقل می‌شوند (معماری کامپیوتر در طراحی واحد کنترل ریز برنامه‌نویسی شده). قطعات ROM دارای اتصالات ویژه‌ای می‌باشند که قابل قطع شدن یا سوزاندن هستند برای برقرار شدن اتصالات لازم باید اتصالات معینی را سوزاند. پس از این عمل و ایجاد یک الگو در ROM حتی با قطع منبع تغذیه این الگو ثابت باقی می‌ماند.

ایجاد مسیرهای لازم در یک ROM ممکن است توسط خود سازنده در آخرین مرحله‌ی ساخت قطعه انجام شود که به آن Mask Programming گفته می‌شود. در این روش بنا به تقاضای مصرف‌کننده جدول درستی ایجاد می‌شود و از روی آن عکس نگاتیوی به نام mask برای ایجاد مسیرهای لازم ایجاد می‌شود. از

آنجایی که این روش پرهزینه است لذا برنامه‌ریزی mask تنها موقعی اقتصادی است که از یک نوع ROM به تعداد زیادی ساخته شود. طراحی این‌گونه ROM می‌تواند با استفاده از دیود، ترانزیستور Bipolar و یا ترانزیستور MOS صورت بگیرد.

برای مثال در زیر اگر ورودی دیکدر، 00 باشد خط اول انتخاب شده و لذا چون این خط به وسیله‌ی دیود و دو ترانزیستور به خروجی O_1 متصل است لذا این خروجی High خوانده می‌شود.



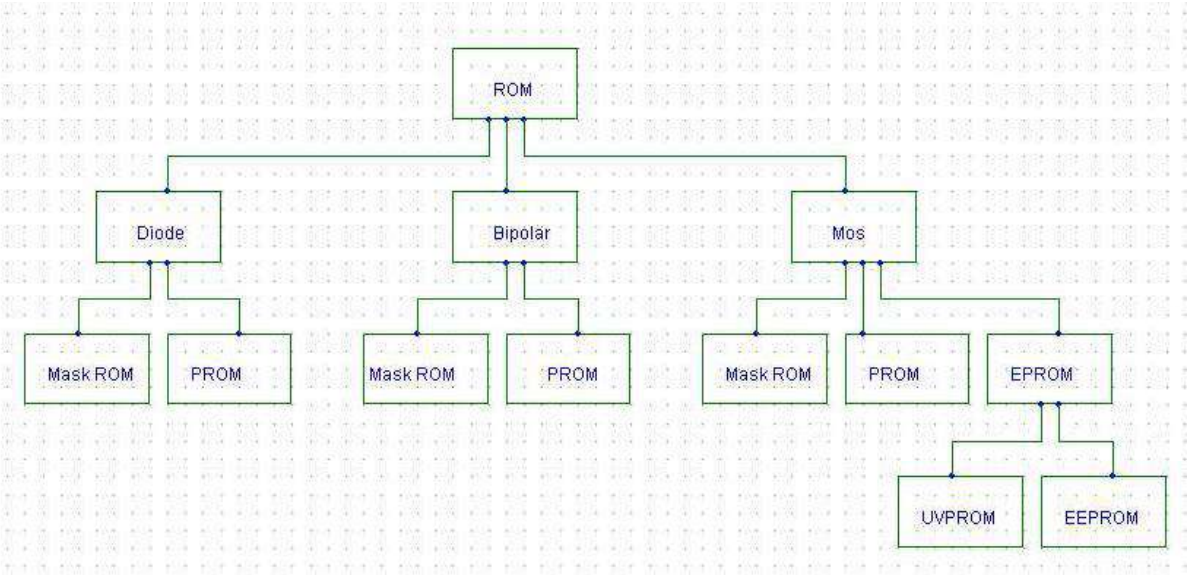
نوع دوم ROM که قابل برنامه‌ریزی است PROM(Programmable ROM) خوانده می‌شود که از پیوندهای فیوزی (Fusible Link) استفاده می‌نماید. این فیوزها به طور معمول درمسیر دیود، بیس ترانزیستور Bipolar و یا گیت ترانزیستور MOS قرار داده می‌شوند. با اعمال پالس‌های جریان از طریق پایانه‌های خروجی می‌توان این اتصالات را قطع نمود. با این روش مصرف کننده می‌تواند خود به راحتی الگوی ارتباطی دل‌خواهش را به وسیله‌ی دستگاهی به نام برنامه‌ریز PROM برروی آن به وجود آورد. این روش غیرقابل برگشت بوده و اگر این قطعات براساس الگوی ثابتی برنامه‌ریزی شوند محتویات آنها به طور دائمی ثابت مانده و لذا هرگونه اشتباه در برنامه‌ریزی آن قطعه را به کلی مخدوش خواهد کرد. عملیات برنامه‌ریزی PROM و چک کردن آن به منظور مطمئن شدن از صحت برنامه‌ریزی اغلب وقت‌گیر است .

سومین نوع از ROM ، EPROM (Erasable PROM) هستند. این نوع ROM را می‌توان برنامه‌ریزی کرده و آن را پاک نمود. سلول‌های ذخیره‌سازی در EPROM ها ترانزیستورهای MOSFET

هستند. در حالت معمول تمامی ترانزیستورها خاموش هستند و هر سلول منطق ۱ را در خود دارد. به وسیله‌ی اعمال یک پالس با ولتاژ بالا به گیت سیلیکونی ترانزیستور، الکترون‌های پر انرژی به داخل آن تزریق می‌شوند که باعث روشن شدن ترانزیستور می‌شود. از آنجایی که هیچ مسیر دشارژی وجود ندارد هنگام قطع پالس الکترون‌های تزریقی، محبوس شده و لذا ترانزیستور حتی با قطع منبع به طور دائم روشن می‌ماند. در این حالت ترانزیستور منطق 0 را به خود می‌گیرد.

پاک نمودن PROM به دو صورت انجام می‌گیرد. UVEPROM ها را زیر تشعشع نور ماورای بنفش قرار داده و با این عمل تمامی الکترون‌های محبوس شده دشارژ شده و ترانزیستورها به حالت خاموش در می‌آیند. این نوع ROM ها به طور معمول دریچه‌ای دارند که از طریق آن اشعه‌ی UV به ترانزیستورها می‌تابد و به طور معمول فرآیند پاک نمودن 15 الی 30 دقیقه به طول می‌انجامد. متاسفانه هیچ راهی برای پاک نمودن سلول‌های انتخابی وجود ندارد و اشعه‌ی UV همه‌ی سلول‌ها را همزمان پاک می‌کند و در منطق 1 قرار می‌دهد.

E^2PROM ها را می‌توان توسط سیگنال الکتریکی پاک کرد. در E^2PROM دیگر نیازی نیست که برای پاک کردن محتویات آن همانند UVEPROM آن را از جای مربوطه خارج نماییم؛ حتی می‌توان تنها کلمات مجزایی از حافظه را پاک نمود و این عمل تنها در مدت زما ن 10 ms انجام می‌گیرد در حالی که در یک UVEPROM هر کلمه‌ی حافظه در 50 ms پاک می‌شود.

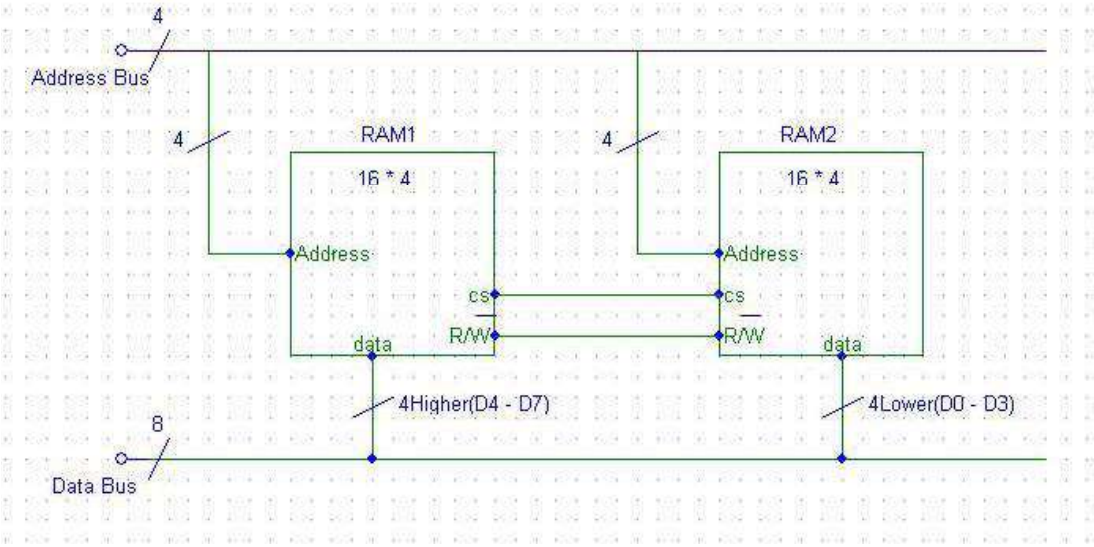


گسترش حافظه (Expanding Memor y)

تراشه‌ی RAM با اندازه‌های مختلف موجودند. اگر واحد حافظه‌ای که برای خاصی لازم است از ظرفیت یک تراشه بیشتر باشد باید از ترکیب چند تراشه به صورت آرایه‌ای جهت تهیه‌ی حافظه‌ی مورد نیاز استفاده نمود. ظرفیت یک حافظه توسط تعداد کلمات و تعداد بیت های هر کلمه معین می‌شود لذا افزایش در تعداد کلمات باعث افزایش طول آدرس و افزایش در تعداد بیت ها باعث افزایش خطوط ورودی و خروجی داده می‌شود.

Expanding word size :

برای مثال فرض کنید حافظه‌هایی با اندازه‌ی 4 × 16 داشته و می‌خواهیم با استفاده از آنها حافظه‌ی 16 ×8 ایجاد نماییم.

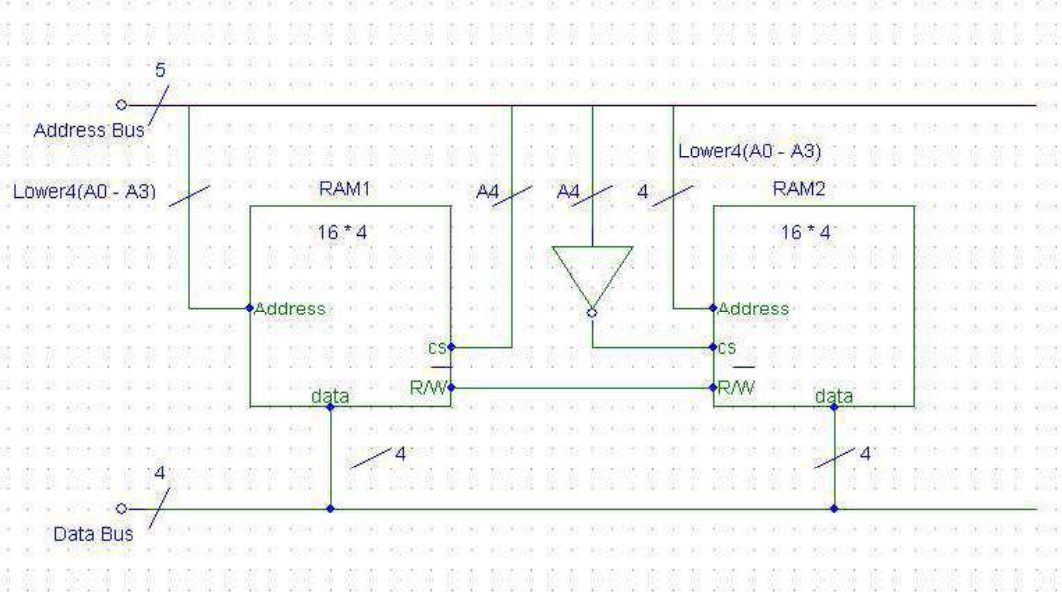


۸ خط داده‌ی ورودی/خروجی میان دو تراشه به دو قسمت تقسیم شده به طوری که چهار بیت با ارزش‌تر داده وارد RAM_1 و ۴ بیت کم ارزش‌تر داده وارد RAM_2 می‌شود لذا هر تراشه ۴ بیت از ۸ بیت داده را در خود ذخیره می‌نماید. هر یک از دو تراشه ۴ بیت خط آدرس دریافت نموده و خطوط کنترل CS و R/ در آنها یکی است لذا برای عمل خواندن آدرس مشابهی به هر دو تراشه اعمال شده و با اعمال فرمان کنترلی خواندن (R/ = 1) به آنها محل های یکسانی از دو حافظه انتخاب شده و محتویات هر کدام بر روی قسمتی از گذرگاه داده قرار می‌گیرد. برای عمل نوشتن نیز ۸ بیت داده بر روی گذرگاه داده قرار گرفته و با معین شدن

آدرس قرارگیری در حافظه سیگنال R/ = 0 فعال می‌شود و ۴ بیت بالا رتبه داده در RAM_1 و ۴ بیت پایین رتبه داده در RAM_2 قرار می‌گیرند.

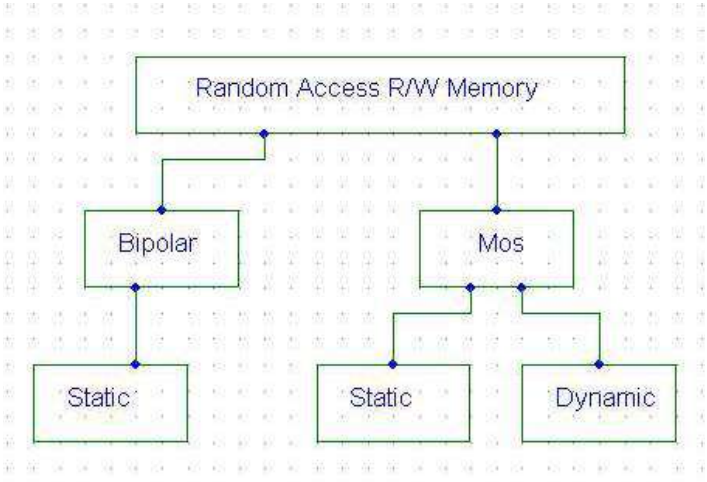
Expanding Capacity :

برای مثال فرض نمایید حافظه‌هایی با اندازه‌ی 4×16 داشته و می‌خواهیم با استفاده از آن ها حافظه‌ی 32 4× ایجاد نماییم .



۴ خط داده خروجی هر حافظه به گذرگاه داده متصل است در حالی که ۴ بیت پایین رتبه از ۵ بیت خط آدرس به حافظه‌ها متصل شده و بیت ۵ام نیز با سیگنال منطقی متفاوت به CS هر حافظه وارد می‌شود. با این عمل در هر آدرس‌دهی از سوی گذرگاه آدرس یکی از حافظه‌ها غیر فعال بوده و تمام چهار خروجی آن صفر است و حافظه‌ی دیگر فعال است ویکی از ۱۶ محل حافظه را به خروجی می‌فرستد. (توجه شود می‌توان بیت بالا رتبه‌ی گذرگاه آدرس را به ورودی یک دیکدر متصل نمود و دو خروجی آن را به ورودی‌های CS تراشه‌ها وصل کرد؛ لذا محدوده‌ی آدرس برای تراشه‌ی حافظه‌ی 2 از 01111 – 00000 و برای تراشه‌ی حافظه‌ی 2 از 11111 – 10000 خواهد بود.

R/W Memory Types



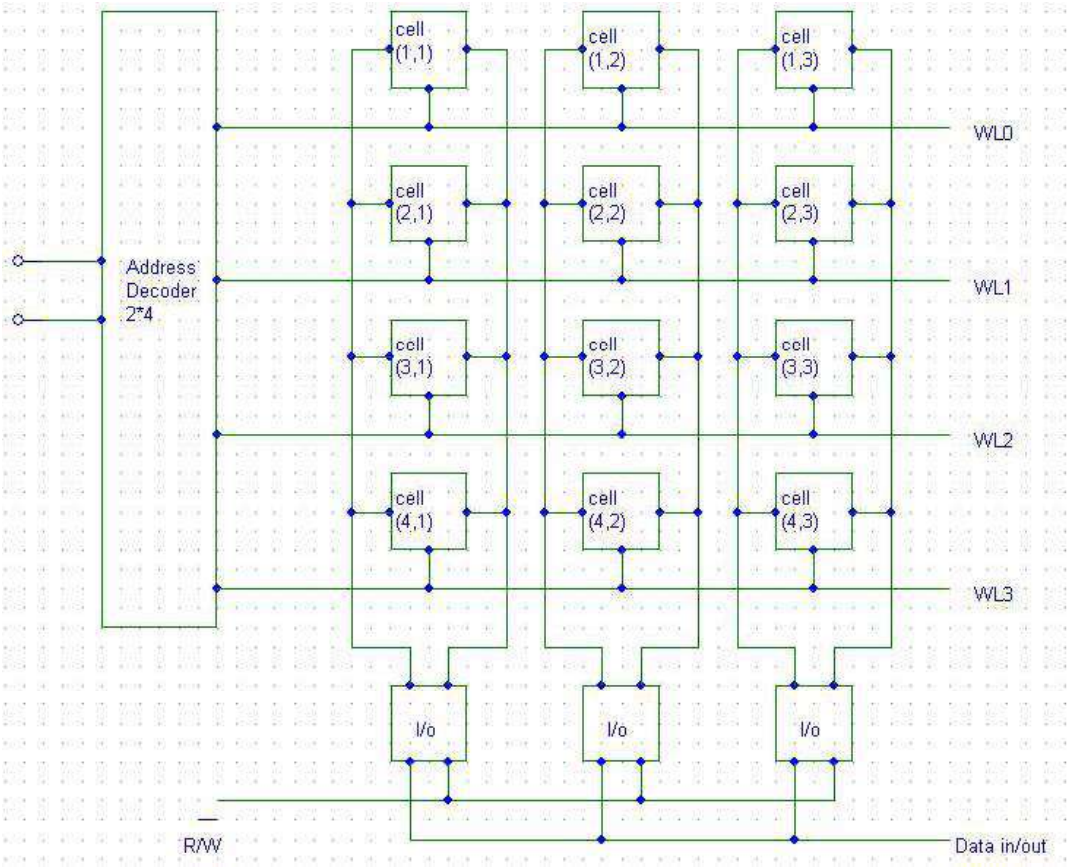
حافظه‌های قابل نوشتن و خواندن با دسترسی تصادفی در دو نوع (static) و دینامیک (dynamic) موجودند. ساختار اصلی سلول‌های یک حافظه‌ی استاتیک از فلیپ فلاپ ساخته شده است که اطلاعات دودویی مادامی که تغذیه برقرار شده به واحد حافظه برقرار باشد باقی می‌ماند. این در حالی است که در نوع دینامیک اطلاعات دودویی در سلول‌ها به صورت بارهای الکتریکی اعمال شده به خازن‌ها نگه‌داری می‌شوند و این بار ذخیره شده حتی با باقی ماندن اتصال تغذیه به حافظه به مرور زمان تخلیه شده و لذا باید آن را متوالیا بازسازی(refresh) نمود. این عمل هر چند میلی ثانیه یک بار برای احیای بار الکتریکی تخلیه شده بر روی خازن‌ها تکرار می‌گردد.

باید توجه داشت هر دوی این حافظه‌ها از نوع حافظه‌های فرار (volatile) هستند، یعنی با قطع تغذیه مدار اطلاعات در آنها پاک می‌شود. این در حالی است که تمامی حافظه‌های مغناطیسی و حافظه‌های فقط خواندنی (ROM) غیر فرار (non volatile) بوده و اطلاعات ذخیره شده در خود را حفظ می‌کنند.

حافظه‌های دینامیک تنها درتکنولوژی MOS قابل پیاده‌سازی هستند در حالی که حافظه‌های استاتیک را می‌توان در هر دو فناوری MOS و Bipolar طراحی نمود. حافظه‌های Bipolar زمان دسترسی بین 7 ns تا 100 ns داشته و هر سلول نیاز به منطقه‌ی بزرگتر و توان مصرفی بیشتری نسبت به حافظه‌های MOS دارد. لذا حافظه‌ی MOS علاوه برتوان مصرفی کمتر قابلیت مجتمع سازی بالایی داشته ولی زمان دسترسی در آنها بیشتر بوده و به طور معمول بین 50 ns تا 400 ns است.

یک حافظه در مجتمع سازی LSI به طور معمول در n کلمه‌ی ۱ بیتی و یا n کلمه‌ی ۴ بیتی سازماندهی می‌شود. این عمل به منظور کاهش تعداد پین‌ها بر روی تراشه حافظه صورت می‌گیرد به طوری که تعداد پین‌ها ۱۶ تا ۲۲ خواهد بود. در زیر سازمان‌دهی یک حافظه‌ی استاتیک را که از ۴ کلمه‌ی ۳ بیتی تشکیل شده است مشاهده می‌نمایید.

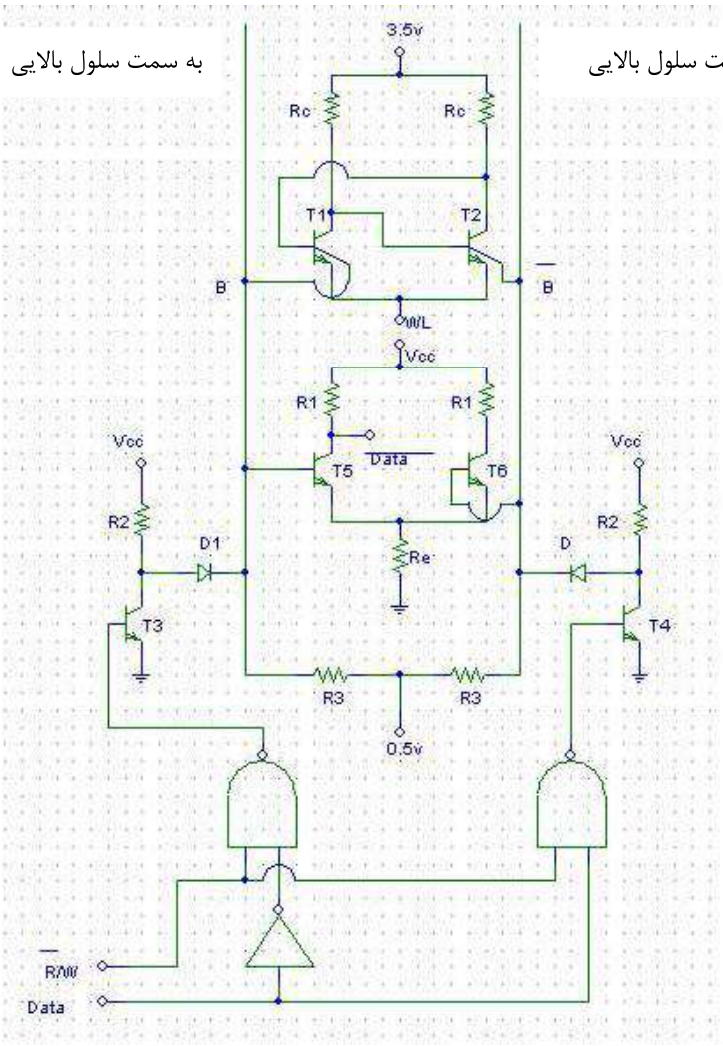
Static Memory



بلوک‌های مربعی cell نمایانگر سلول‌های حافظه هستند که در واقع مدار یک فلیپ فلاپ می‌باشند و بلوک‌های مربعی I/O نمایانگر مدار جانبی هستند که قابلیت‌هایی همچون آدرس‌دهی و یا خواندن/ نوشتن را به سلول‌های مربوطه اضافه می‌نمایند.

حافظه‌ی بالا از ۴ کلمه‌ی ۳ بیتی تشکیل شده است که کلمه‌ی m ام از cell(m,1)-cell(m,2)-cell(m,3) تشکیل شده است. دیکدر تمامی سلول‌های متعلق به یک کلمه را انتخاب نموده تا عملیات خواندن / نوشتن بر روی آنها صورت بگیرد. در عمل خواندن محتویات کلمه‌ی انتخابی به خروجی منتقل می‌شود و در

عمل نوشتن داده‌ی موجود بر روی ورودی در کلمه‌ی انتخابی قرار می‌گیرد. در زیر ساختار سلول‌های Bipolar وMos تشریح می‌گردد.



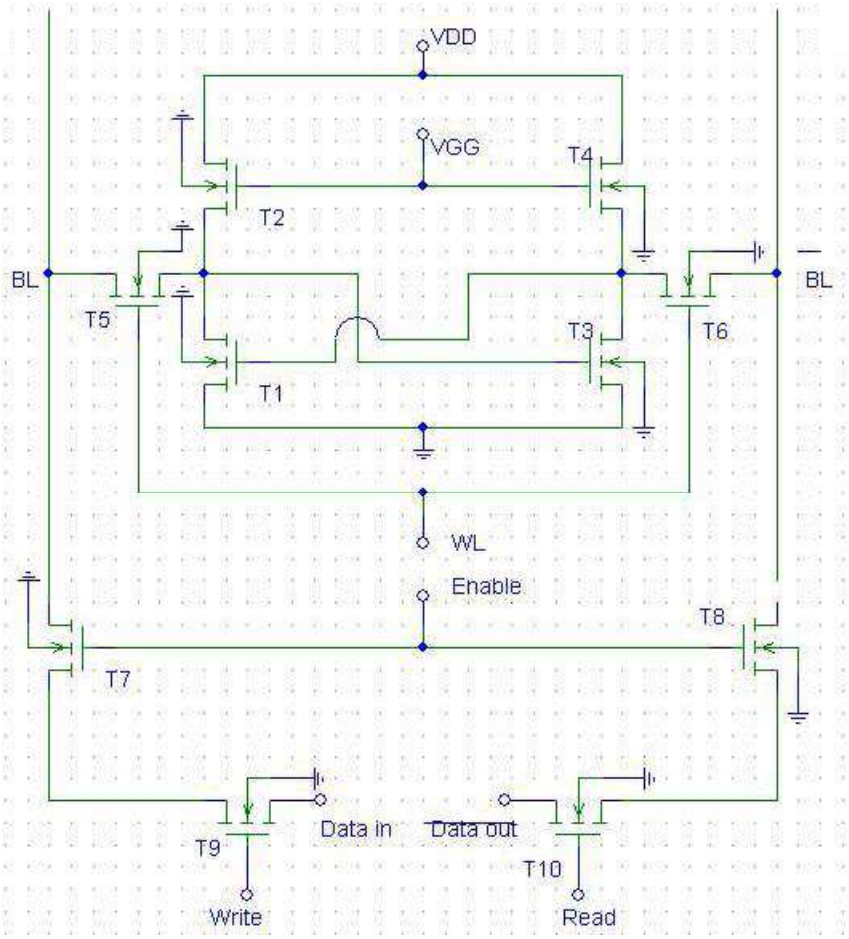
بعد از صورت گرفتن عمل نوشتن WL مربوط به سلول از سوی دیکدر غیر فعال شده و در ولتاژ 0.2v قرار می‌گیرد. با انجام این کار وضعیت ترانزیستور ها به همین حال باقی خواهد ماند و سلول به حالت stand by رفته و جریانی از طریق R_c و امیتر پایین T_1 وارد WL می‌شود.

برای عمل خواندن دوباره دیکدر ولتاژ WL مربوط به سلول را بالا برده و به حدود 3v می‌رساند. سپس R/ = ۰ شده و لذا از داده‌ی ورودی چشم پوشی شده و خروجی دو گیت NAND در یک منطقی قرار خواهد گرفت. با این عمل T_3 و T_4 روشن شده و ولتاژ کلکتور آنها در 0.2v قرار گرفته و لذا هیچ کدام از

دیودهای D_1 و D_2 هدایت نخواهند نمود. چون T_1 روشن و T_2 خاموش بوده و WL = 1 است لذا جریانی از طریق R_c و امیتر بالای T_1 وارد خط BL شده و قسمتی از این جریان وارد B(T5) شده و آن را روشن می نماید. با این عمل Data out در منطق صفر قرار خواهد گرفت (چون Data out = 1 گردیده لذا می‌توان این نتیجه را گرفت که سلول بیت 1 را در خود ذخیره نموده است.)

بعد از عمل خواندن، سلول دوباره به حالت standby می‌رود. باید به این نکته توجه داشت در صورتی که سلول انتخاب نشده باشد جریانی هم از امیتر بالایی ترانزیستورهای T_1 یا T_2 عبور نخواهد کرد و لذا فلیپ فلاپ به عملیات نوشتن احتمالی جواب نخواهد داد ولی حتی اگر سلول انتخاب نشده باشد Data out به هنگام فعال شدن فرمان نوشتن تغییر می‌نماید. لذا هنگام فرآیند نوشتن از داده‌ی موجود در Data out چشم پوشی می‌نماییم تا هنگامی که فرمان خواندن صورت گیرد.

به سمت سلول بالایی

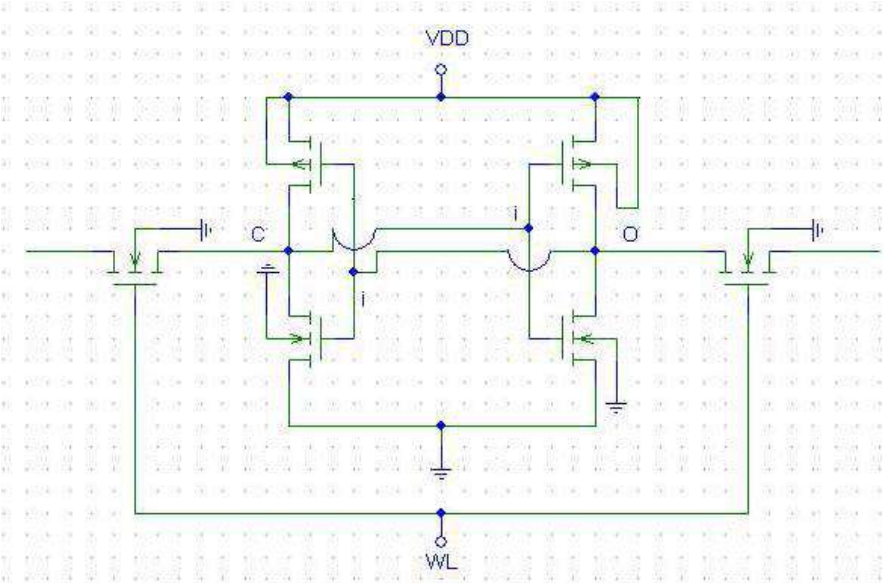


به سمت سلول بالایی

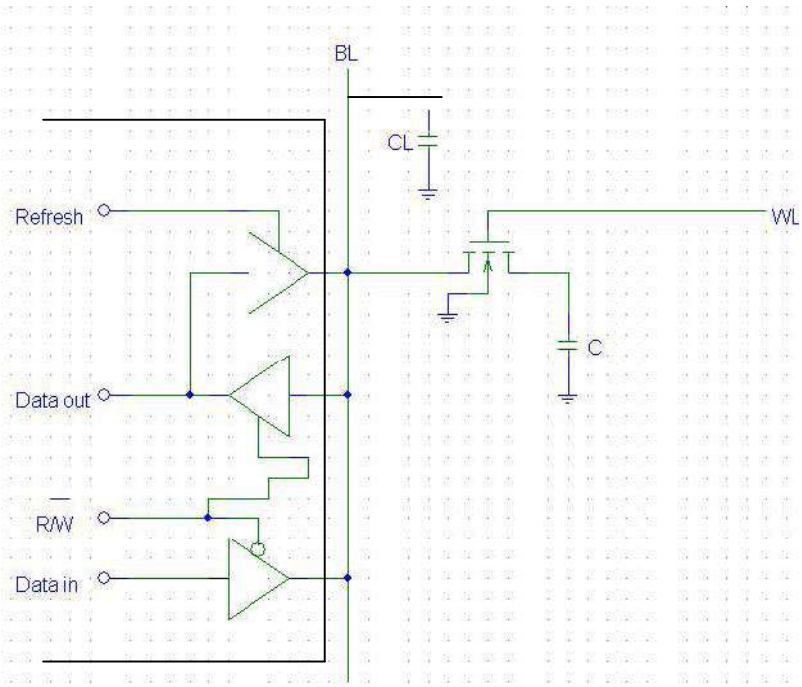
مدار بالا ساختار یک سلول استاتیک MOS را نشان می‌دهد. ترانزیستور های T_2 و T_4 به عنوان مقاومت بار عمل کرده و ترانزیستورهای T_1 و T_3 دو معکوس کننده متصل به هم هستند.

برای عمل نوشتن WL و Write در منطق 1 قرار گرفته و لذا T_1, T_7 و T_5 روشن خواهند بود. اگر داده‌ی ورودی 1 باشد ولتاژ گیت T_3 بالا رفته و روشن می‌شود و اگر داده‌ی ورودی ۰ باشد T_3 خاموش می‌شود. برای عملیات خواندن WL و Read در منطق ۱ قرار گرفته و لذا T_{10} ، T_8 وT_6 روشن خواهند بود، لذا مکمل داده‌ی نوشته شده بر روی سلول در خروجی Data out خوانده می‌شود.

توجه شود ترانزیستورهای ورودی T_9 و خروجی T_{10} می توانند برای تمام سلول های حافظه مشترک باشند. قسمت فلیپ فلاپ سلول صفحه ی قبل با استفاده از NMOS طراحی گردیده است. می‌توان آن را به کمک CMOS نیز مطابق مدار زیر طراحی نمود.



Dynamic Memory



مشکل عمده ای که حافظه های استاتیک دارند آن است که به ترانزیستورهای متعددی برای هر سلول نیاز دارند و لذا مقدار داده‌ی قابل ذخیره سازی در هر واحد سطح کاهش می‌یابد. این مشکل می‌تواند تا حدودی توسط حافظه‌های دینامیک که نمونه‌ی آن را در بالا مشاهده می‌نمایید حل شود. با استفاده از این روش علاوه بر فشرده ساختن بیت‌ها توان مصرفی حافظه نیز به طور چشم‌گیری کاهش خواهد یافت.

برای ذخیره‌ی ۱ در خازن دیکدر، ولتاژ WL را بالا برده تا بدین وسیله ترانزیستور روشن شود .هم‌زمان با این عمل BL در سطح منطقی ۱ قرار گرفته و لذا خازن c به اندازه ی V_{DD} شارژ می‌شود. این خازن بر روی مدار مجتمع ساخته می‌شود و اندازه‌ی آن بسیار کوچک (در اندازه ی0.05 PF) است .

برای دسترسی به سلول، WL بالا رفته و ترانزیستور روشن می‌شود وقتی از بار خازن c در BL تخلیه می‌شود. اگر ظرفیت خازنی پراکنده خط بیت را C_L در نظر بگیریم که به طور معمول خیلی بزرگتر از C است.

هنگام عمل خواندن اغلب بار C به C_L منتقل می‌شود. لذا عمل خواندن در سلول‌های دینامیک مخرب بوده و محتوای سلول را پاک می‌نماید. از طرفی اگر ظرفیت خازن C را بزرگ انتخاب کنیم عملیات نوشتن به زمان

طولانی برای شارژ نمودن خازن نیاز خواهد داشت که مطلوب نخواهد بود. برای حل این مشکل از یک مدار جانبی که مسئول بازسازی (Refresh) بار خازن است استفاده می‌کنیم به طوری که به محض خواندن از سلول، همان داده را دوباره روی سلول می‌نویسیم.

مشکل دیگری که ممکن است ایجاد شود آن است که اگر مدت زمان میان بازسازی سلول ها به طول بیانجامد به دلیل وجود نشتی (Leakage) در خازن ها بار ذخیره شده در آنها اندک اندک از بین می‌رود. لذا برای نگه‌داری داده‌ی سلول‌هایی که ۱ منطقی را در خود نگه می‌دارند باید آن ها را به طور مداوم به وسیله‌ی خواندن سطری سلول‌ها بازسازی نمود. این فرآیند به طور معمول در هر 2ms یک بار صورت می‌گیرد و در حین آن هیچ عملیات خواندن و یا نوشتن مقدور نمی‌باشد.

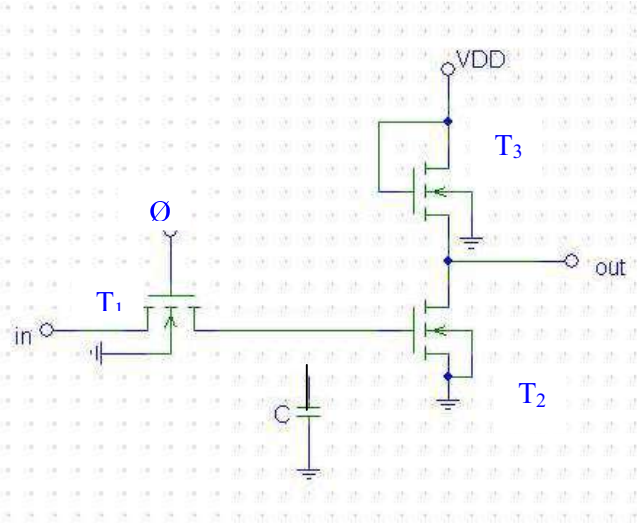
برای حافظه های کوچک (64k word) مدارات لازم برای بازسازی سلول ها در داخل خود حافظه به صورت مجتمع شده طراحی می‌گردد. این درحالی است که برای حافظه های بزرگ (64k word<) از chip جداگانه ای به نام Dynamic Memory Contioner استفاده می‌شود که حاوی تمامی مدارات لازم برای بازسازی سلول‌ها است.

مدارهای منطقی دینامیک MOS (MOS Dynamic circuits)

در مدار زیر یک معکوس‌کننده ساده را مشاهده می‌کنید که T_3 به عنوان مقاومت بار عمل نموده و از نوع MOSFET تهی است. خازن c به صورت خط چین نشان داده شده است که به این معنا است که سرگردان بوده و مشخص کننده‌ی ظرفیت خازنی تصادفی موجود در گیت T_2 است. این خازن کوچک بوده و در حدود 0.5PF ظرفیت دارد واز آن جایی که به وسیله‌ی این خازن می‌توان یک بیت را ذخیره نمود می‌توان عملکرد آن را همانند یک فلیپ فلاپ دانست. به طور معمول به گره‌ای که بتواند یک سطح منطقی را به وسیله‌ی ذخیره‌ی بار در خود نگه دارد Soft Node گویند.

ترانزیستور T_1 همانند یک کلید عمل می‌نماید که در صورتی که ولتاژ گیت آن بالا باشد ($\emptyset = 1$) داده‌ی ورودی را منتقل می‌نماید (حتی اگر سورس آن زمین نباشد) و در غیر این صورت T_1 خاموش بوده و ورودی ایزوله خواهد بود. به همین علت به ترانزیستور T_1، ترانزیستور انتقال (Pass Transistor) گفته می‌شود. (

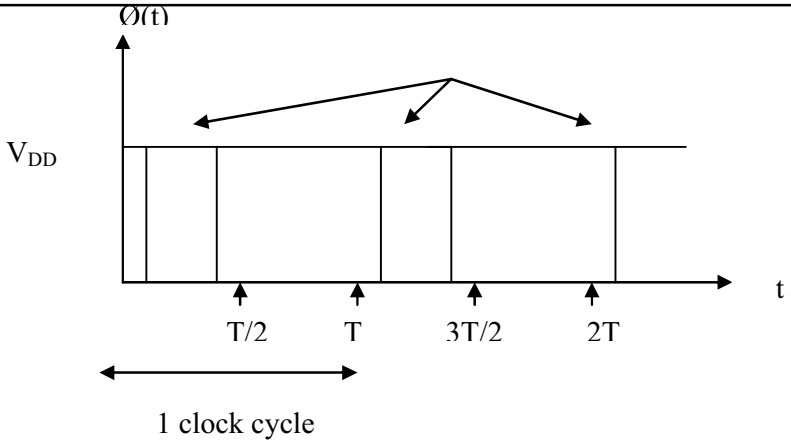
گیت های دینامیک MOS به پالس ساعت نیاز دارند که Ø در حقیقت همان خط منتقل کننده‌ی پالس ساعت خواهد بود) .



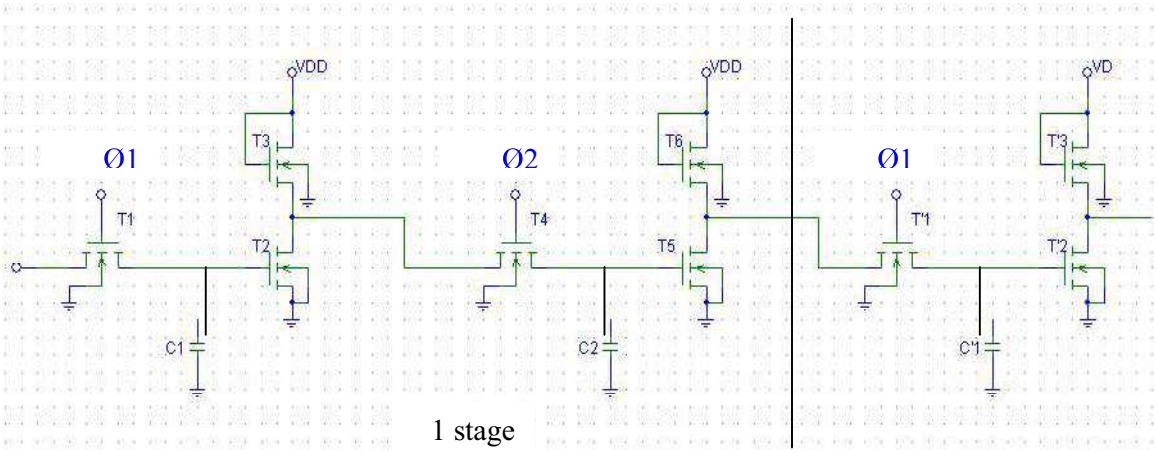
در صورتی که Ø = 1 باشد خازن C به ورودی in متصل می‌شود و با فرض آن که ورودی در 1 منطقی باشد خازن C تا سطح ولتاژ برابر ورودی in شارژ می‌شود. (فرض می‌نماییم در این فاصله‌ی زمانی سطح ولتاژ ورودی in ثابت بماند). در صورتی که Ø = 0 شود T_1 خاموش شده و معکوس‌گر T_2-T_3 داده‌ی نمونه برداری شده توسط خازن C را خواهد دید و خروجی V_{OL} می‌شود ولی باید توجه داشت که بار موجود بر روی خازن به دلیل وجود نشتی به سرعت از بین می‌رود (تقریبا بعد از حدود 1ms). این نشتی تا حدودی از طریق گیت T_2 و همچنین از طریق پیوند بایاس معکوس میان SS-D ترانزستور T_1 صورت می‌گیرد.

در صورتی که از ترانزیستورهای Bipolar برای طراحی این مدار استفاده می‌نمودیم مدت زمانی که خازن C می‌توانست بار را در خود نگه دارد بسیار کوچک می‌بود و لذا استفاده ازاین مدار بسیار ناکارآمد خواهد بود. (شاید به همین خاطر است که برای طراحی حافظه‌های دینامیک نمی‌توان از ترانزیستورهای Bipolar استفاده نمود.)

همچنین در صورتی که Ø = 1 و ورودی در 0 منطقی باشد خازن C تخلیه شده و خروجی معکوس کننده به V_{OH} تغییر وضعیت می‌دهد. می‌توان شکل موج ایده‌ال Ø را به صورت زیر در نظر گرفت.

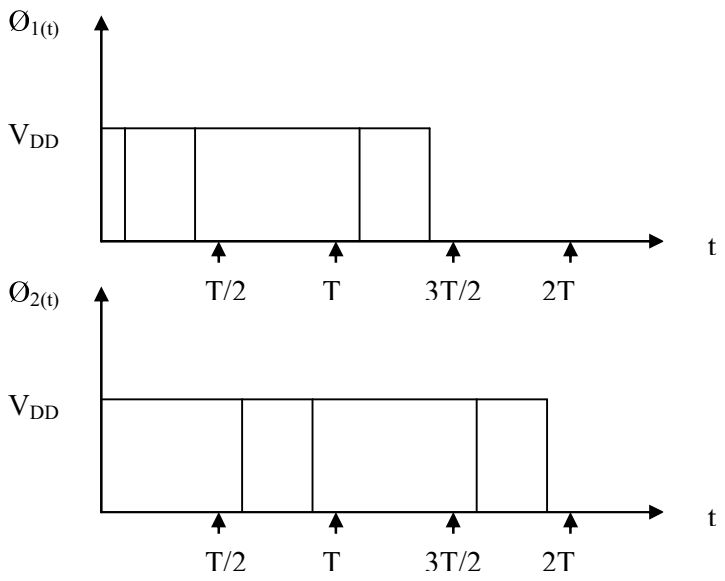


در صورتی که دو معکوس کننده‌ی مدار قبل را در کنار هم قرار دهیم یک shift-register تشکیل می‌شود.



دو ترانزیستور انتقال با ولتازهای گیت متفاوت $Ø_1$ و $Ø_2$ در مدار بالا به چشم می‌خورند. $Ø_1$ و $Ø_2$ دو فازی (2-phase) هستند بدین معنا که هیچ هم پوشانی (over lapping) با هم ندارند یعنی $Ø_1(t)$ $.Ø_2(t) = 0$

با استفاده از پالس‌های ساعت دو فازی می‌توان کنترل بیشتری را بر نحوه‌ی انتقال داده‌ها داشت. $Ø_1$ و $Ø_2$ هم فرکانس بوده که به طور معمول از یک منبع کریستالی ایجاد می‌شوند.



با استفاده از پالس های ساعت دو فازی $Ø_1$ و $Ø_2$ ترانزیستورهای T_1 و T_4 نمی‌توانند به طور هم‌زمان روشن باشند. لذا وقتی که $Ø_1 = 1$ و $Ø_2 = 0$ است، T_1 روشن و T_4 خاموش بوده و داده‌ی ورودی به C_1 انتقال یافته و متمم آن در خروجی معکوس کننده اول آماده می‌شود. در همین زمان متمم داده‌ی ذخیره شده بر روی C_2 نیز به C'_1 در طبقه بعدی منتقل می‌شود. خاموش بودن T_4 به این دلیل است که داده‌ی ورودی جدید، تاثیری در منتقل شدن داده از خازن C_2 به C'_1 ایجاد ننماید.

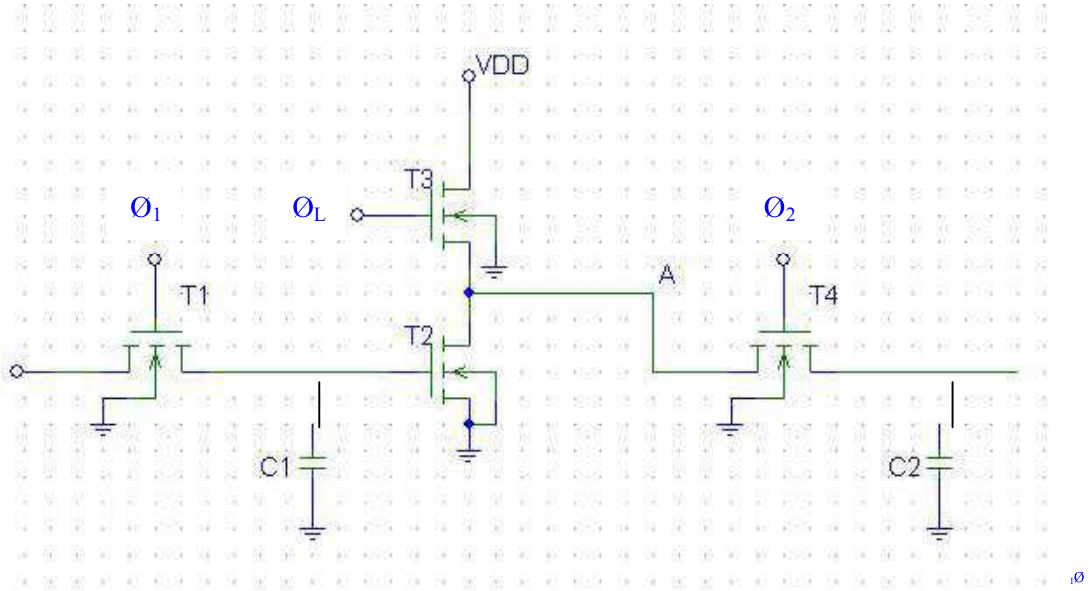
به طور مشابه در cp بعدی وقتی که $Ø_1 = 0$ و $Ø_2 = 1$ شود متمم داده‌ی ذخیره شده C_1 به C_2 منتقل می شود. به شباهت این مدار با master-slave FF دقت نمایید به طوری که C_1-T_2-T_3 همانند فلیپ فلاپ Master و C_2-T_5-T_6 همانند فلیپ فلاپ Slave عمل می‌نمایند.

همان طور که مشاهده شد در صورتی که $Ø_1 = 1$ و $Ø_2 = 0$ باشد و خازن C_1 توسط ورودی شارژ شود، هر دو ترانزیستور T_2 و T_3 روشن هستند و خروجی معکوس کننده آماده و برابر متمم ورودی خواهد بود.

در صورتی که خازن C_1 بدون بار باشد، ترانزیستورهای T_2 و T_3 قطع هستند ولی وقتی $Ø_1 = 0$ و $Ø_2 = 1$ شود متمم C_1 به خازن C_2 منتقل شده وآن را شارژ می‌نماید و لذا هر دو ترانزیستور T_6 و T_5 روشن می‌شوند. در نتیجه روشن بودن زوج ترانزیستورهای T_2-T_3 وقتی $Ø_1 = 1$، $Ø_2 = 0$ باشد و یا روشن بودن

زوج ترانزیستورهای $T_5 - T_6$ وقتی $Ø_1 = 0$ و $Ø_2 = 1$ باشد لزومی نداشته و باعث کشیده شدن جریان از V_{DD} و افزایش توان مصرفی مدار خواهد شد.

با تعویض ترانزیستورهای بار MOSFET نوع تهی با ترانزیستورهای MOSFET نوع افزایشی که به وسیله‌ی سیگنال کنترلی $Ø_L$ کنترل می شوند، می‌توان توان مصرفی مدار را بهبود بخشید که به آن یک shift register دینامیک با ترانزیستورهای بار بهبود یافته گفته می‌شود.



$Ø_L$ را می‌توان به $Ø_1$ یا $Ø_2$ متصل نمود که در هر یک از این حالات رفتار متفاوتی را از مدار مشاهده خواهیم نمود با فرض آنکه $Ø_L$ را به $Ø_2$ متصل نماییم مدار بالا را تحلیل می‌نماییم.

گیت ترانزیستورهای T_3 و T_4 مشترکا به $Ø_2$ متصل است لذا T_3 تنها زمانی هدایت خواهد نمود که T_4 هدایت نماید. در صورتی که $Ø_1 = 1$ و $Ø_2 = 0$ باشد و خازن C_1 توسط ورودی شارژ شود، دیگر ترانزیستورهای T_2 و T_3 روشن نخواهند بود، بلکه هنگامی که $Ø_1 = 0$ و $Ø_2 = 1$ می‌شود معکوس کننده روشن شده و متمم C_1 را به C_2 منتقل می‌نماید.

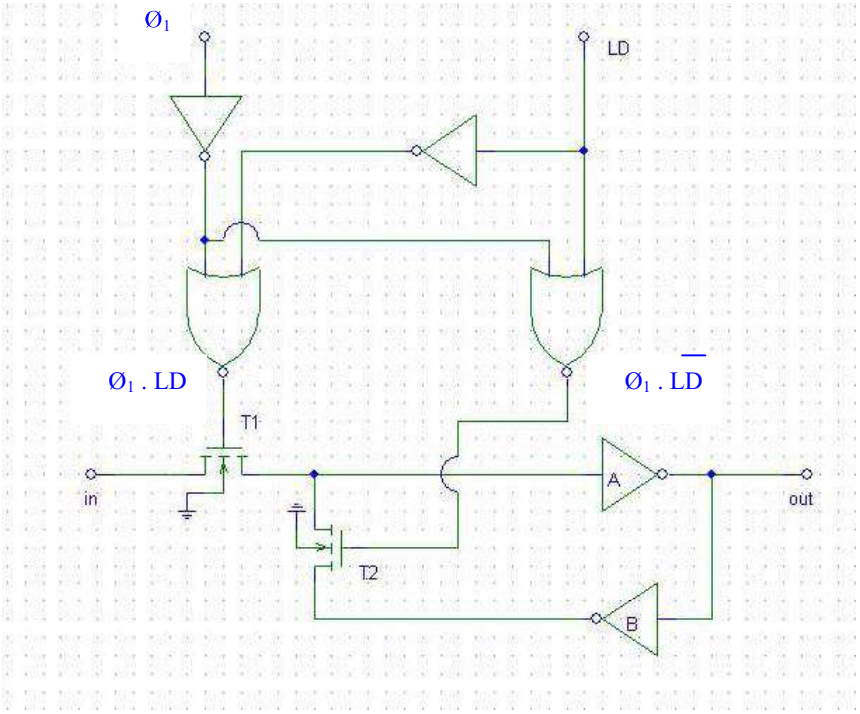
با اتصال $Ø_L$ به $Ø_1$ مدار را دوباره تحلیل می‌نماییم. در این حالت گیت ترانزیستورهای T_1 و T_3 مشترکا به $Ø_1$ متصل است و برای کارکرد درست مدار باید خازن C_3 را در خروجی معکوس کننده اول و در نقطه‌ی A قرار دهیم. در صورتی که $Ø_1 = 1$ و $Ø_2 = 0$ باشد داده‌ی ورودی به C_1 و متمم آن به C_3 منتقل می‌شود. وقتی

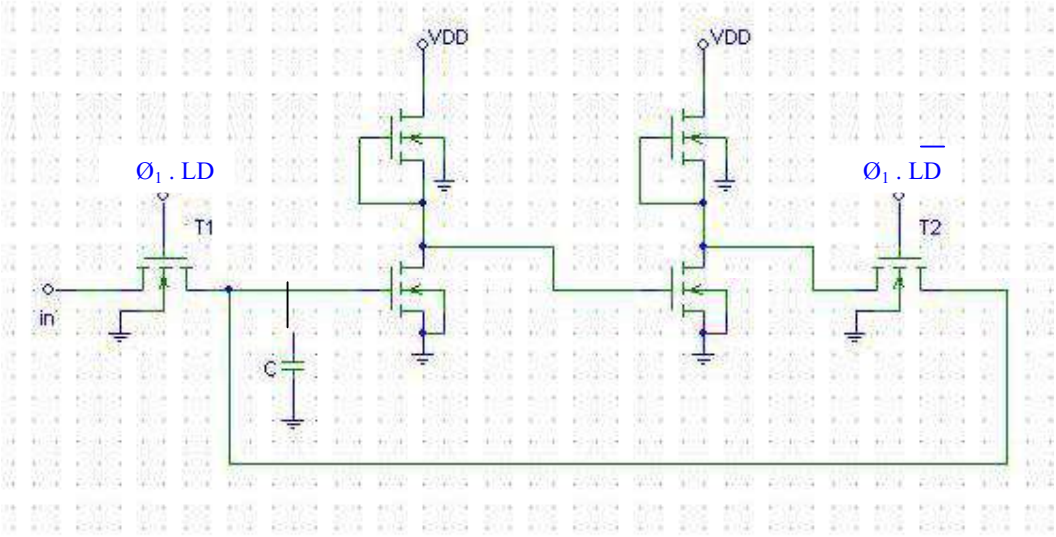
$Ø_1 = 0$ و $Ø_2 = 1$ شود داده‌ی موجود بر روی C_3 به C_2 منتقل می‌شود. همان طور که ملاحظه می‌شود اگر C_3 حضور نمی‌داشت با صفر شدن $Ø1$ هر دو ترانزیستور T2 و T3 خاموش شده و خروجی معکوس کننده 1 از ورودی آن ایزوله شده و هیچ مقدار مشخصی را نشان نخواهد داد. لذا با گذاشتن خازن C_3 می‌توان خروجی معکوس کننده را برای استفاده در نیم سیکل بعدی، ذخیره نمود.

Dynamic Register With Load Control

یک تکنیک بسیار مفید برای کنترل انتقال داده‌ها ترکیب سیگنال پالس ساعت و متغیرهای منطقی است. در مدار شکل زیر پالس ساعت $Ø_1$ با سیگنال بارگذاری LD ترکیب شده تا دو سیگنال کنترلی کمکی $Ø_1LD$ و $Ø_1\overline{LD}$ را ایجاد نماید. در صورتی که $Ø_1 = 0$ باشد هر دو ترانزیستور T_1 و T_2 خاموش هستند. با فعال شدن پالس ساعت ($Ø_1 = 1$) و هنگامی که $LD = 1$ شود T_1 روشن شده و خروجی out معکوس ورودی in خواهد بود.

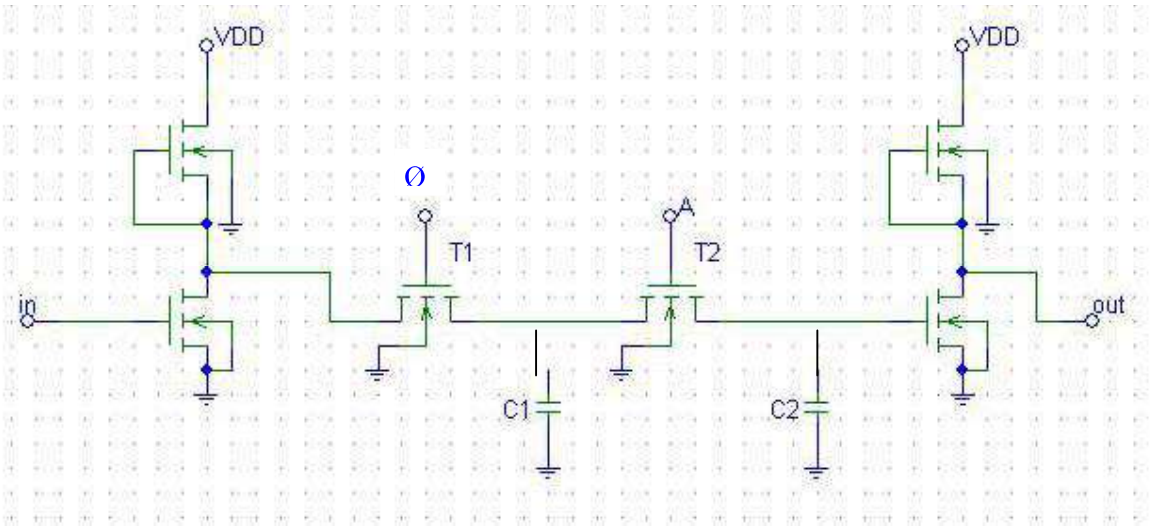
با صفر شدن LD ترانزیستور ورودی T_1 خاموش شده و T_2 روشن می شود و معکوس کننده B معکوس outرا برای ورودی معکوس کننده A تامین می نماید و لذا خروجی out تغییری نخواهد نمود . همان طور که مشاهده می شود این مدار یک ثبات دینامیک است که می تواند داده ورودی را در خود نگه دارد .





Dynamic charge sharing

هنگامی که بار موجود بر روی یک soft node دینامیک در اختیار soft node دیگری از مدار قرار گیرد گوییم تقسیم بار (charge sharing) رخ داده است. اثر ناشی از تقسیم بار بستگی به نسبت ظرفیت خازنی دو گره دارد. در مدار شکل زیر خروجی معکوس کننده‌ی 1 توسط دو ترانزیستور انتقال به ورودی معکوس کننده ی 2 متصل شده است گیت ترانزیستور انتقال T_1 به پالس ساعت Ø و گیت ترانزیستور انتقال T_2 به متغیر منطقی A متصل است.

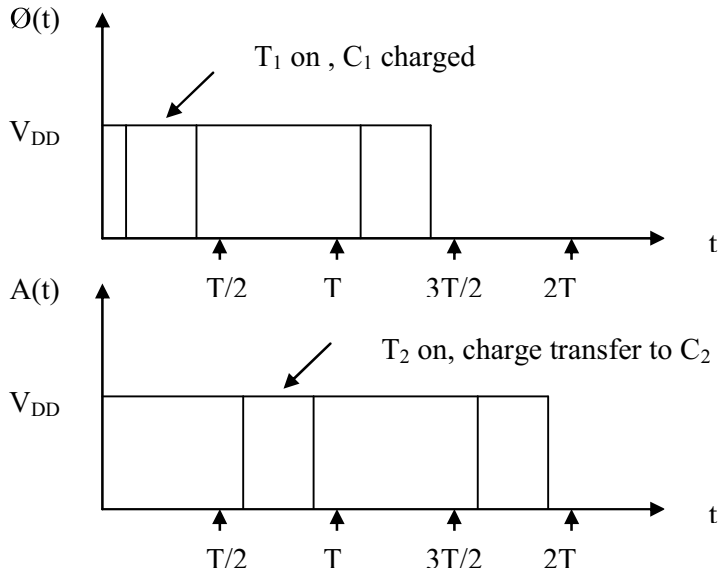


وقتی که Ø = 1 و A = 0 باشد خازن C_1 به خروجی معکوس کننده‌ی A متصل شده و شارژ می‌شود. هنگامی که Ø = 0 و A = 1 شود T1 خاموش و T_2 روشن می‌شود. با این عمل در صورتی که C_2 را بی بار

فرض نماییم، بار موجود بر روی C_1 به C_2 هم منتقل می‌شود و لذا ولتاژ کمتری بر روی C_2 قرار می گیرد به طوری که اگر تعداد طبقات زیاد باشد دیگر چیزی به خازن طبقه‌ی آخر نخواهد رسید. یکی از روش‌های مقابل با این مشکل آن است که خازن‌های طبقات پیشین را خیلی بزرگتر از طبقه‌ی پسین انتخاب نماییم ولی دو مشکل ممکن است به وجود آید :

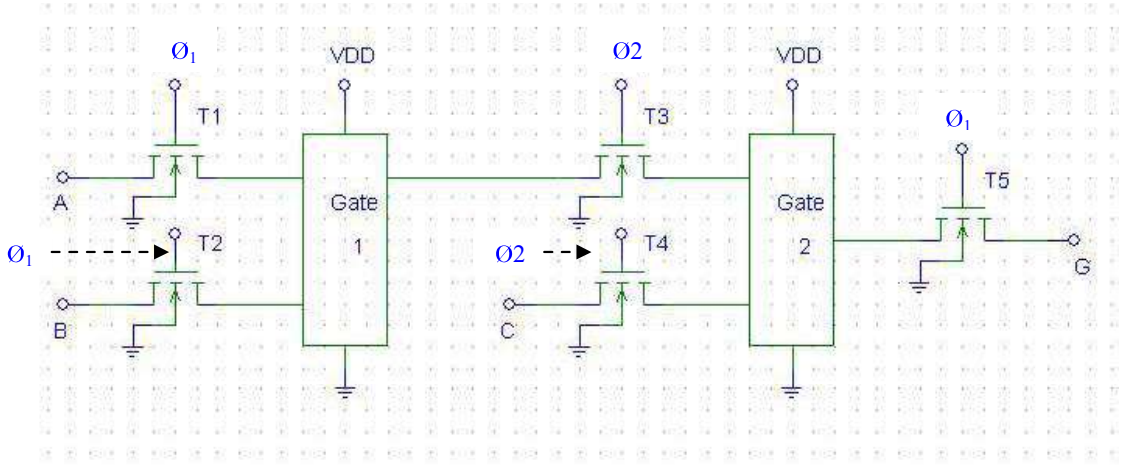
۱)پایین آمدن سرعت

۲)اختصاص منطقه‌ی نسبتا بزرگی بر روی تراشه برای ایجاد خازن

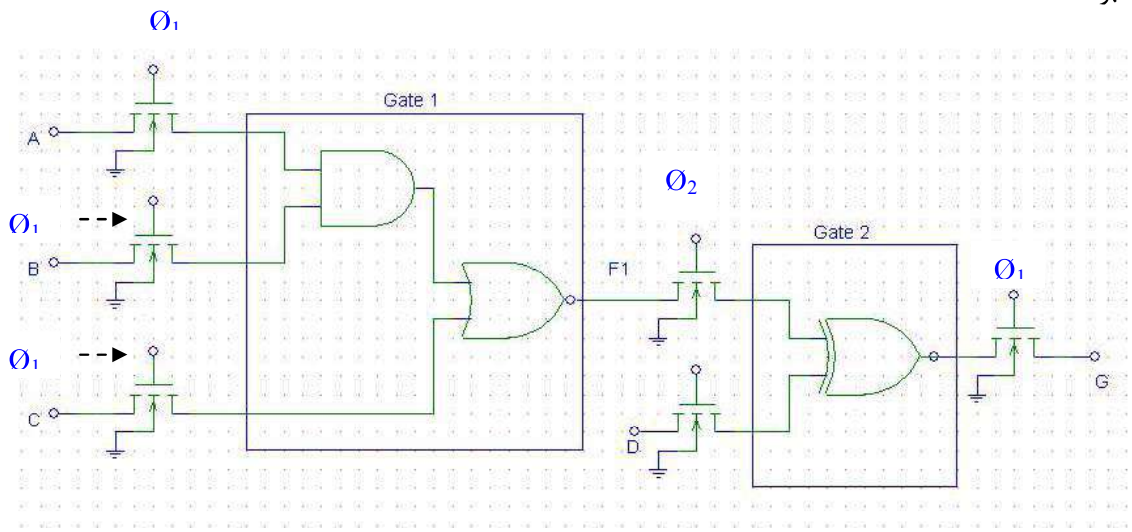


Synchronous Complex Logic

گیت‌های منطقی ترکیبی و AOI(AND , OR , Inverse) را می‌توان در مدارهای ساعت دار مطابق شکل زیر قرار داد.



گیت دو ترانزیستور T_1 و T_2 مشترکا به $Ø_1$ و گیت دو ترانزیستور T_3 و T_4 مشترکا به $Ø_2$ متصل می‌شوند که به صورت ساده شده مطابق شکل بالا نمایش داده می‌شود. وقتی $Ø_1 = 1$ و $Ø_2 = 0$ باشد T_1 و T_2 هدایت کرده و باعث می‌گردد تا ورودی‌های A و B به Gate1 وارد شوند. وقتی $Ø_1 = 0$ و $Ø_2 = 1$ گردد دو ترانزیستور T_1 و T_2 قطع شده و T_3 و T_4 هدایت می‌نمایند وخروجی F از Gate1 و متغیر ورودی C به داخل Gate2 تغذیه می‌شوند. نتیجه‌ی نهایی در خروجی G در سیکل بعدی که $Ø_1 = 1$ می‌شود آماده خواهد بود.

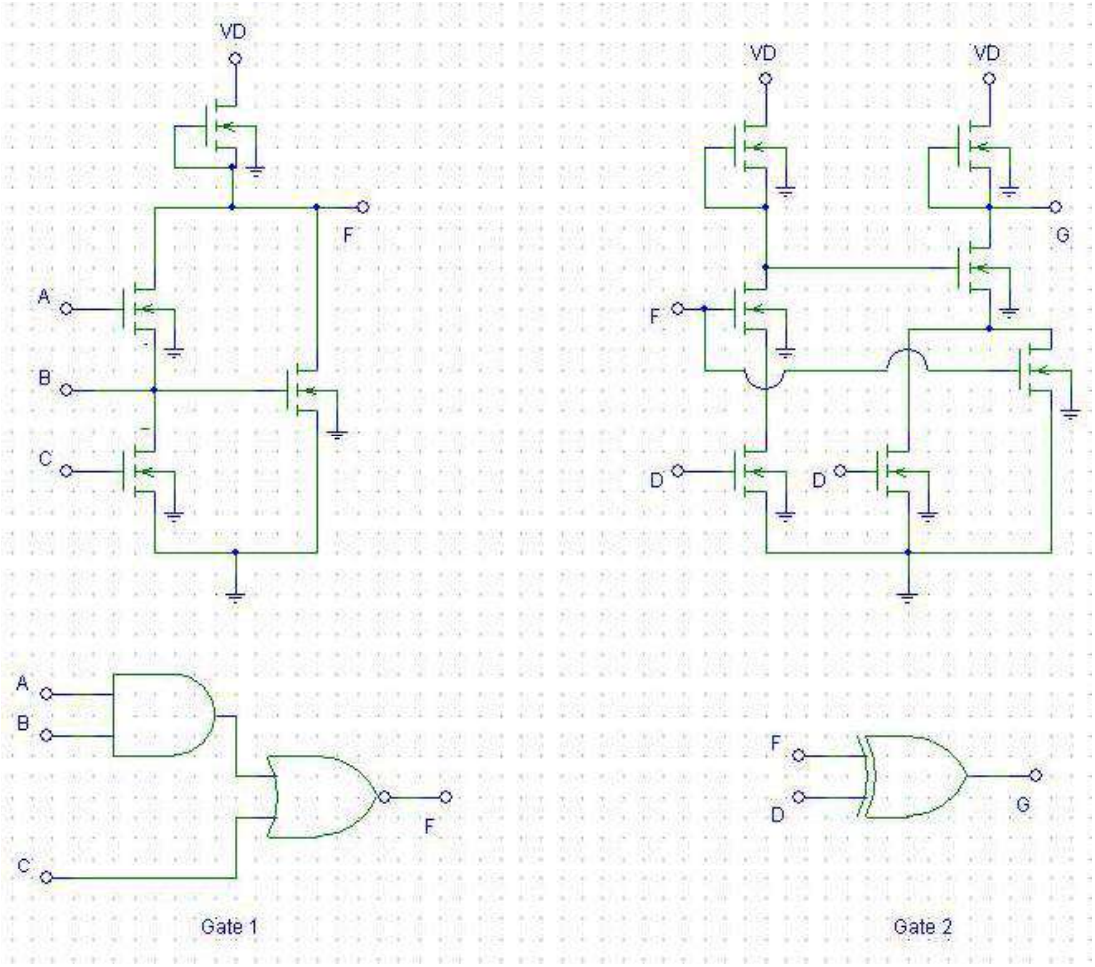


$$F_1 = \overline{AB + C}$$

$$D \Theta G = F_1$$

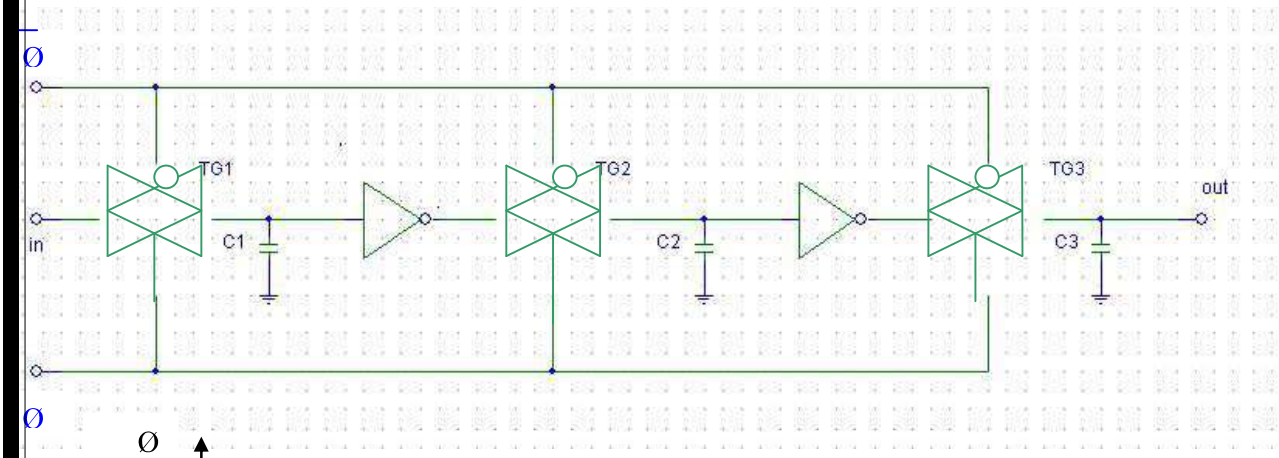
دوره ی تناوب T برای پالس ساعت تعریف می شود و انتقال داده به صورت دو فازی به گونه ای ترتیب داده می شود که تاخیر هر گیت کمتر از نصف T (T/2) باشد.

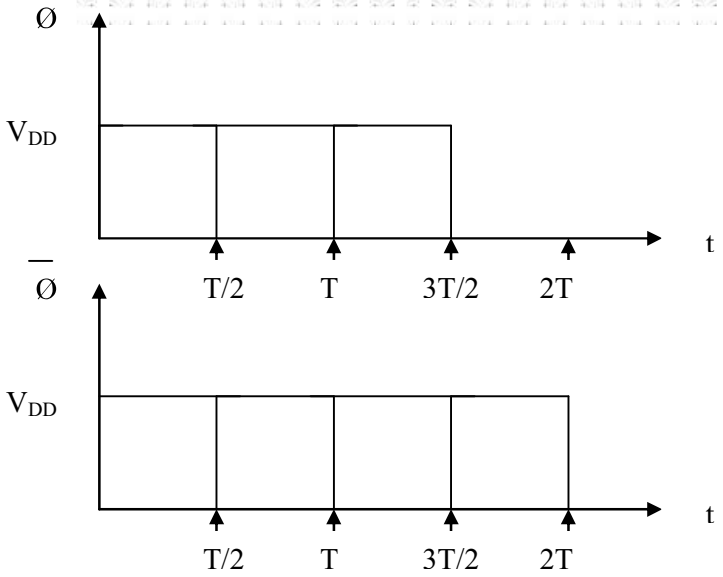
ساختار داخلی دو گیت 1 و 2 به صورت زیر است. توجه شود چون ساختار داخلی دو گیت که اولی عبارت F_1 و دومی عبارت G را به دست می‌د.هد با هم متفاوت است لذا تاخیر انتشار در این دو گیت برابر نخواهد بود. ولی از آن جایی که انتقال داده توسط سیگنال‌های ساعت $Ø_1$ و $Ø_2$ انجام می‌شود این تفاوت در تاخیر انتشار دو گیت اهمیتی نخواهد داشت، بلکه مسئله‌ی مهم آن است که تاخیر انتشار هر یک از گیت‌ها همان طور که گفته شد باید از T/2 کمتر باشد تا بدین وسیله خروجی گیت قبل از انجام عمل انتقال آماده باشد.



Synchronized TG CMOS Logic

در این قسمت به جای استفاده از ترانزیستورهای گذر NMOS یا PMOS از گیت‌های انتقال TG (Transmission Gates) استفاده می‌نماییم. در شکل زیر مدار یک شیفت رجیستر را مشاهده می‌نمایید که از TG استفاده می‌نماید.

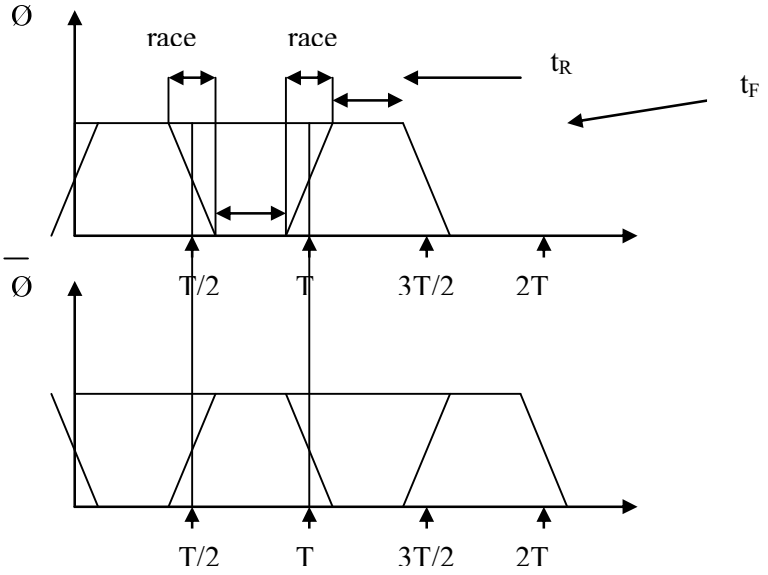




هرTG توسط یک پالس ساعت دو فازه Ø و $\overline{Q}$ کنترل می شود دقت شود در TG1 پالس Ø به NMOS و پالس $\overline{Q}$ به PMOS متصل است در حالی که در TG2 برعکس بوده و Ø به PMOS و $\overline{Q}$ به NMOS متصل است والی آخر .

در صورتی که ورودی in در V_{DD} قرار داشته باشد و Ø = 1 و $\overline{Q}$ = 0 باشد ، TG1 هدایت کرده و C_1 تا V_{DD} شارژ می شود و لذا ولتاژ ورودی اولین طبقه صفر خواهد شد . وقتی Ø = 0 و $\overline{Q}$ = 1 شود TG1 قطع شده و لذا بار به صورت دینامیک بر روی C_1 ذخیره شده است .TG2 هدایت کرده ولذا C_2 دشارژ خواهد شد . به طور مشابه می توان رفتار مدار را در ادامه تحلیل نمود به طوری که داده در هر T/2 یک طبقه به جلو رانده می شود .

این مدار در شرایط ایده آل بدون هیچ مشکلی کار خواهد نمود ولی در شرایط عادی که پالس ساعت واقعی تری با زمان محدود t_F وt_R را به مدار اعمال می کنیم مشکلی پدید خواهد آمد.



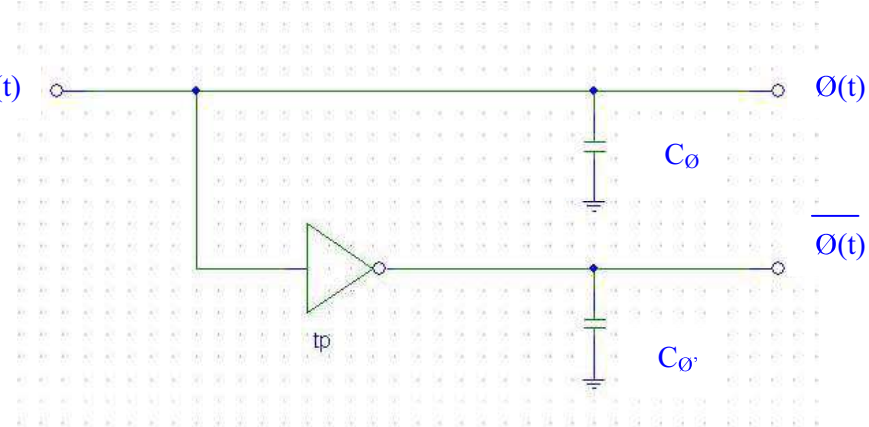
با توجه به شکل بالا وقتی سیگنال ها در V_{DD} یا 0ولت قرار داشته باشند، $Ø(t)\ (t) = 0^{\overline{Q}}$. خواهد بود ولی در زمان های t_R و t_F سیگنال ها با یکدیگر هم پوشانی داشته و $Ø(t)0 \neq (t)^{\overline{Q}}$. است .

همچنین اریبی پالس ساعت (clock skew) $\overline{Q}$ که از شیفت زمانی سیگنال $\overline{Q}$ به اندازه ی t_s حاصل می شود می تواند باعث ایجاد هم پوشانی گردد.

به قسمت هم پوشانی شده اغلب محدوده ی رقابت (race priod) گفته می شود زیرا تغییرات در سطح منطقی ورودی باعث پدید امدن رقابت میان ورودی جدید وورودی قبلی بر سر تغییر خروجی شده و عملکرد مدار را با مشکل مواجه می نماید.

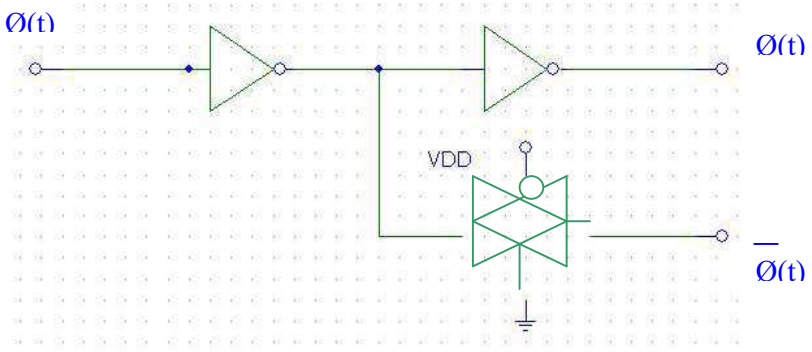
به طور معمول پالس ساعت ساعت $Ø(t)$ به یک معکوس کننده داده می شود تا پالس ساعت مکمل $\overline{Q}\ (t)$ را ایجاد نماید ولی به دلیل تاخیر انتشار گیت معکوس کننده (t_p)سیگنال مکمل $\overline{Q}(t)$ دارای اریبی به اندازه ی $t_s = t_p$ نسبت به $Ø(t)$ اصلی خواهد بود

($C_Ø$ و $C\overline{Q}$ به ترتیب ظرفیت خازنی خط Ø و خط $\overline{Q}$ در مدار هستند که در حالت کلی برابر نیستند.)



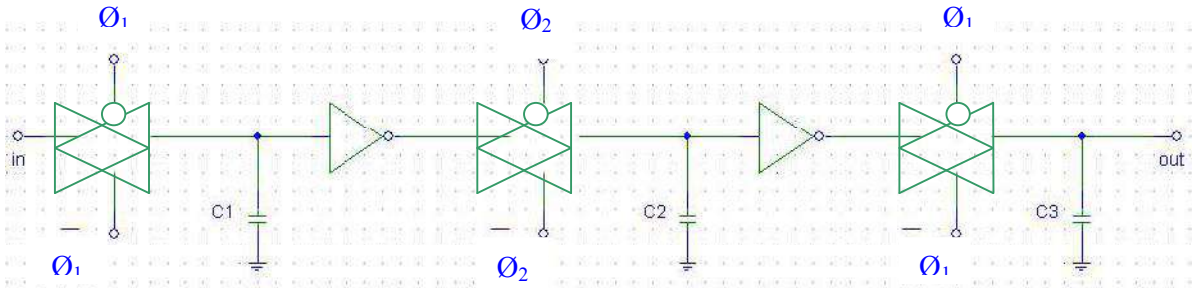
برای حل یان مشکل می توان یک عنصر تاخیری را به مدار اضافه نمود تا زمان بندی متعادل گردد که نمونه از آن را در زیر مشاهده می نمایید که TG نقش عنصر تاخیری را بازی می نماید.

همان طور که در مدار زیر مشاهده می شود مکمل سیگنال ساعت اصلی Ø(t) به یک معکوس کننده و یک گیت انتقال داده می شود.



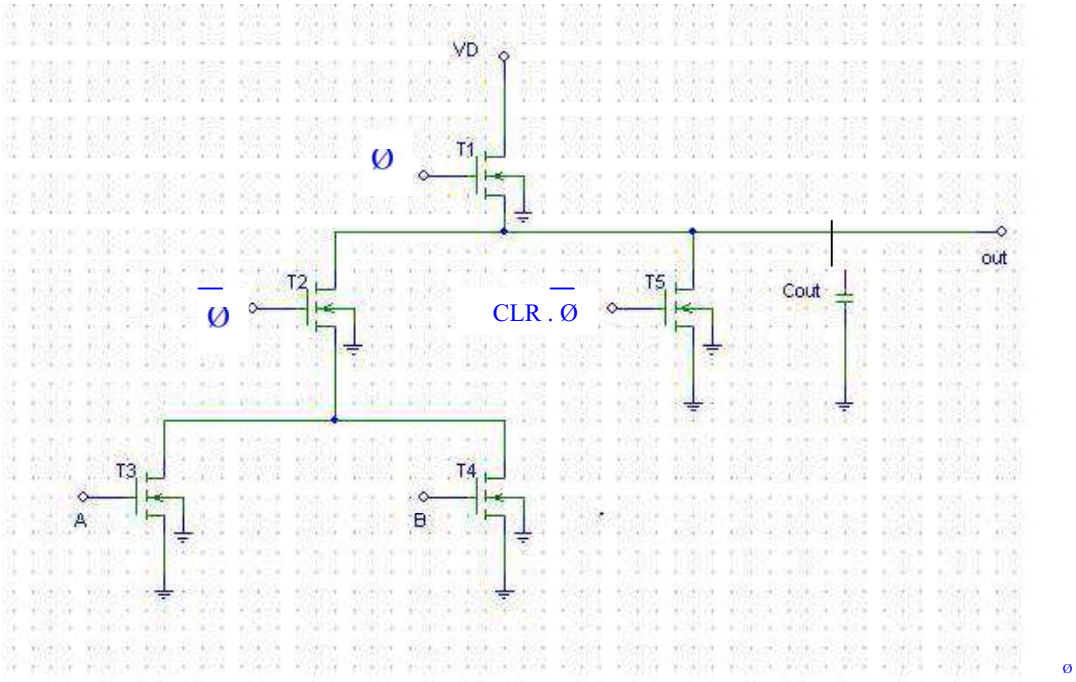
استفاده از پالس ساعت Ø باعث ایجاد رقابت در مدار می گردد لذا از پالس های ساعت دو فاز $Ø_1$ و $Ø_2$ استفاده و مکمل $\overline{Q}_1$ و $\overline{Q}_2$ آنها را با استفاده از مدار بالا ایجاد می نماییم . لذا از آن حایی که به جفت سیگنال ساعت برای کنترل مدار نیاز داریم به آن منطق دو فازی کاذب (Pseudo 2-phase logic) گفته می شود.

در شکل زیر یک شیفت رجیستر دو فازی کاذب را مشاهده می نمایید.



Precharging

عمل پیش شارژ برای افزایش سرعت سوییچینگ در مدارات دینامیک به کار می‌رود به طوری که توان مصرفی را نیز کاهش می‌دهد زیرا همان طور که بعدا گفته خواهد شد مسیر دایمی میان V_{DD} و زمین نداریم و تنها در یک نیم سیکل برای مدت کوتاهی V_{DD} به زمین متصل می‌شود. استفاده از این روش بیشتر در گره‌هایی که ظرفیت خازنی بالایی دارند مفید خواهد بود.



در شکل بالا که نشان دهنده‌ی یک گیت NOR دینامیک است مثالی از عمل پیش شارژ را مشاهده می‌نمایید. T_1 به عنوان یک ترانزیستور انتقال میان V_{DD} و گره خروجی عمل می‌نماید به طوری که وقتی $Ø = 1$ شود T_1 روشن شده و خازن خروجی C_{out} پیش شارژ می‌شود. (به قسمتی از سیکل ساعت که در آن خازن C_{out} پیش شارژ می‌شود فاز پیش شارژ (precharge phase) گفته می‌شود.)

در اثر پیش شارژ ترانزیستور انتقال T_2 خاموش بوده و لذا ورودی‌های A و B تاثیری در عملکرد مدار نخواهند داشت لذا نتیجه منطقی خروجی معتبر نبوده و ورودی های A و B باید به سطح ولتاژ نهایی خود تثبیت شوند.

در نیم سیکل بعدی که $\emptyset = 0$ می شود ترانزیستور T_1 که نقش پیش شارژ نمودن C_{out} را به عهده داشت از مدار قطع شده، ترانزیستور T_2 هدایت نموده و لذا ورودی‌های A و B به مدار متصل خواهند شد و مادامی که ورودی‌ها به گونه‌ای نباشند که مسیر دشارژی به زمین ایجاد کنند خازن C_{out} در همان مقدار پیش شارژ خود باقی خواهد ماند و در نتیجه چون مسیر تخلیه جریانی نداریم لذا هیچ اتلاف توانی در این حالت نخواهیم داشت.

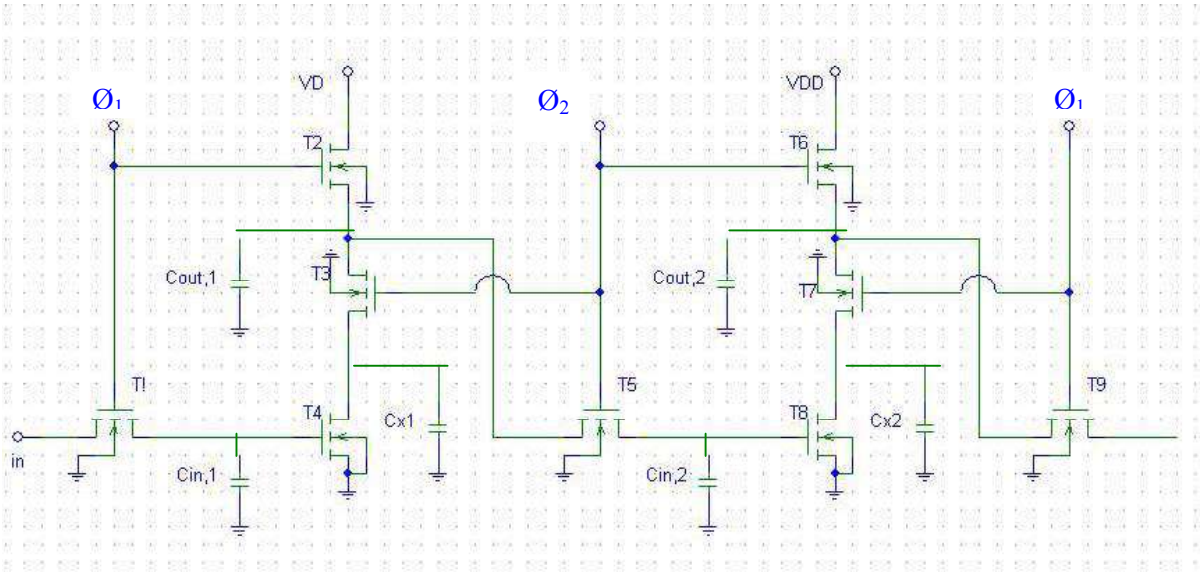
(به قسمتی از سیکل ساعت که در آن می‌توان خروجی را از مدار خواند فاز ارزیابی (Evaluation phase) اطلاق می‌شود. برای مثال اگر هر کدام از ورودی‌های A و B در منطق 1 قرار گیرند مسیری تا زمین ایجاد شده و خازن C_{out} از طریق آن دشارژ می‌شود .همچنین می توان CLR را بالا برد تا بدین وسیله C_{out} را دشارژ نمود. به این عمل دشارژ شرطی (Conditional Discharge) گفته می‌شود.

همان طور که ملاحظه می شود چون مقادیر بالای خازن باعث شارژ طولانی مدت آن خواهد شد لذا وقتی آن را قبل از آنکه ورودی ها به مدار اعمال شوند پیش شارژ نماییم زمان انتشار منطقی (Logic Propagation Time) تحت تاثیر واقع نخواهد شد در نتیجه منطق 1 خروجی سریعا حاضر خواهد بود در حالی که منطق 0 خروجی به اندکی زمان نیاز دارد.

با استفاده از تکنیک پیش شارژ می‌توان مدارات دینامیک متعددی طراحی نمود. دو نمونه از این مدارها که جلوتر بررسی می‌شوند شیفت رجیستر دینامیک و گیت‌های منطقی دینامیک هستند.

Dynamic Shift Register

در شکل زیر یک شیفت رجیستر دینامیک را مشاهده می‌کنید که از فازهای پیش شارژ و ارزیابی استفاده می‌نماید. این مدار کاملا شبیه شیفت رجیستر دینامیک با ترانزیستور های بار بهبود یافته که قبلا بررسی شده عمل می‌نماید با این تفاوت که دو ترانزیستور ارزیابی T_3 و T_7 به آن اضافه شده‌اند.

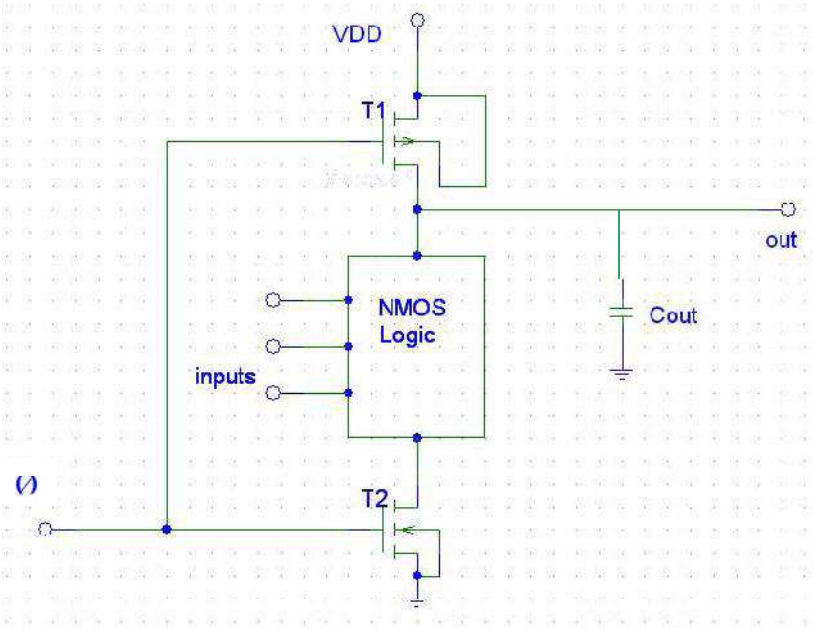


وقتی $\emptyset_1 = 1$ و $\emptyset_2 = 0$ شود T_1 روشن بوده و داده‌ی ورودی بار خازن $C_{in,1}$ را معین می‌نماید به گونه‌ای که ولتاژ بالای ورودی، T_4 را خاموش کرده و مقدار ولتاژ دو سر خازن C_{X1} نامشخص خواهد بود .

از طرفی T_2 نیز روشن است و $C_{out,1}$ پیش شارژ می شود هنگامی که $\emptyset_1 = 0$ و $\emptyset_2 = 1$ شود T_1 و T_2 خاموش شده و ترانزیستور ارزیابی T3 روشن می‌شود. اگر ولتاژ روی $C_{in,1}$ بالا باشد T_4 را روشن نموده و مسیری تا زمین ایجاد می‌نماید که حاصل آن دشارژ شدن C_{X1}، $C_{out,1}$ و $C_{in,2}$ خواهد بود. ولی در صورتی که ولتاژ روی $C_{in,1}$ صفر باشد T_4 خاموش بوده و در نتیجه سه خازن C_{X1}، $C_{out,1}$ و $C_{in,2}$ به طور موازی به هم متصل شده و تقسیم بار خواهند داشت .

Single-clock Dynamic logic gates

مدارهای منطقی CMOS بر پایه‌ی تکنیک پیش شارژ و ارزیابی عمل می‌کنند تا به طور سیستماتیک تابع منطقی را ایجاد نمایند. در مدار زیر شکل عمومی یک مدار منطقی ترکیبی را مشاهده می‌نمایید.



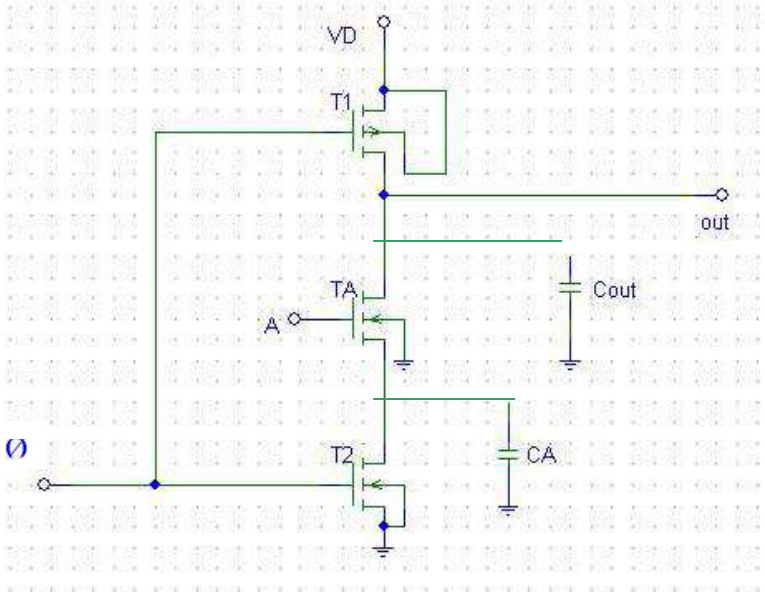
ترانزیستور T_1 از نوع PMOS بوده و ترانزیستور پیش شارژ نامیده می‌شود. ترانزیستور T_2 از نوع NMOS بوده و ترانزیستور ارزیابی نامیده می‌شود. ترانزیستور T_1 مسیری به V_{DD} و ترانزیستور T_2 مسیری به زمین فراهم می‌آورند و تابع منطقی توسط پیکربندی NMOS در بین دو ترانزیستور T_1 و T_2 طراحی می‌گردد.

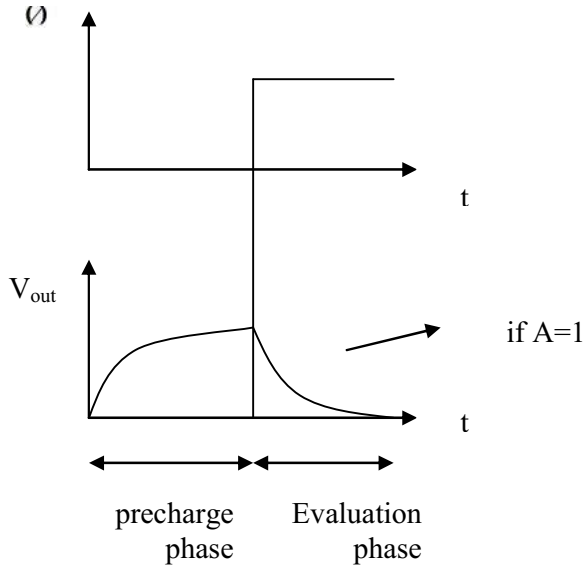
وقتی $\emptyset = 0$ باشد T_1 روشن شده و خازن C_{out} تا ولتاژ V_{DD} پیش شارژ می‌شود (توجه شود بسته به حالت ورودی مدار ، ممکن است برخی از خازن های داخلی نیز شارژ شوند)

در حین عمل پیش شارژ نتیجه ی خروجی out معتبر نخواهد بود و ورودی ها باید به سطح ولتاژ نهایی خود تثبیت شوند به طوری که تا قبل از نیم سیکل دوم آماده باشند.

در نیم سیکل دوم که $\emptyset = 1$ می شود T_1 خاموش و T_2روشن شده و حالت‌های ورودی مدار ارزیابی می‌شوند و بسته به حالت آنها دشارژ شرطی ممکن است رخ دهد. باید توجه داشت اگر خازن C_{out} بسته به حالت ورودی ها دشارژ نشود به دلیل وجود جریان نشتی، بار آن به تدریج تحلیل می‌رود و لذا از مدار در فرکانس های پایین نمی‌توان استفاده نمود (حد پایین فرکانس داریم). بنابراین به طور معمول یک ترانزیستور PMOS را بین V_{DD} و گره خروجی به عنوان Pull-up قرار می‌دهند که گیت آن همواره به زمین متصل است. کار این ترانزیستور تامین جریان کوچک ولی کافی برای ثابت نگه داشتن بار خازن C_{out} است. به جای مدار منطقی

ترکیبی در شکل می توان هر چیزی قرار داد برای مثال برای ایجاد یک NAND دو ورودی می‌توان دو NMOS را با هم سری نمود و یا برای ایجاد یک NOR دو ورودی می‌توان دو NMOS را با هم موازی نمود و یا برای ایجاد یک معکوس کننده تنها کافی است یک ترانزیستور NMOS را مطابق شکل زیر به جای مدار منطقی ترکیبی قرار دهیم.

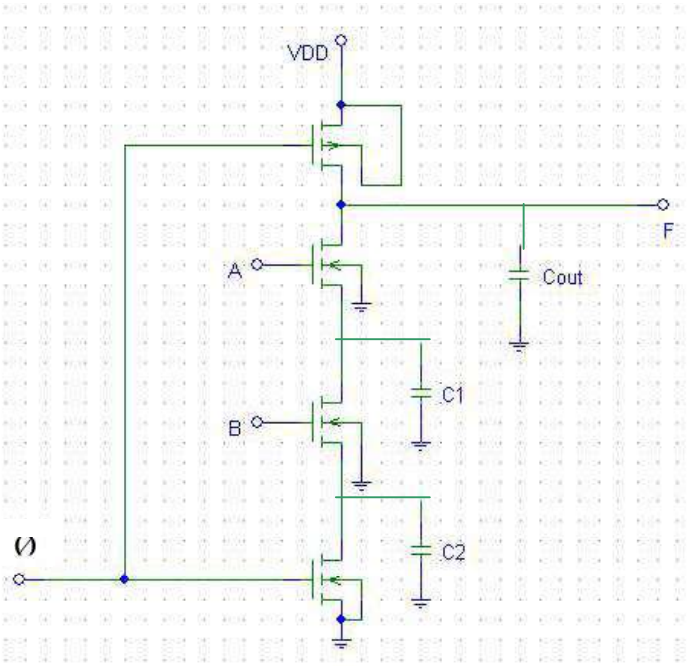




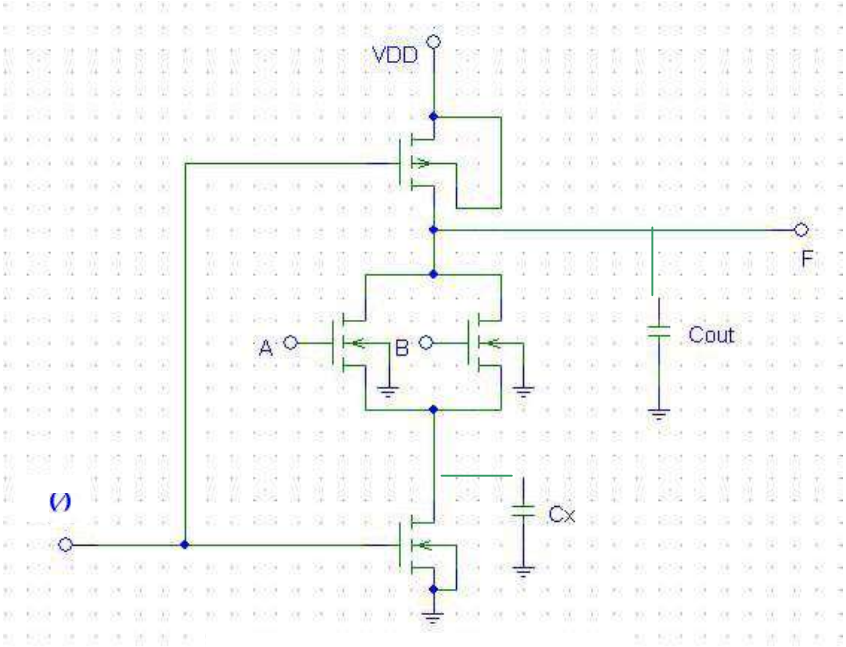
در صورتی که $\emptyset = 0$ باشد T_1 روشن و T_2 خاموش شده و C_{out} پیش شارژ می‌شود. در این فاصله، ورودی A باید آمده شود. توجه شود در صورتی که $A = 1$ باشد T_A روشن شده و خازن C_A نیز پیش شارژ می شود و لذا در این حالت زمان پیش شارژ افزایش خواهد یافت.

وقتی $\emptyset = 1$ شود T_1 خاموش و T_2 روشن شده و ورودی ارزیابی می شود. در صورتی که $A = 1$ باشد هر دو خازن C_A وC_{out} دشارژ شده و خروجی $V_{out} = 0$ می شود ولی در صورتی که $A = 0$ باشد T_A خاموش بوده و لذا V_{out} در همان سطح ولتاژ V_{DD} خواهد ماند .

در نتیجه همان طور که مشاهده می‌شود در طول هر پالس ساعت T، T/2 آن اختصاص به پیش شارژ و T/2 دیگر آن اختصاص به ارزیابی خواهد داشت. در شکل زیر گیت‌های دینامیک NAND و NOR دو ورودی را مشاهده می‌نمایید.

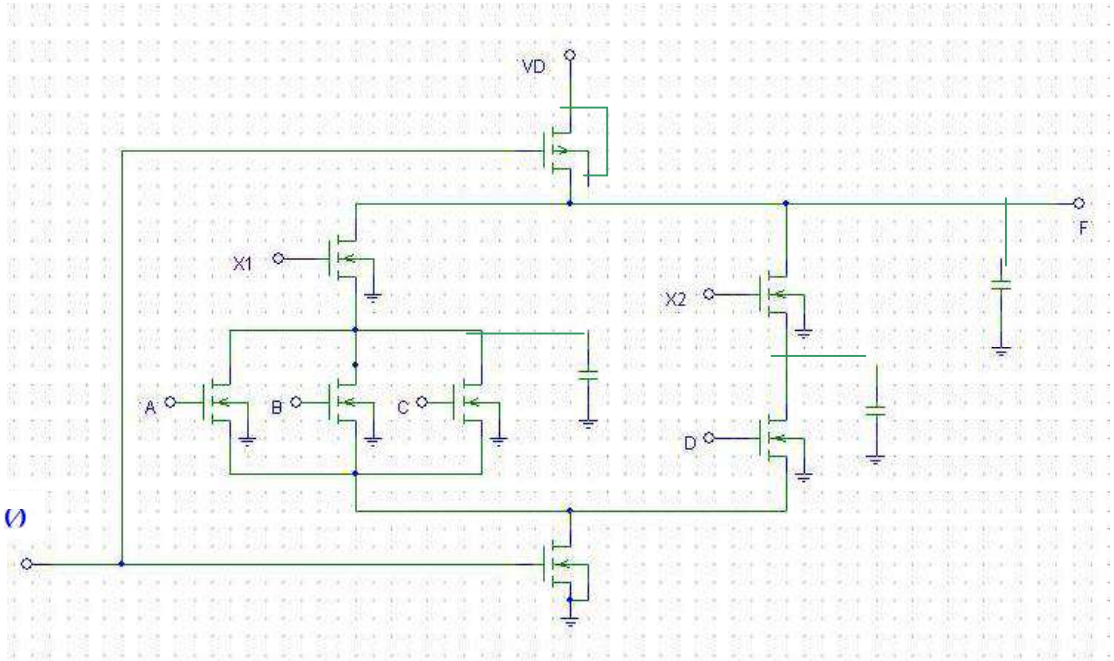


2 input dynamic nand gate



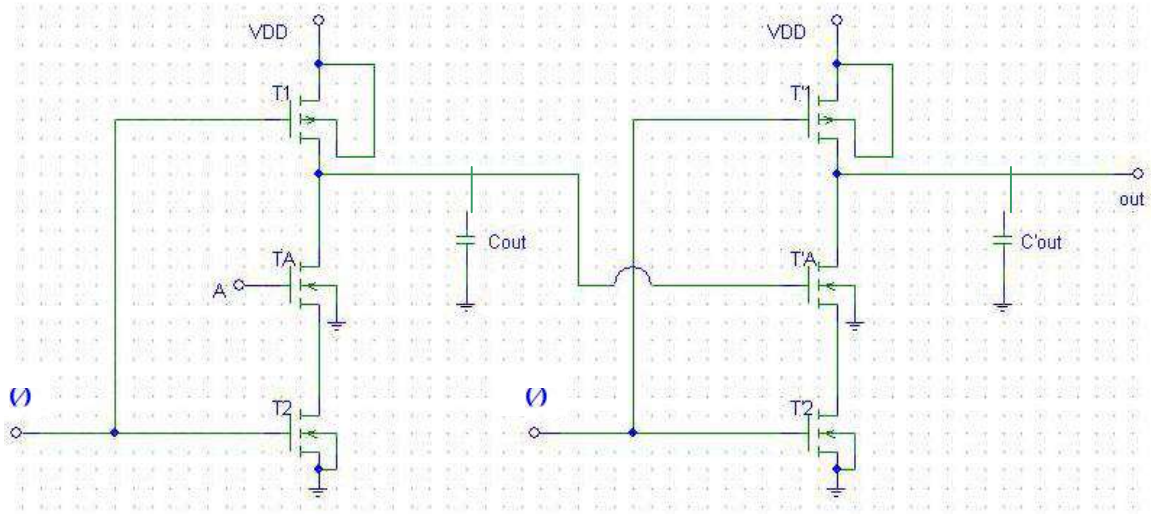
2 input dynamic NOR gate

باترکیب ساختارهای گفته شده می توان توابع منطقی پیچیده ای را ایجاد نمود .برای مثال یک تابع منطق AOI به صورت $\overline{(A+B+C)X1+DX2}$ در مدار زیر پیاده سازی شده است.



Dynamic Gates Cascade Problem

یکی از مشکلات بزرگ مدارات دینامیکی NMOS ای که تاکنون بررسی نمودیم آن است که نمی‌توان خروجی آن را به ورودی گیت دینامیک دیگری متصل نماییم. فرض نمایید دو گیت معکوس کننده دینامیک ساده را که هر کدام یک ورودی دارند به هم متصل نماییم به طوری که هر دو طبقه از یک پالس ساعت Ø استفاده نمایند. با این عمل هر دو فاز پیش شارژ و ارزیابی در هر دو طبقه با هم انجام خواهند شد.



در نیم سیکل اول که Ø =0 است هر دو خازن خروجی دو طبقه تا سطح ولتاژ V_{DD} پیش شارژ می‌شوند. در نیم سیکل دوم که Ø = 1 می‌شود هر دو طبقه به فاز ارزیابی می‌روند. ورودی طبقه اول ارزیابی می‌شود و در صورتی که ورودی 1 باشد بعد از سپری شدن یک تاخیر زمانی، خازن خروجی دشارژ شده و ولتاژ خروجی در سطح ولتاژ صفر قرار می‌گیرد.

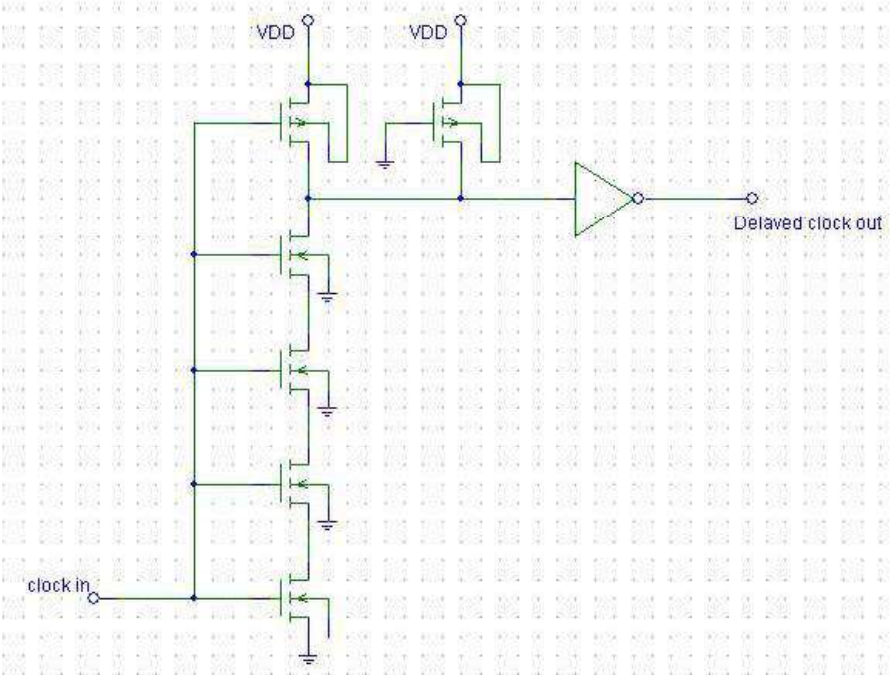
از طرف دیگر وقتی Ø = 1 می شود ورودی طبقه‌ی دوم نیز ارزیابی می‌شود و چون در ورودی، خازن خروجی طبقه‌ی اول را می‌بیند که تا V_{DD} شارژ شده است لذا خازن خروجی طبقه‌ی دوم نیز بعد از یک تاخیر زمانی دشارژ می‌شود. این در حالی است که وقتی خروجی طبقه‌ی اول بعد از سپری شدن تاخیر به صفر می‌رسد باید از دشارژ شدن خازن خروجی طبقه‌ی دوم جلوگیری نماید ولی چه سود که این خازن در همان ابتدای فاز ارزیابی تخلیه شده است و سطح منطقی اشتباهی در خروجی به وجود خواهد آمد. شاید تصور شود اگر سیگنال ساعت طبقه‌ی امل و سیگنال ساعت طبقه‌ی دوم را به صورت دو فازی در نظر می‌گرفتیم مشکل برطرف می‌شد ولی این گونه نخواهد بود. در این حالت اگر طبقه ی اول در فاز پیش شارژ باشد خازن خروجی آن تا V_{DD} شارژ

می شود. در حالی که طبقه دوم در فاز ارزیابی به سر می‌برد و همواره ورودی خود را در 1 منطقی خواهد دید. برای رفع این مشکل 3 روش وجود دارد که در زیر بررسی می‌گردند.

Delayed clock (1

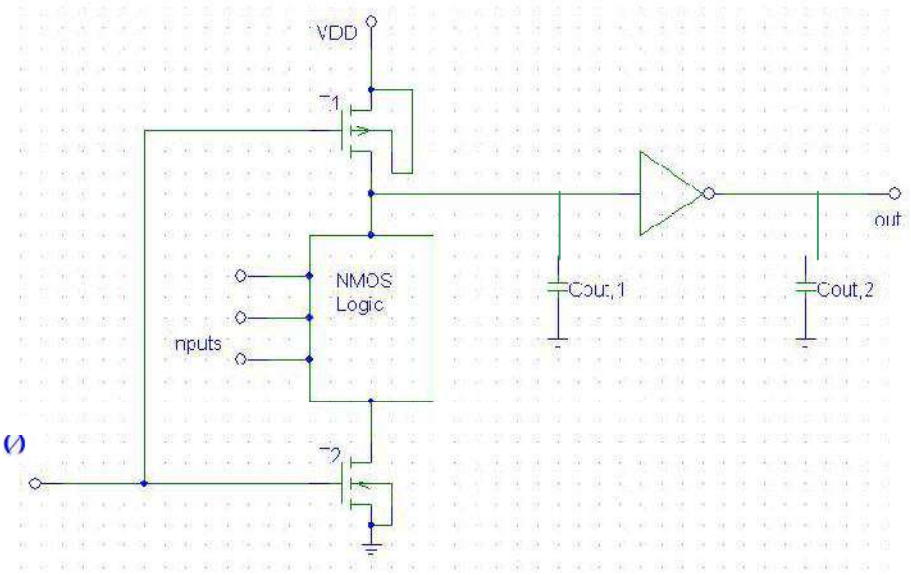
یکی از روش های برطرف کردن محدودیت اتصال متوالی گیت‌ها به هم آن است که سیگنال پالس ساعت طبقه ی دوم را به تاخیر بیاندازیم تا خروجی طبقه‌ی اول به مقدار نهایی خود برسد. برای ایجاد چنین پالس ساعت تاخیر یافته‌ای می‌توان از تعدادی ترانزیستور و یک معکوس کننده استفاده نمود که در مدار شکل زیر مشاهده می‌شود.

استفاده از این روش در طراحی های حافظه استفاده شده ولی فضای بزرگی را اشغال می‌نماید.



Domino CMOS Gate (2

مشکل پشت سر هم قرار دادن گیت های دینامیک را می‌توان با استفاده از تکنیک دیگری به نام Domino Logic حل نمود. به ترکیب یک گیت دینامیک به همراه یک معکوس کننده Domino CMOS Gate گفته می‌شود که در شکل زیر آنرا مشاهده می‌نمایید.



در یک گیت Domino خروجی گیت دینامیک به یک معکوس کننده داده شده تا خروجی همواره بعد از عمل پیش شارژ $C_{out,1}$ در سطح منطقی صفر قرار داشته باشد. با این عمل می توان خروجی را به طبقه‌ی NMOS دیگری بدون هیچ مشکلی متصل نمود.

به دلیل آنکه معکوس کننده ظرفیت خازنی پایینی نسبت به خود گیت دینامیک دارد لذا مدار Domino سریعتر عمل خواهد کرد. از طرف دیگر معکوس کننده توان خروجی خود را از منبع ولتاژ گرفته و لذا $C_{out,1}$ مشکلات ناشی از تقسم بار نخواهد داشت.

باید توجه داشت مدار Domino به طور معمول برای اتصال منطقی برپایه‌ی AND طراحی شده است. این بدین خاطر است که سطح ولتاژ اولیه در آغاز فاز ارزیابی در تمامی طبقه‌ها صفر است و هنگامی که شرط ورودی در طبقه‌ای برقرار شود خروجی آن طبقه به یک تغییر یافته و این منطق در داخل زنجیره منتشر می‌شود. این انتشار منطقی تنها زمانی متوقف خواهد شد که یکی از طبقات نتیجه‌ی صفر در خروجی دهد.

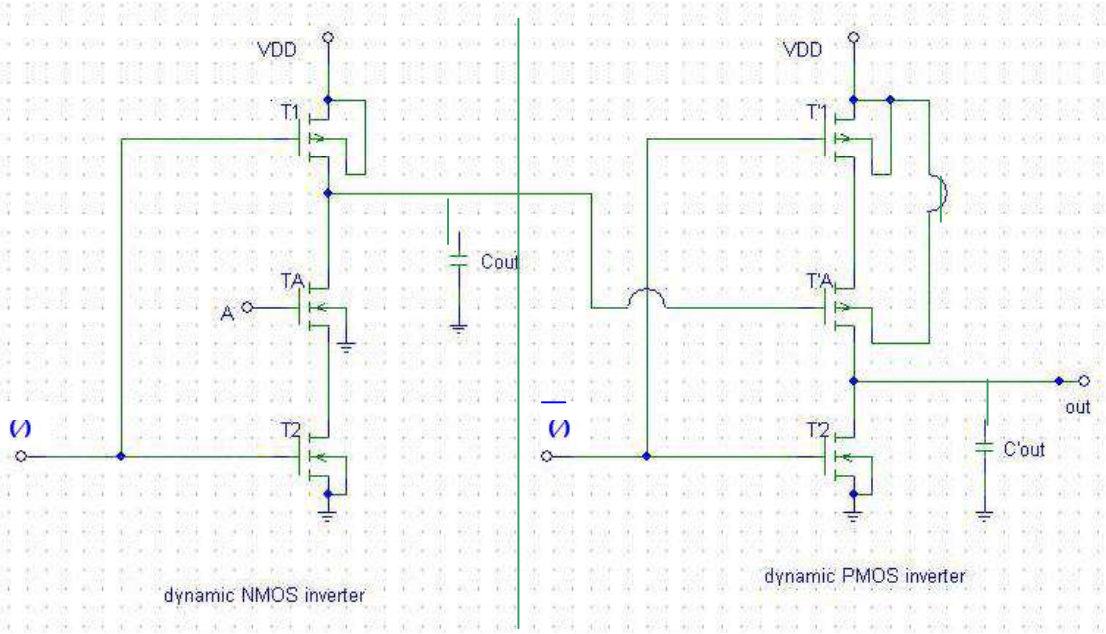
باید به این نکته توجه داشت که این انتشار در تمامی طول طبقات و در مدت فاز ارزیابی صورت می‌گیرد لذا حتما باید مطمئن شد که در بدترین حالت زمان انتشار در طبقات از T/2 پالس ساعت فراتر نرود.

نکته‌ی دیگری که باید به آن توجه داشت آن است که مدار Domino غیر معکوس کننده (non-inverting) و نمی‌توان توابع منطقی چون XOR یا XNOR را با آن ایجاد نمود.

NORA(No Race) (3

برای رفع مشکل اتصال متوالی گیت ها می‌توان طبقات را به صورت یکی در میان به صورت NMOS و PMOS انتخاب نماییم. گیت منطقی دینامیک PMOS مشابه NMOS است با این تفاوت که خروجی را از بالای ترانزیستور T_2 می‌گیریم و لذا زمان پیش شارژ وارزیابی آن دقیقا معکوس NMOS خواهد بود.

اگر پالس ساعت Ø به گیت منطقی PMOS متصل باشد هنگامی که $Ø = 1$ است T_2 روشن و T_1 خاموش بوده و خازن C_{out} تا صفر پیش شارژ می‌شود و در صورتی که $Ø = 0$ باشد T_2 خاموش و T_1 روشن شده و ورودی‌ها ارزیابی می‌شوند و با توجه به آنها ممکن است شارژ شرطی رخ دهد.

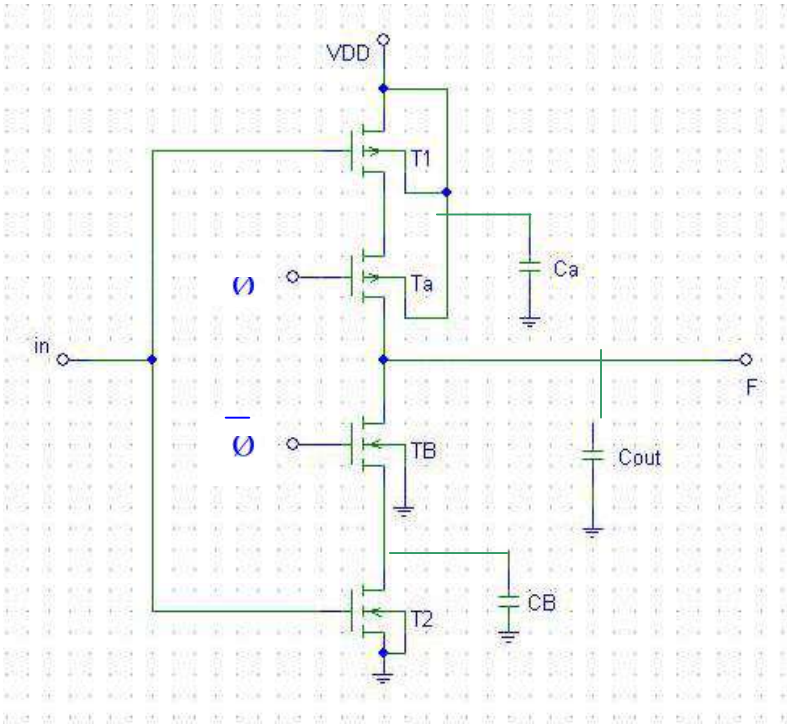


وقتی $Ø = 0$ باشد T_1 روشن شده و C_{out} به V_{DD} پیش شارژ می‌شود در حالی که $\overline{Q} = 1$ بوده و T'_2 روشن شده و C'_{out} به صفر پیش شارژ می‌شود. در حین فاز پیش شارژ تنها ورودی مدار یعنی A در مقدار نهایی خود ثابت می‌ماند.

وقتی $Ø = 1$ و $\overline{Q} = 0$ شود هر دو طبقه به فاز ارزیابی می‌روند و طبقه‌ی اول ورودی خود را ارزیابی کرده و اگر $A = 1$ باشد C_{out} پس از سپری شدن یک تاخیر زمانی دشارژ می‌شود. به طور مشابه ورودی طبقه‌ی دوم نیز ارزیابی شده و چون در ابتدا ورودی خود را بالا می بیند T'_A کماکان قطع بوده و سطح ولتاژ خروجی

همان صفر خواهد بود ولی وقتی خروجی طبقه‌ی اول پس از سپری شدن تاخیر به صفر می‌رسد T'_A روشن شده و C'_{out} به درستی تا V_{DD} شارژ می‌شود.

بیشترین استفاده ی NORA در طراحی خط لوله است به طوری که در خروجی آن از یک لچ C^2MOS (clocked MOS) استفاده می‌نمایند تا از رقابت میان سیگنال ها جلوگیری به عمل آید و نتیجه‌ی خروجی هر مرحله‌ی (stage) خط لوله را ذخیره نماید که مدار آن را در شکل زیر مشاهده می‌نمایید.

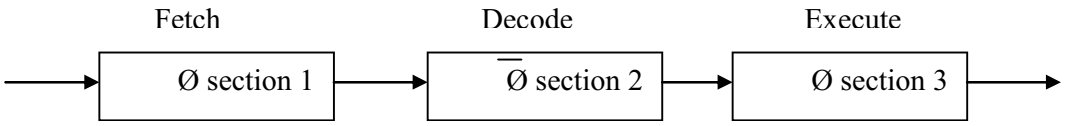


فرض نمایید $V_{in} = 0$ است لذا T_2 خاموش و $T1$ روشن خواهد بود. وقتی $Ø = 1$ باشد T_α و T_β هر دو روشن بوده و تمامی خازن های مدار تا V_{DD} پیش شارژ می شوند.

در نیم سیکل بعدی وقتی $Ø = 0$ شود T_α و T_β خاموش شده و گره خروجی از مدار ایزوله شده و لذا خروجی مدار سطح منطقی 1 ابتدایی خود را نگه خواهد داشت.

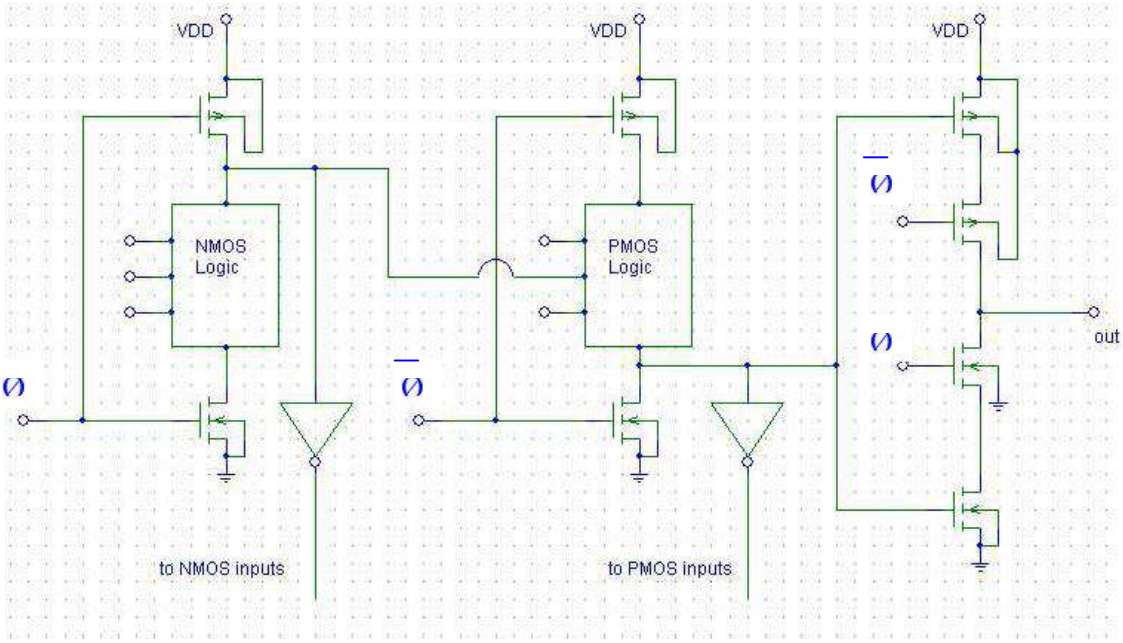
در صورتی که $V_{in} = 1$ باشد T_2 روشن و T_1 خاموش بوده و هنگامی که $Ø = 1$ شود T_α و T_β هر دو روشن شده و لذا تمامی خازن‌ها به صفر پیش شارژ می‌شوند. در نیم سیکل بعدی وقتی $Ø = 0$ شود T_β و T_α خاموش شده و گره خروجی از مدار ایزوله شده و لذا خروجی مدار سطح منطقی صفر ابتدایی خود را نگه خواهد

داشت. به زمانی که Ø = 0 می‌شود گویند خروجی قفل شده (Latched) و مدار حالت خود را حفظ می‌نماید. (Hold state)



در مدار شکل زیر مدار داخلی یک NORA Ø section را مشاهده می‌نمایید که از پشت سر هم قرار گرفتن یک NMOS و PMOS تشکیل شده است که در خروجی آن یک C^2MOS مشاهده می‌شود.

باید توجه داشت می‌توان طبقات NMOS/PMOS متوالی بی‌شماری برای پیاده‌سازی توابع منطقی پیچیده داشت و تنها محدود به دو طبقه نمی‌گردد.

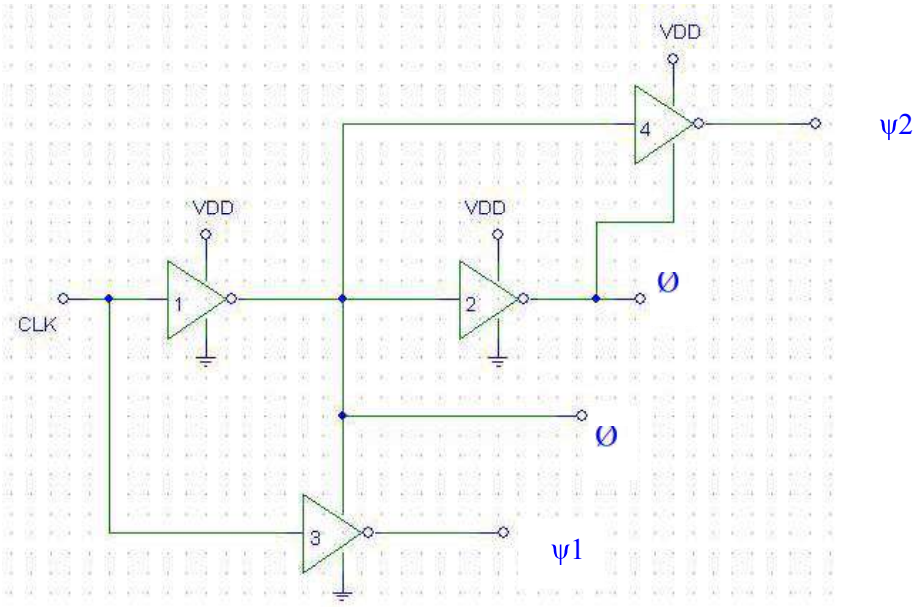


به دو معکوس کننده در خروجی هر گیت دینامیک دقت نمایید. این دو معکوس کننده برای راه اندازی طبقات منطقی با قطبیت مشابه قرار داده شده‌اند. همچنین NORA Logic با Domino CMOS Logic سازگار است، به طوری که می‌توان خروجی یک Domino را به یکی از ورودی‌های NMOS Logic در NORA متصل نمود.

وقتی Ø = 0 شود تمامی خازن های مدار دینامیک پیش شارژ شده و لچ خروجی وضعیت خود را حفظ می نماید به طوری که گره خروجی از ورودی مدار ایزوله بوده و انتقال داده از Ø section می تواند صورت بگیرد . لذا به Ø = 0 فاز precharge / transfer گفته می‌شود. این در حالی است که در Ø = 1 ورودی‌ها ارزیابی می‌شوند و ممکن است در گیت دینامیک NMOS دشارژ شرطی و در گیت دینامیک PMOS شارژ شرطی رخ دهد و در نهایت نتیجه‌ی نهایی زنجیره‌ی طبقات، در لچ خروجی قرار می‌گیرد. باید توجه داشت به Ø = 1 فاز Evaluation گفته می‌شود که در آن هیچ انتقال داده‌ای از Ø section صورت نمی‌گیرد.

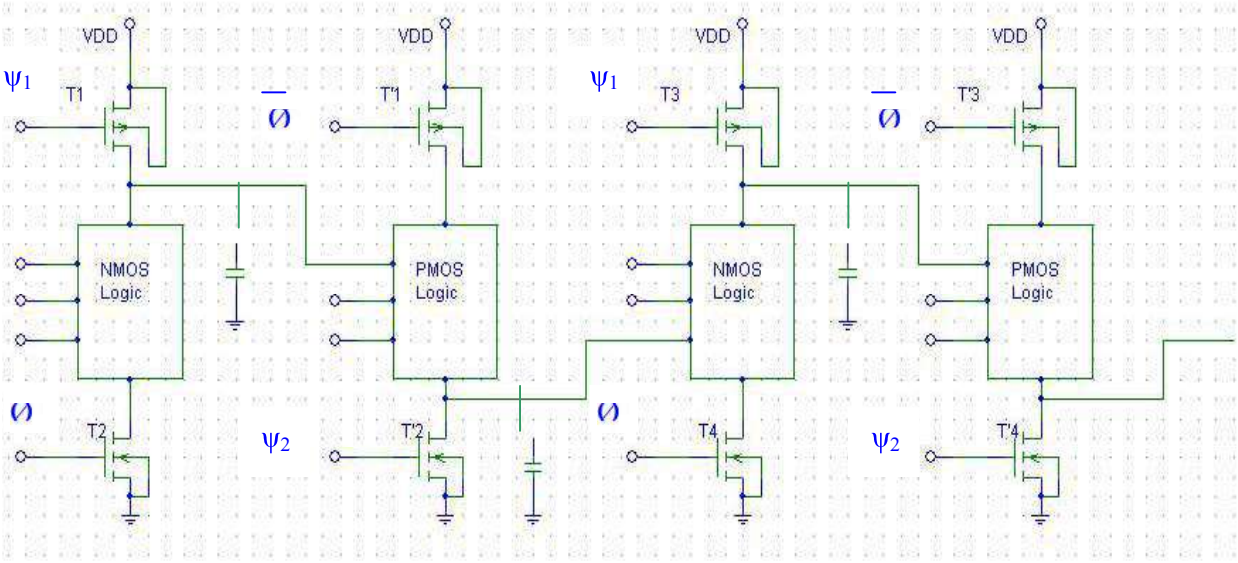
Zipper CMOS

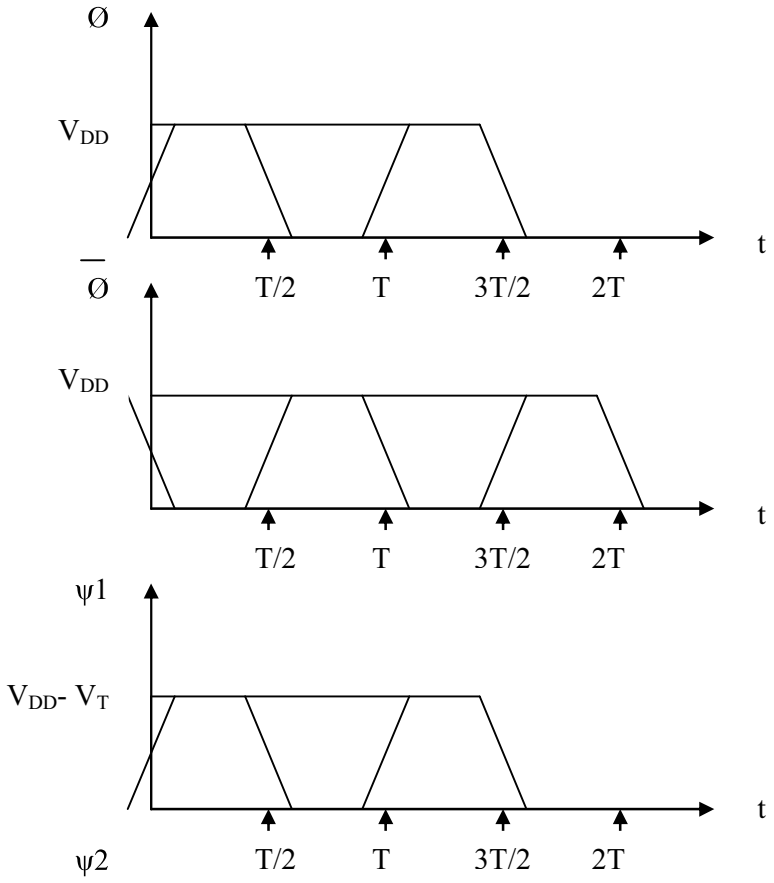
در این روش طبقات NMOS و PMOS را به طور متوالی در کنار هم قرار می‌دهیم ولی با استفاده از پالس‌های ساعت اضافی Ψ_1 و Ψ_2 مشکلاتی مانند تقسیم بار و یا حساس بودن به نویز که در NORA وجود دارد حل می‌شوند از مدار زیر می‌توان پالس‌های ساعت مورد نیاز خود را تولید نماییم.

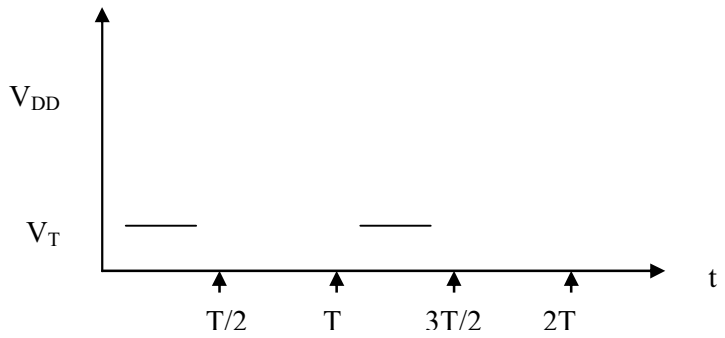


Ø و Ψ_1 هم فاز هستند با این تفاوت که حداکثر دامنه‌ی Ø برابر V_{DD} است در حالی که حداکثر دامنه‌ی Ψ_1 برابر $V_{DD} = V_T$ است. همچنین $\overline{Q}$ و Ψ_2 نیز هم فاز هستند با این تفاوت که مینیمم دامنه‌ی Ø صفر است در حالی که مینیمم دامنه ی Ψ_2 برابر V_T است.

همان طور که ملاحظه می شود Ø و $\overline{Q}$ از دو معکوس کننده‌ی 1 و 2 گرفته شده‌اند که حداکثر نوسان دامنه را از 0 تا V_{DD} دارند ولی ψ_1 و ψ_2 از دو معکوس کننده 3 و 4 گرفته شده‌اند که از Ø و $\overline{Q}$ به جای یک خط زمین یا منبع ولتاژ استفاده می‌کنند.







همان طور که در شکل بالا ملاحظه می‌نمایید ساختار Zipper از کنار هم قرار دادن NMOS و PMOS تشکیل یافته به گونه‌ای که گیت‌های دینامیک NMOS توسط دو سیگنال ψ_1 و $\emptyset$ و گیت‌های دینامیک PMOS توسط دو سیگنال $\overline{Q}$ و ψ_2 کنترل می‌شوند.

به طور دقیق‌تر در گیت‌های دینامیک NMOS سیگنال $\emptyset$ ترانزیستورهای ارزیابی T_2 و T_4 و سیگنال ψ_1 ترانزیستورهای پیش شارژ T_1 و T_3 را کنترل می‌نمایند و در گیت‌های دینامیک PMOS سیگنال $\overline{Q}$ ترانزیستور های ارزیابی T'_1 و T'_3 و سیگنال ψ_2 ترانزیستورهای پیش شارژ را کنترل می‌نمایند. پیش شارژ مدار وقتی رخ می‌دهد که :

$$\emptyset = 0\ ,\ \overline{Q} = V_{DD}\ ,\ \psi_1 = 0\ ,\ \psi_2 = V_{DD}$$

باشند. چون $\psi_1 = 0$ است لذا T_1 و T_3 کاملا روشن شده و خازن‌های خروجی طبقه‌ی NMOS به V_{DD} پیش شارژ می‌شوند. از طرفی چون $\psi_2 = V_{DD}$ است لذا T'_2 و T'_4 نیز کاملا روشن شده و خازن‌های خروجی طبقه‌ی PMOS به صفر پیش شارژ می‌شوند. حالت ارزیابی مدار وقتی رخ می‌دهد که :

$$\emptyset = V_{DD}\ ,\ \overline{Q} = 0\ ,\ \psi_1 = V_{DD} - V_T\ ,\ \psi_2 = V_T$$

باشند. همان طور که ملاحظه می‌شود با توجه به مقادیر Ψ_1 و Ψ_2 ترانزیستورهای پیش شارژ حتی در فاز ارزیابی به طور کامل خاموش نمی‌شوند به طوری که در طبقه‌ی NMOS ترانزیستورهای T_1 و T_3 جریان اندکی را به خازن خروجی تزریق می‌نمایند تا از تحلیل بار آن جلوگیری نمایند و در طبقه ی PMOS ترانزیستورهای T'_2 و T'_4 بار اضافی را از خازن خروجی به زمین انتقال می‌دهند. لذا با این عمل مشخص خواهد بود که حد پایین فرکانس مدار از بین می‌رود.

باید توجه داشت چون $\emptyset = V_{DD}$است ترانزیستورهای ارزیابی T_2 و T_4 در طبقه ی NMOS روشن بوده و با برقرار بودن حالتی از ورودی، دشارژ شرطی رخ خواهد داد. از طرفی چون $\overline{Q} = 0$ است ترانزیستورهای ارزیابی T'_1 و T'_3 در طبقه ی PMOS روشن بوده و با برقرار بودن حالتی از ورودی، شارژ شرطی رخ خواهد داد.