دانشگاه پیام نور

عنوان جزوه: دستور کار آزمایشگاه مدارهای منطقی

مولف: دکتر رضا عسکری مقدم، مهندس مهدی عظیمی پور

رشته تحصیلی: مهندسی کامپیوتر

مقطع تحصیلی: کارشناسی

تهیه و تدوین سال ۱۳۹۰

پیشگفتار

کتاب درس آزمایشگاه مدار منطقی به عنوان یک واحد درس عملی برای رشته‌های مهندسی برق و کامپیوتر با توجه به سرفصلهای این درس نوشته شده است و تمام آزمایشها به نحوی طراحی شده‌اند که بر روی بردهای آموزشی استاندارد موجود در مراکز آموزشی دانشگاه پیام‌نور قابل انجام می‌باشند. مطالب این کتاب در قالب سه فصل، دسته‌بندی گردیده وشامل یازده آزمایش می‌باشند. فصل اول شامل تاریخچه و مباحث تئوری مربوط به مدارهای دیجیتال می‌باشد و برای یادآوری و آمادگی دانشجویان تهیه شده است. مابقی کتاب نحوه انجام یازده آزمایش مختلف، در قالب دو فصل می‌باشد. از این تعداد، هشت آزمایش اول اصلی و سه آزمایش دیگر به صورت اختیاری می‌باشند. هشت آزمایش اول را در فصل دوم و سه آزمایش بعدی در فصل سوم قرار گرفته‌اند. پیشنهاد می‌شود این درس بصورت ده جلسه سه ساعتی در طول یک ترم ارائه شود. آزمایشهای موجود در فصل دوم حتماً باید تدریس شوند و برای انجام آنها می‌توان از تجهیزات آموزشی موجود در دانشگاه استفاده کرد. مطالب فصل سوم جنبه تکمیلی و اختیاری دارند و برای مواردی درنظر گرفته شده‌اند که زمان کافی در اختیار استاد بوده و دانشجو نیز علاقمند به کار اضافه باشد.

در این مجموعه سعی شده است تا ضمن ارائه مسائل عملی هر آزمایش، جنبه های تئوری نیز تا حدودی مطرح شوند تا این کتاب بتواند به صورت مستقل مورد استفاده قرار گیرد. بنابراین توصیه می‌شود که دانشجویان قبل از انجام آزمایش‌ها مباحث تئوری فصل اول را مطالعه نمایند.

عسکری مقدم- عظیمی پور

فهرست مطالب

عنوان	شماره صفحه
فصل اول- مدارهای مجتمع دیجیتال	۱
۱-۱ مقدمه	۱
۱-۲ تراشه	۲
۱-۳ خانواده‌های مدارهای مجتمع دیجیتال	۳
۱-۴ تکنولوژی GaAs	۵
۱-۵ روشهای نامگذاری مدارهای مجتمع دیجیتال	۵
۱-۶ روش خواندن شماره پایه‌های آی‌سی	۱۰
فصل دوم- آزمایشهای دیجیتال (۱)	۱۲
آزمایش ۱- بررسی گیت‌ها	۱۳
آزمایش ۲- طراحی جمع کننده‌ها	۲۰
آزمایش ۳- طراحی جمع‌کننده، تفریق‌گر موازی دوبیتی	۲۴
آزمایش ۴- پیاده‌سازی مدار ترکیبی با دیکدر	۲۶
آزمایش ۵- آشنایی با فلیپ‌فلاپها	۳۰
آزمایش ۶- طراحی شیفت رجیستر	۳۶
آزمایش ۷- بررسی عملکرد نمایشگر ۷ بخشی	۴۰
آزمایش ۸- طراحی شمارنده دودویی	۴۴
فصل سوم- آزمایشهای دیجیتال (۲)	۴۸
آزمایش ۹- پیاده‌سازی توابع منطقی با مولتی‌پلکسر	۴۹
آزمایش ۱۰- اندازه‌گیری حد پارازیت و مقادیر T_{PHL} و T_{PLH}	۵۳
آزمایش ۱۱- آشنایی با آی‌سی ۵۵۵	۵۷
پیوست	۵۹

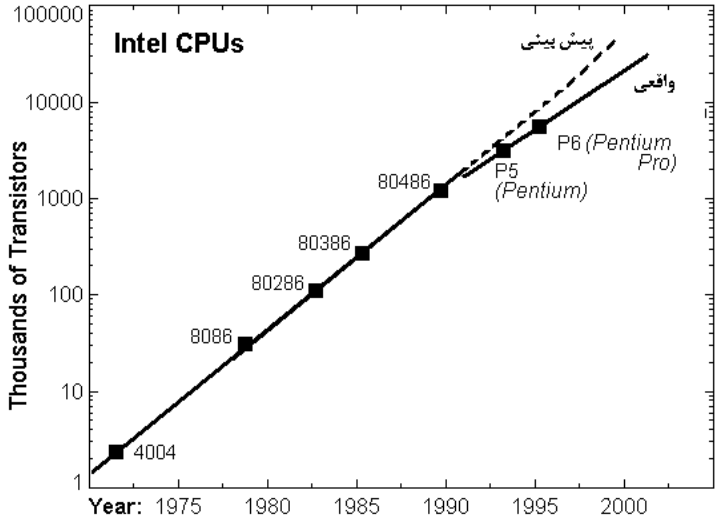
فصل اول

مدارهای مجتمع دیجیتال

۱-۱ مقدمه

اختراع ترانزیستور توسط ویلیام شـاکلی، والتـر بـراتین و جـان بـاردین از شـرکت Bell Telephone Laboratories توسعه مدارهای مجتمع را به دنبال داشت. اولین آی سی در اوایل سال ۱۹۶۰ معرفی شد و از آن هنگام تا کنون چهـار نسـل از آی سی ها، SSI(مجتمع سازی در مقیاس کوچک)، MSI(مجتمع سازی در مقیاس متوسط)، LSI، (مجتمع سازی در مقیاس بـزرگ) و VLSI(مجتمع سازی در مقیاس بسیار بزرگ) پدید آمده اند. هم اکنون در آستانه ظهور نسل پنجم ULSI(مجتمع سازی در مقیـاس ماوراء بزرگ) با پیچیدگی بیش از ۳ میلیون قطعه روی تنها یک تراشه آی سی قرار داریم.

روند فشرده سازی تراشه ها از قانون مور تبعیت میکند. طبق پیش بینی مور (از شرکت Intel) که در سال ۱۹۶۰ انجـام شد، چگالی فشرده سازی بر روی تراشه های مدار مجتمع هر ۱۸ ماه دو برابر میشود. همانطور که در شکل (۱-۱) نشان داده شـده است، این پیش بینی تا حدود زیادی به واقعیت نزدیک بوده است. اما همانطور که در شکل نیز مشخص است، در سالهای اخیر ایـن پیش بینی با واقعیت تا حدودی فاصله داشته است که علت آن را میتوان مسائل طراحی و آزمون تراشه ها در نظر گرفت.



شکل (۱-۱). روند رشد چگالی فشرده سازی مدارهای الکترونیکی و قانون مور

یک گیت NOT ساده را در نظر بگیرید . چنانچه ورودی Low باشد خروجی آن High خواهد بود و بالعکس. اما ساختار داخلی یک دریچهٔ منطقی چگونه است؟ منظور از سطح منطقی Low چیست؟ جریان خروجی آی‌سی حداکثر تا چه اندازه می‌تواند باشد؟ حداکثر فرکانس موج ورودی چقدر می‌تواند باشد؟ عملکرد صحیح آی‌سی در چه محدودهٔ دمایی است؟

پاسخ به سؤالات بالا و ده‌ها سؤال دیگر تنها با بررسی مدار داخلی آی‌سی‌ها امکان‌پذیر است. مدار داخلی هر آی‌سی به تکنولوژی ساخت آن بستگی دارد. تکنولوژی ساخت دریچه‌های منطقی متنوع است و به مرور زمان تکمیل شده است. دریچه‌هایی که با تکنولوژی‌های مختلف ساخته می‌شوند، از نظر منطقی یکسانند و استفاده از آنها در مدارهای دیجیتالی یکسان خواهد بود. بعضی از عواملی که در ارزیابی و مقایسهٔ دریچه‌ها با یکدیگر از نظر تکنولوژیهای گوناگون مهم‌اند عبارتند از : سرعت ، توان مصرفی ، قیمت ، حساسیت به نویز. برای انتخاب یک دریچه باید با توجه به کاربردی که مد نظر است و همچنین خصوصیات آن دریچه عمل کرد. مثلا ممکن است برای کاربردی که نیاز به سرعت بالای مدار است، یک آی‌سی خاص انتخاب شود که سرعت بالایی دارد درحالیکه توان مصرفی آن زیاد است.

۱-۲ تراشه

تراشه یا مدار مجتمع (که معادل فارسی chip یا IC[1] به زبان انگلیسی است) به مجموعه‌ای از مدارات الکترونیکی اطلاق می‌گردد که با استفاده از مواد نیمه‌رسانا در ابعادی کوچک ساخته می‌شود. معمولاً ماده نیمه رسانا سیلیکون است که همراه با میزان کنترل شده‌ای ناخالصی بکار می‌رود. سطح این تراشه ها غالباً کمتر از یک سانتی متر مربع است. این مدارها معمولاً شامل دو یا سه نوع قطعه الکترونیکی می‌باشند. مقاومت، خازن و ترانزیستور از جمله عناصر الکترونیکی پر مصرف در ساخت مدارهای منطقی هستند. مهم‌ترین عنصر بکار رفته در مدارهای مجتمع، ترانزیستور می‌باشد. هر تراشه معمولاً حاوی تعداد بسیار زیادی ترانزیستور می‌باشد که با استفاده از فناوری پیچیده‌ای در داخل یک لایه از سیلیکون همگون و با ضخامتی یکنواخت و بدون خرابی تزریق شده‌اند. امروزه تراشه‌ها در اکثر دستگاه‌های الکترونیکی و بویژه رایانه‌ها در ابعادی گسترده بکار می‌روند. وجود تراشه‌ها مرهون کشفیات بشر درباره نیمه رساناها و پیشرفتهای سریع پیرامون آنها در میانه‌های سده بیستم می‌باشد.

در ساختIC ها طراحان سعی می‌کنند تا حد امکان از ترانزیستور استفاده کنند. مثلاً بجای خازن از ترانزیستور در حالت بایاس معکوس استفاده می‌کنند. همچنین در جاهای دیگر که مقاومت بزرگی نیاز دارند (مثلاً در حد مگا اهم) باز هم از ترانزیستور استفاده می‌کنند. دلیل اینست که حجم و سطح مورد نیاز برای ساخت مقاومت تقریباً معادل حجم و سطح چند ترانزیستور می-

[1] Integrated circuit

باشد. بعضی ازIC ها به گونه‌ای از سیلیکون بهره می‌برند که می‌توانند حتی به عنوان حافظه مورد استفاده قـرار گیرنـد نمونـه‌ای از این ICها PROM[۲] نام دارد که حافظهٔ قابل برنامه‌ریزی فقط‌خواندنی نامیده می‌شوند. همانگونه که از اسم این نوع تراشـه معلـوم است اطلاعات آن فقط قابل خواندن است و امکان تغییرات در آن وجود ندارد از این نوع آی‌سی برای مـدارات اصـلی کـامپیوتر نیـز استفاده می‌شود. در بعضی مواقع از آن بعنوان حافظه فقط خواندنی که به آن ROM نیز می‌گویند، استفاده می‌شود.

۱-۳خانواده مدارهای مجتمع دیجیتال

مدارهای دیجیتال بلااستثناء با آی سی ها ساخته می شـوند . گیـت هـای آی سـی دیجیتـال نـه تنهـا بـر اسـاس عمـل منطقی‌شان بلکه با توجه به خانواده‌ای از مدارهای منطقی که به آنها تعلق دارند نیز دسته بندی مـی‌شـوند . هـر خـانواده منطقـی دارای مدار الکترونیکی پایه مختص به خود بوده و سایر توابع و مدارات پیچیده دیجیتال با استفاده از آنها سـاخته مـی شـوند. مـدار پایه در هر خانواده ، گیت NAND یا NOR است . قطعات الکترونیک بـه کـار رفتـه در سـاختمان مـدارات پایـه معمـولاً جهـت نام‌گذاری خانواده منطقی بکار می روند .انواع متفاوتی از خانواده های آی‌سی های دیجیتال در بازار موجودند که مشهورترین آنهـا در زیر لیست شده اند:

منطق دیود- مقاومت	DRL: Diode-resistor logic
منطق مقاومت-ترانزیستور	RTL: Resistor-transistor logic
منطق دیود-ترانزیستور	DTL: Diode-Transistor Logic
منطق ترانزیستور-ترانزیستور	TTL: Transistor-Transistor Logic
منطق کوپلاژ-امیتر	ECL: Emitter-Coupled Logic
فلز اکسید-نیمه هادی	MOS: Metal-Oxid Semiconductor
فلز اکسید نیمه هادی مکمل	CMOS: Complementary Metal-Oxid Semiconductor

[2] Programmable Read Only Memory

در تکنولوژی ECL ترانزیستورها به حالت اشباع نمی روند، بنابراین این خانواده منطقی دارای کمترین تاخیر زمانی در مقایسه با خانواده های دیگر می باشد و در سیستمهایی که نیاز به سرعت بالایی دارند مورد استفاده قرار میگیرند. اما از طرف دیگر، دارای حساسیت به نویز و توان تلفاتی بیشتری نسبت به دیگر خانواده های منطقی می‌باشند. توان بالاتر این خانواده به این علت است که همواره از مدار جریان قابل توجهی عبور می‌کند.

اساس ساختمان دریچه های MOSFET، ترانزیستورهای MOSFET کانال N (تکنولوژی NMOS) و کانال P (تکنولوژی PMOS) می‌باشد. در تکنولوژی CMOS[۳] هر دو نوع ترانزیستورهای P وN مشاهده می‌شود. ولتاژ تغذیهٔ CMOS می‌تواند بین ۳ تا ۱۸ ولت تغییر کند و امپدانس ورودی آن نیز زیاد است. همچنین تکنولوژی CMOS دارای توان مصرفی پائینی میباشد و فرآیند ساخت آن از TTL ساده تر و چگالی فشرده سازی آن بالاتر می باشد. سرعت پایین تکنولوژی CMOS از معایب اساسی آن محسوب می‌شود.

همانطور که اشاره شد، یکی از معایب تکنولوژی CMOS، سرعت پائین آن می‌باشد. برای حل این مشکل می توان از گیت‌های BiCMOS استفاده کرد که روش موثری برای بالا بردن سرعت در مدارهای VLSI می‌باشد. از طرف دیگر، تکنولوژی CMOS دارای توانایی کمی برای تحریک بارها می‌باشد. بنابراین با بکار بردن ترانزیستور دوقطبی در خروجی می‌توان بار را با جریان بیشتری تحریک کرد. در کنار مزایای BiCMOS، این تکنولوژی معایبی نیز دارد که از جمله می‌توان به مراحل اضافی در فرآیند طراحی و ساخت، کم شدن تراکم عناصر داخل تراشه و در نتیجه هزینه بیشتر اشاره کرد.

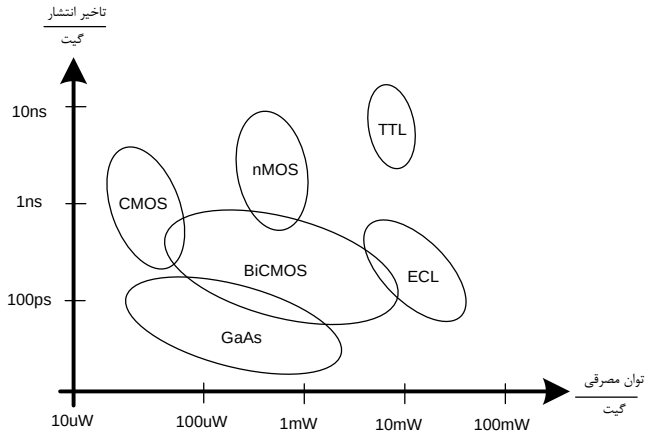
TTL امروزه یکی از متداول ترین خانواده‌های آی‌سی‌های دیجیتال می باشد که بطور گسترده‌ای در تولید انواع توابع دیجیتال بکار گرفته شده است. آی سی های TTL معمولاً با سری شماره های 54xx و 74xx شناخته می شوند . نوع اول محدوده گرمایی گسترده تری در عمل دارند و برای صنایع نظامی مناسبند ، و گروه دوم دارای محدوده گرمایی کمتری بوده و در صنعت بکار می روند .

[3] Complementary MOS

۱-۴ تکنولوژی GaAS[۴]

به موازات توسعه تکنولوژی سیلیکون، نتایج قابل توجهی برای تکنولوژی مبتنی بر گالیوم آرسنایدبدست آمده است. مزایایی چون قابلیت تحرک بسیار بالای الکترون در گالیوم آرسنایدنسبت به سیلیکون، بهبود ۱/۴ برابری در سرعت اشباع حاملها در GaAs در مقایسه با سیلیکون، پارازیت کمتر و خواص نوری-الکتریکی مناسب آن از ویژگیهای مطلوب این خانواده است. همچنین بهبود قابل توجه در توان مصرفی و مقاومت در برابر تشعشع، برتری قابل ملاحظه ای را در کارآیی محصولات گالیوم آرسنایدر مقابل خانواده های CMOS و TTL نشان میدهد. گالیوم آرسنایدجایگزین سیلیکون نخواهد شد، اما در کنار سیلیکون بکار خواهد رفت تا نیازهای تکنولوژی مدارهای مجتمع با سرعت بالا را در بسیاری از سیستمهای جدید برآورده کند.

پیشرفتهای حاصل، از لحاظ سرعت و توان در GaAs و تکنولوژیهای متداول سیلیکون را می‌توان با مراجعه به شکل (۱-۲) ارزیابی نمود.



شکل(۱-۲). مقایسه تکنولوژی های مختلف ساخت مدارهای مجتمع از نظر توان و تأخیر انتشار

۱-۵ روشهای نامگذاری مدارهای مجتمع دیجیتال

شرکت TEXAS INSTRUMENTS اولین آی سی TTL خود را با نام SN7400 روانهٔ بازار کرد و پس از آن آی سی های TTL دیگری از جمله SN7401 ، SN7402 که توابع منطقی دیگری را پیاده سازی میکردند، را در خط تولید خود قرار داد.

4 Gallium Arsenide

پس از آن شرکتهای دیگری مانند National Semiconductor ، Motorola آی‌سی‌های خود را تولید و تحت عنوانهای مشابهی نامگذاری کردند. نامهایی که برای خانواده TTL استفاده شده، معمولا با عدد ۷۴ شروع میشوند، لذا خانواده TTL به سری ۷۴ نیز معروف است. علائم اختصاصی شرکتهای سازنده در جدول ۱-۱ نشان داده شده است.

جدول(۱-۱). نام بعضی از شرکتهای سازنده و نام آی‌سی های ساخته شده

نام شرکت سازنده	نام آی سی
Texas Instrument	SN7400
Toshiba	TC7400
Hitachi	HD7400
Goldstar	GD7400
Philips	N7400

در همین ایام برای تغییر دادن بعضی از مشخصات TTL مانند سرعت، توان مصرفی و ایمنی در مقابل نویز، تغییرات کوچک و بزرگی در طرح اولیهٔ TTL داده شد، ولی چون شکل خارجی و روابط منطقی در این طرح‌ها درست همانند خانوادهٔ اصلی TTL بود، لذا این طرحها را نیز تحت عنوان خانواده‌های پیشرفتهٔ TTL نامیدند. خانواده TTL بر اساس توان مصرفی، سرعت و دیگر مشخصه ها به انواع مختلفی تقسیم می‌شوند که در جدول (۱-۲) علامت اختصاری آنها آورده شده است.

جدول (۱-۲). تقسیم‌بندی و نامگذاری انواع آی‌سی‌های خانواده TTL

سری TTL	علامت اختصاری
Standard TTL	Std
Advanced Low-Power Schottky TTL	ALS
Advanced Schottkey TTL	AS
Fast Schottky TTL	F
High-Power TTL	H
Low-Power TTL	L
Low-Power Schottky TTL	LS
Schottky TTL	S

این علایم اختصاری در شمارهٔ آی‌سی لحاظ می‌شود، مثلا SN74Std192 یا SN74AS25 و یا N74LS00 سه آی‌سی مختلف از خانواده TTL هستند. بطور مثال آی‌سی SN74Std192 را درنظر بگیرید. مفهوم اعداد و حروف بکار رفته در نام آی سی در جدول (۱-۳) نشان داده شده است.

جدول (۱-۳). جزئیات نامگذاری آی‌سی SN74Std192

SN	74	Std	192
علامت اختصاصی شرکت سازنده	خانواده آی سی	نوع سری	**نوع گیت**
Texas Instrument	TTL	Standard TTL	شمارنده

در جدول (۱-۴) نیز انواع مختلف خانواه TTL از لحاظ سرعت و توان مصرفی مقایسه شده انـد. در بعضـی از کتـب بـرای مقایسـه و بررسی انواع خانواده‌های مدارهای مجتمع دیجیتال از حاصلضرب توان مصرفی در تأخیر انتشار استفاده می‌کنند. معمولا هرچه توان مصرفی کمتر شود، تأخیر گیت بیشتر خواهد شد و این دو پارامتر در بیشتر حالات نسبت معکوس با هم دارنـد. همچنـین افـزایش سرعت گیت (یا کم شدن تأخیر انتشار) معمولاً باعث افزایش توان می‌گردد. افزایش توان در غالب سیستم‌ها مطلوب نمی‌باشـد زیـرا علاوه بر اتمام سریعتر منبع تغذیه (مثلا باتری)، باعث گرم شدن و بالا رفتن درجه حرارت آی‌سی نیز می‌گردد و ممکن است بـه آن آسیب برساند.

جدول (۱-۴). مقایسه انواع مختلف آی‌سی‌های خانواده TTL از نظر تأخیر انتشار و توان مصرفی

TTL series	switching time (nS)[۶]	Power consumption (mW/gate)[۵]
Std	10	10
ALS	4	1
AS	1.5	22
F	2	4
H	6	22.5
L	33	1
LS	9	2
S	3	20

[5] unloaded outputs at 1 KHz and a 50%duty cycle

[6] $\text{output} - \text{load} = C_L = 50\text{pF}, R_L = 280\Omega$

بنابراین مشاهده می‌کنید که اگرچه نوع L مصرف انرژی خیلی کمی دارد، اما در مقابل کند است. هر طراح با توجه به نیازهـای طرح، خانوادهٔ آی‌سی را به دلخواه انتخاب می کند.

از آنجایی که در مصارف نظامی از قطعات الکترونیکی با ضریب اطمینان بیشتر و تحمل درجـهٔ حـرارت و رطوبـت بـالاتر بهـره گرفته می‌شود، لذا خانواده های جدید که پایه ها و نوع شکل بسته‌بندی آنها کاملاً شبیه خانوادهٔ 74 است نیز معرفی شـدند کـه در نامگذاری فقط دوشمارهٔ اول آن تغییر می کند. در جدول (۱-۵) جزئیات بیشتر قابل مشاهده است.

جدول (۱-۵). خانواده‌های دیگر TTL که مصارف صنعتی و نظامی دارند.

نوع مصرف	محدودهٔ دمایی مجاز	خانواده
خانگی	$0^{\circ}C \rightarrow +70^{\circ}C$	۷۴
صنعتی	$-55^{\circ}C \rightarrow +85^{\circ}C$	۶۴
نظامی	$-55^{\circ}C \rightarrow +125^{\circ}C$	۵۴

موضوع دیگری که می توان با کمک نوشته های روی آی‌سی تشخیص داد، جنس روکش و نوع بسته بندی آن است که معمـولاً به صورت یک حرف و دو حرف در سمت راست نام آی‌سی نوشته مـی شـود. ایـن حـروف اختصـاری در جـدول (۱-۶) نشـان داده شده‌اند.

جدول (۱-۶). حروف مربوط به نوع بسته‌بندی آی‌سی

فلزی	Metal	M
پلاستیکی	Plastic	P
شیشه ای	Glass	G

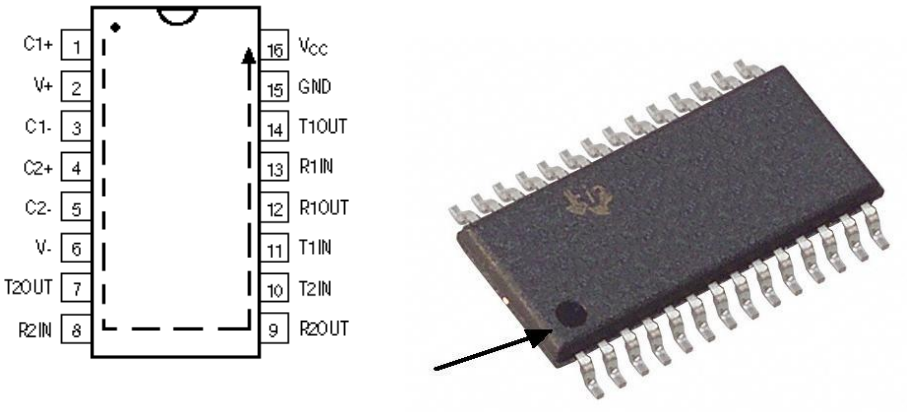
C	Ceramic	سرامیکی
Q	Quartz Window	با پنجرهٔ کوارتزی

به عنوان مثال آی‌سی SN74LS25P روکشی از جنس پلاستیک دارد.

قابل ذکر است که برای آی سی های CMOS نیز از روش نامگذاری مشابهی استفاده می‌شود با این تفاوت که شمارهٔ آی‌سی با عدد 4 یا 5 شروع می‌شود.

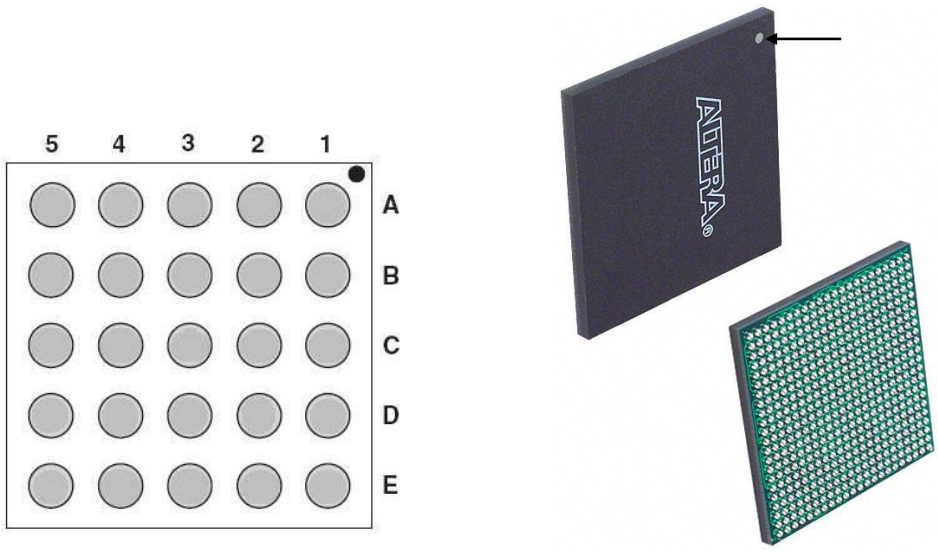
۱-۶ روش صحیح خواندن شماره پایه های آی سی ها

برای اینکه بتوانیم محل دقیق پایه های آی‌سی ها را در برد تشخیص دهیم باید با نحوه شماره گذاری پایه ها آشنا شویم در این بخش توضیح مختصری در این رابطه داده شده است. در تمام آی‌سی ها نقطه شروع مشخص شده است این نقطه یا نشانه در صورتی که سطح آی‌سی تمیز باشد به راحتی قابل تشخیص می باشد. برای پیدا کردن شماره پایه ها باید ابتدا نقطه روی آی‌سی را پیدا کنیم.



شکل (۱-۳). نحوه تشخیص شماره پایه‌های آی‌سی‌ها

برخی از آی‌سی ها و همچنین CPU ها دارای پایه هایی می‌باشند که در زیر آنها قرار دارد. نحوه شماره گذاری پایه ها نیز به صورت ماتریسی و مانند شکل زیر می‌باشد. از نقطه شروع به سمت پایین حروف انگلیسی قرار می گیرند و از نقطه شروع به سمت چپ اعداد هستند. در شکل زیر کاملاً مشخص شده که پایه های چگونه شماره گذاری شده اند.



شکل (۱-۴). نحوه تشخیص شماره پایه‌های آی‌سی‌های پیچیده‌تر

برخی از حروف به علت اینکه تشابه شکلی با اعداد دارند در شماره گذاری قرار نگرفته اند، مانند:

I , O , Q , S , X , Z

اگر تعداد پایه های آی سی بیشتر از حروف انگلیسی بود، مجدداً از ابتدا حروف انگلیسی تکرار می شوند و برای اینکه با ردیف های اول اشتباه نشود، آن حروف دو بار نوشته می شود. به عنوان مثال در آی سی CPU چون تعداد پایه ها بیشتر از حروف باقی مانده انگلیسی است بعد از ردیف Y ردیف AA قرار می گیرد.

فصل دوم

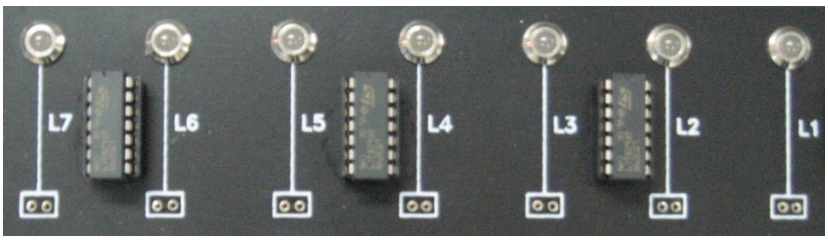
آزمایشهای دیجیتال (۱)

آزمایش ۱-قسمت اول

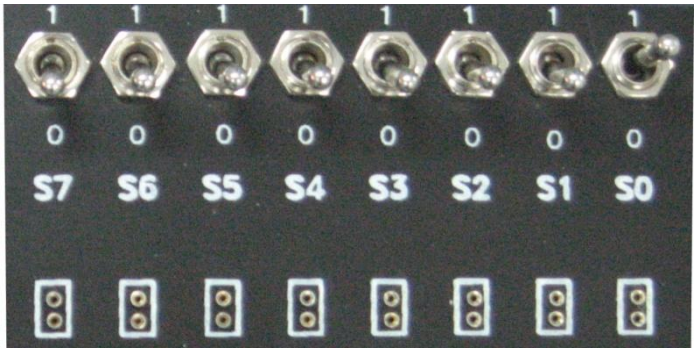
موضوع آزمایش: بررسی اجمالی گیتهای OR، NAND و NOT

روش انجام آزمایش

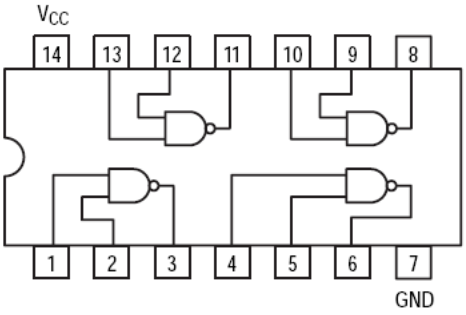
با استفاده از آی سی ۷۴۰۰ یک گیت NAND را ببندید. برای مشاهده خروجی میتوانید از یک LED استفاده کنید. توجه کنید که برای محدود کردن جریان بایستی یک مقاوم ۲۲۰ اهمی با LED سری شود که در مدار میز کار آزمایشگاه این کار بصورت داخلی انجام شده است و دیگری نیازی به اضافه کردن آن نمی باشد. همچنین برای اعمال ورودی ۰ و ۱ منطقی (۰ و ۵ ولت) به گیت میتوانید از کلیدهای دیجیتالی استفاده کنید که قادر است ورودی صفر و یا یک را تولید و به مدار اعمال کند. از LEDهای موجود بر روی برد نیز برای دیدن خروجی‌های مدار استفاده نمایید. تمام حالتهای مختلف ورودی را به مدار اعمال کرده و جدول درستی گیت NAND را تحقیق کنید. همین کار را برای گیتهای NOT و OR تکرار کنید.

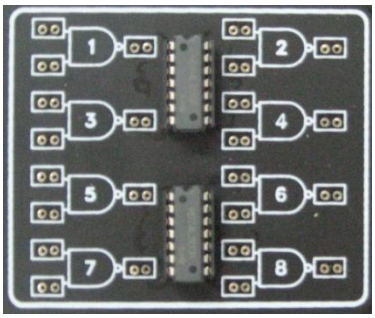


LEDهای موجود بر روی برد آزمایشگاه

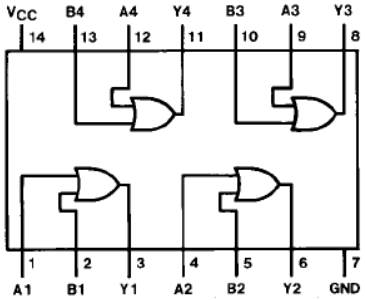


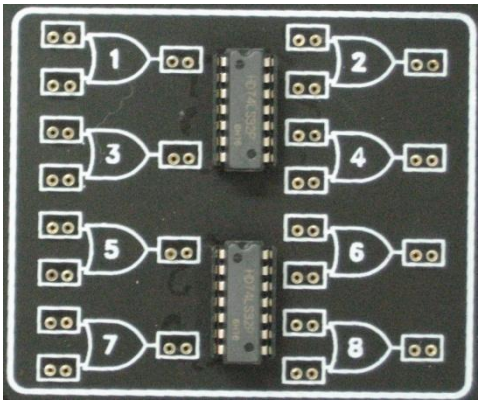
سوئیچ‌های موجود بر روی برد آزمایشگاه





دیاگرام بلوکی آسی گیت NAND و شکل آن بر روی برد آزمایشگاه

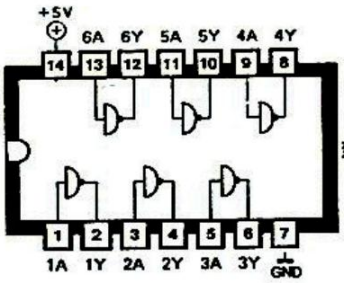


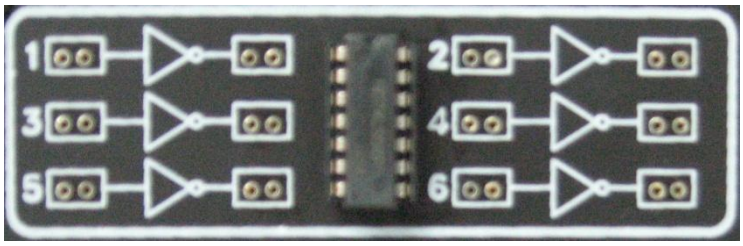


دیاگرام بلوکی آی سی گیت OR و شکل آن بر روی برد آزمایشگاه

جدول درستی گیت NAND و OR

ورودی		خروجی	
A	B	گیت OR	گیت NAND
0	0	؟	
0	1	؟	
1	0	؟	
1	1	؟	





دیاگرام بلوکی آی‌سی گیت NOT و شکل آن بر روی برد آزمایشگاه

جدول درستی گیت NOT

ورودی	خروجی
A	
0	؟
1	؟

پرسش:

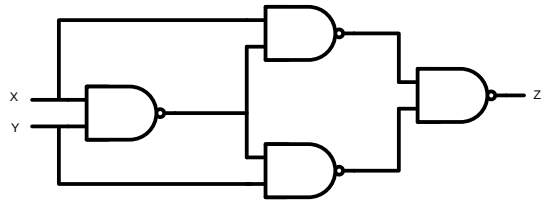
در مورد اندازه مقاومت سری با LED بحث کنید.

آزمایش ۱- قسمت دوم

موضوع آزمایش: طراحی گیت XOR

مباحث تئوری

نحوه پیاده سازی گیت XOR توسط چهار گیت NAND در شکل زیر نشان داده شده است. نحوه عملکرد مدار درست مانند یک گیت XOR می باشد.



$Z=X.Y'+X'.Y$

روش انجام آزمایش

با استفاده از آی سی ۷۴۰۰ که شامل چهار گیت NAND می‌باشد، مدار معادل XOR را پیاده سازی کرده، جدول درستی گیت XOR را تحقیق کنید. همانند آزمایشهای قبلی می‌توانید از کلیدهای دیجیتالی در ورودی و برای مشاهده خروجی از LED استفاده کنید.

جدول درستی گیت XOR

ورودی		خروجی
A	B	
0	0	؟
0	1	؟
1	0	؟
1	1	؟

پرسش

۱) چگونه میتوان با استفاده از گیتهای NAND، یک گیت OR طراحی کرد؟

۲) با چه تغییراتی میتوان گیت XOR را به یک گیت معکوس کننده و یا بافر تبدیل کرد؟

آزمایش ۱- قسمت سوم

موضوع آزمایش: طراحی مدار رای گیری سه نفره

مباحث تئوری

میخواهیم مداری طراحی کنیم که رای اکثریت را با روشن کردن یک LED نمایش دهد. جدول درستی مربوطه در زیر نشان داده شده است.

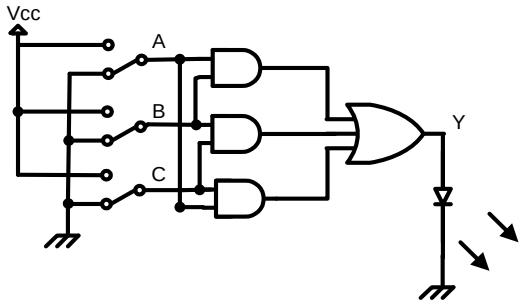
ورودی			خروجی
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

حال با استفاده از جدول کارنو عبارت خروجی را بدست می آوریم:

$$Y=AB+AC+BC$$

روش انجام آزمایش

با استفاده از گیتهای منطقی مدار مربوط به رابطه بالا را ببندید. سپس با دادن ورودیهای مناسب، جدول زیر را تکمیل نمائید و نتایج را با نتایج تئوری مقایسه نمائید.



ورودی			خروجی
A	B	C	Y
0	0	0	؟
0	1	1	؟
0	1	0	؟
1	0	1	؟
1	1	0	؟

آزمایش ۲

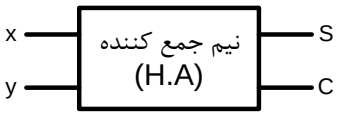
موضوع آزمایش: پیاده سازی نیم جمع کننده و تمام جمع کننده

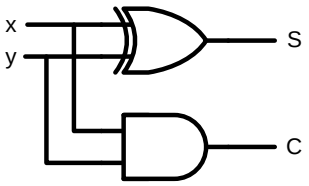
وسایل و المانهای مورد نیاز: منبع تغذیه، بردبورد، آی‌سی ۷۴۸۶ و ۷۴۰۰

مباحث تئوری

مدارهای منطقی در سیستمهای دیجیتال میتوانند ترکیبی و یا ترتیبی باشند. یک مدار ترکیبی متشکل از تعدادی گیت منطقی است که خروجی آنها در هر لحظه مستقیما بوسیله ورودیهای همان لحظه معین میشود و به ورودیهای قبلی بستگی ندارد. در واقع هدف از این بخش آشنایی با نحوه طراحی مدارهای ترکیبی و مشاهده عملکرد آنها می‌باشد. در این بخش ابتدا به طراحی مدار نیم جمع کننده و سپس به طراحی مدار تمام جمع کننده خواهیم پرداخت. مدار ترکیبی بعدی، جمع کننده-تفریقگر دودویی موازی خواهد بود.

نیم جمع کننده: در یک نیم جمع کننده، مدار دارای دو ورودی مضاف و مضاف الیه و دو خروجی حاصلجمع و بیت نقلی میباشد. در اینجا دو سمبل x و y برای دو ورودی و سمبلهای S(مجموع) و C(رقم نقلی) را برای خروجیها در نظر گرفته ایم. جدول درستی و دیاگرام منطقی یک نیم جمع کننده در شکل زیر نشان داده شده است.





x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

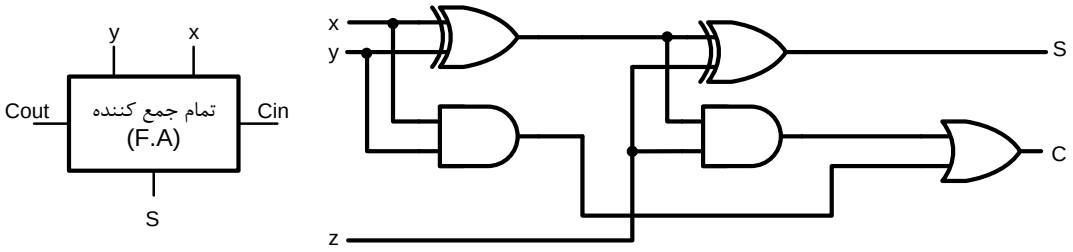
در یک نیم جمع کننده داریم:

$$sum = xy' + y'x = x \oplus y$$

$$carry = xy$$

تمام جمع کننده

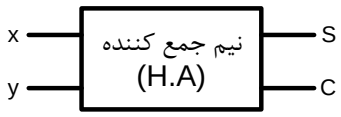
تمام جمع کننده عبارتست از یک مدار ترکیبی که قادر است سه رقم ورودی را با یکدیگر جمع کند، بطوریکه دو متغیر x و y ورودی هایی هستند که قرار است با یکدیگر جمع شوند و ورودی سوم، z، رقم نقلی حاصل از جمع ستون مرتبه پائین تر است. همانند نیم‌جمع کننده، مدار دارای دو خروجی S و C میباشد. جدول درستی و دیاگرام منطقی یک تمام جمع کننده در شکل زیر نشان داده شده است.

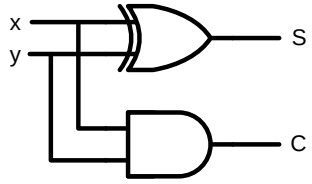


x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

روش انجام آزمایش

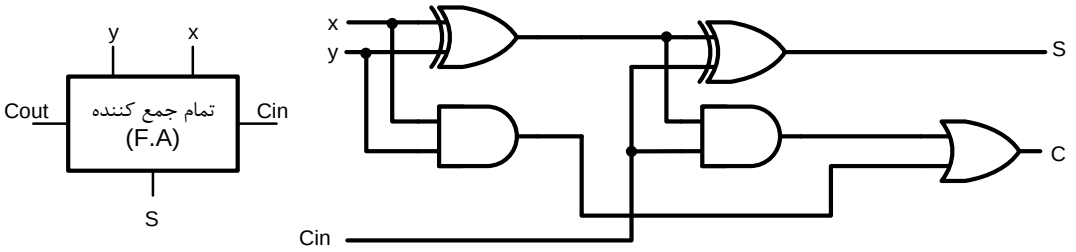
۱) با استفاده از آی سی ۷۴۸۶(گیت XOR) و ۷۴۰۰ (گیت NAND) مدار یک نیم جمع کننـده را کـه در بخـش مقدمـه توضیح داده شده است را پیاده سازی کرده و جدول درستی آن را تکمیل کنید.





ورودی		خروجی	
A	B	بیت نقلی(C)	حاصل جمع(S)
0	0		
0	1		
1	0		
1	1		

۲) با استفاده از آی سی ۷۴۸۶(گیت XOR)، ۷۴۰۰ (گیت NAND) و ۷۴۳۲ (گیت OR) مدار یک تمام جمع کننـده را بـر روی بردبورد پیاده سازی کرده و نتایج عملی بدست آمده را به ازای ورودی هـای مشـخص شـده در جـدول زیـر بدسـت آورید.



ورودی			خروجی	
A	C	B	بیت نقلی(C)	حاصل جمع(S)
0	1	0		
0	1	1		
1	0	0		
1	1	1		
1	1	0		
0	0	0		

آزمایش ۳

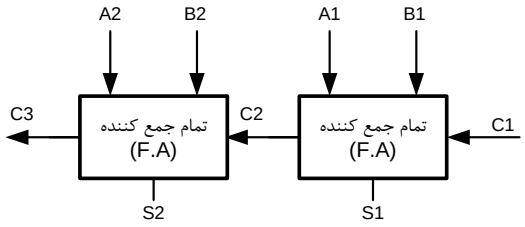
موضوع آزمایش: پیاده سازی جمع کننده و تفریقگر موازی دو بیتی

وسایل و المانهای مورد نیاز: منبع تغذیه، بردبورد، آی‌سی ۷۴۸۶ ، ۷۴۰۰ و ۷۴۳۲

مباحث تئوری

جمع کننده دودویی موازی

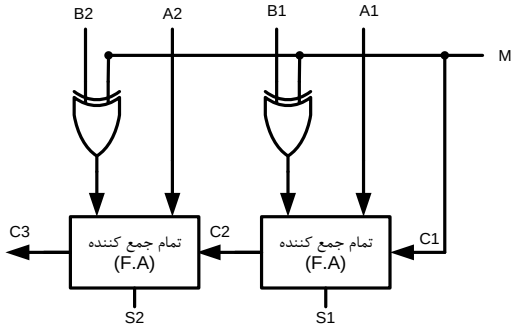
یک جمع کننده دودویی عبارتست از یک مدار دیجیتال که حاصلجمع حسابی دو عدد دودویی را بصورت موازی تولید میکند و شامل تمام جمع کننده هایی است که بصورت متوالی بسته شده اند و خروجی نقلی هر تمام جمع کننده به ورودی نقلی تمام جمع کننده بعدی متصل میشود. در شکل زیر شماتیک یک مدار جمع کننده دو بیتی موازی نشان داده شده است.



جمع کننده-تفریق گر دودویی

همانطور که می دانید تفریق اعداد دودویی را میتوان با استفاده از مکمل اعداد به فرم ساده تری انجام داد. تفریق A-B را میتوان با گرفتن مکمل ۲ برای B و جمع آن با A بدست آورد. مکمل ۲ هم به نوبه خود از مکمل ۱ و جمع ۱ با کم ارزشترین بیت بدست می آید. بنابراین مدار تفریق گر A-B متشکل شده است از جمع کننده موازی با معکوس کننده هایی که هر بیت از داده ورودی B را مکمل کرده سپس به تمام جمع کننده اعمال می کند. همچنین برای انجام عمل تفریق باید عدد ۱ را از محل بیت نقلی ورودی به تمام جمع کننده موازی اعمال کرد. اگر $A \geq B$ باشد، حاصل عمل فوق همان A-B خواهد بود و اگر $A < B$ باشد، حاصل عمل برابر با مکمل ۲ عدد B-A خواهد بود.

در نتیجه اعمال جمع و تفریق میتوانند در یک مدار مشترک ترکیب شوند. این کار با بکارگیری OR انحصاری برای جمع کننده تحقق می یابد. مدار جمع کننده-تفریق گر دودویی در شکل زیر نشان داده شده است. در مدار زیر، ورودی M نوع عمل را کنترل میکند و وقتی M=0 باشد، مدار یک جمع کننده و وقتی M=1 باشد، مدار یک تفریقگر خواهد بود. هر OR انحصاری، ورودی M و یکی از ورودی ها، مثل B را دریافت میکند. وقتی M=0 باشد، داریم $B \oplus 0 = B$. بطور مشابه وقتی M=1 باشد داریم $B \oplus 1 = B'$ و C=1 و عمل تفریق انجام میشود. بعبارت دیگر عدد ورودی B بطور کامل مکمل ۲ شده و مدار عمل جمع A بعلاوه مکمل دو B را انجام میدهد.



روش انجام آزمایش

با استفاده از دو تمام جمع کننده یک بیتی و دو گیت XOR، یک مدار جمع کننده-تفریقگر را پیاده سازی کنید و با تغییر مقدار سیگنال کنترلی M، عمل جمع و تفریق را به ازای مقادیر داده شده در جدول انجام داده و جدول را تکمیل نمائید. توجه کنید که X همان عدد دو بیتی A_1 و A_2 و Y عدد دو بیتی B_1 و B_2 میباشد.

X	Y	حاصل جمع	C_{out}	حاصل تفریق	C_{out}
۳	۱				
۲	۰				
۳	۳				

تحقیق

- یکی از معایب جمع کننده های موازی، تاخیر انتشار بیت نقلی میباشد. برای از بین بردن این مشکل، مداری را ارائه دهید و آن را با جمع کننده موازی مقایسه کنید.

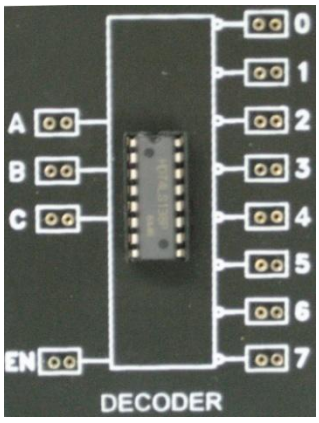
آزمایش ۴- قسمت اول

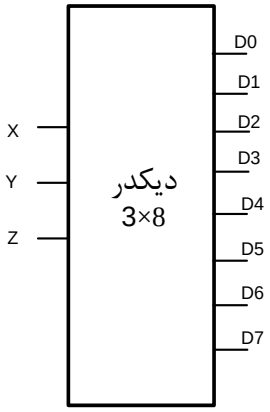
موضوع آزمایش: آشنایی با دیکدر 3×8

وسایل و المانهای مورد نیاز: منبع تغذیه، بردبورد، آی‌سی ۷۴۱۳۸

مباحث تئوری

یک دیکدر عبارتست از یک مدار ترکیبی که اطلاعات دودویی را از طریق n خط ورودی دریافت نموده و آنها را حداکثر به 2^n خط خروجی منحصر بفرد تبدیل می نماید. به عنوان مثال اگر XYZ=101 باشد، برای دی‌کودر نشان داده شده در شکل زیر خروجی D_5 صفر شده و دیگر خطوط خروجی یک خواهند بود.





یک دیکدر با استفاده از n متغییر ورودی، 2^n مینترم را تولید میکند. چون هر تابع بول میتواند بصورت مجموع مینترم ها بیان شود، لذا میتوان با استفاده از یک دیکدر مینترم ها را تولید کرد و بوسیله یک گیت OR مجموع آنها را تشکیل داد. با استفاده از این روش هر مدار ترکیبی با n ورودی و m خروجی را میتوان بوسیله یک دیکدر n به 2^n و m گیت OR پیاده سازی کرد.

روش انجام آزمایش

آی‌سی ۷۴۱۳۸ یک دیکدر 3×8 میباشد. با مطالعه مشخصات آی‌سی که در پیوست موجود است و با اعمال ورودیهای مناسب، آنرا در حالت فعال قرار دهید و جدول زیر را تکمیل کنید. می توان از آی‌سی موجود در برد آموزشی نیز استفاده کرد. در این حالت ورودی EN را برابر ۱ قرار دهید تا دیکدر فعال شود. برای مشاهده خروجیها نیز میتوانید از LED استفاده کنید.

CBA	Y_0 Y_1 Y_2 Y_3 Y_4 Y_5 Y_6 Y_7
000	
010	
100	
101	
110	

آزمایش۴- قسمت دوم

موضوع آزمایش: پیاده سازی تمام جمع کننده با استفاده از دیکدر

وسایل و المانهای مورد نیاز: منبع تغذیه، بردبورد، آی‌سی ۷۴۱۳۸ و ۷۴۳۲

مباحث تئوری

همانطور که در مقدمه نیز اشاره شد، با استفاده از دیکدر میتوان مینترم ها را تولید کرد و بوسیله گیت OR مجموع آنها را تشکیل داد. در این آزمایش میخواهیم یک تمام جمع کننده را با استفاده از دیکدر پیاده سازی کنیم. در یک تمام جمع کننده داریم:

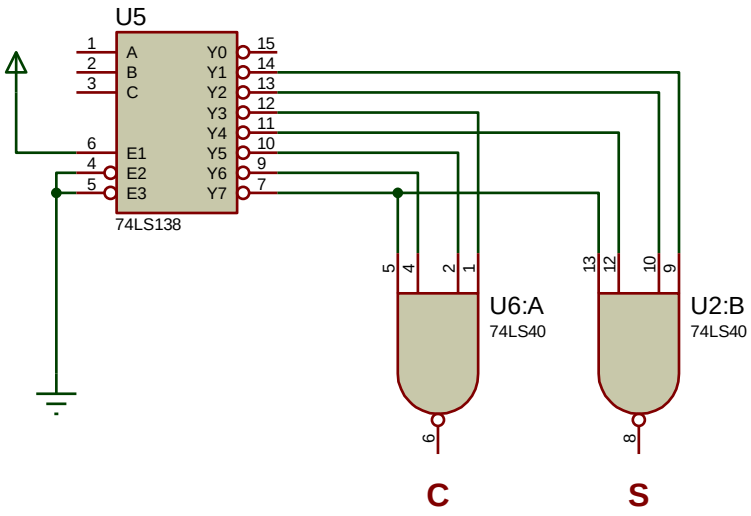
$$S(x,y,z) = \sum(1,2,4,7)$$

$$C(x,y,z) = \sum(3,5,6,7)$$

چون مدار دارای سه ورودی و مجموعا ۸ مینترم است، لذا به یک دیکدر 8×3 نیاز داریم. با استفاده از یک دیکدر 8×3 و گیتهای NAND، مدار یک تمام جمع کننده را که در شکل زیر نشان داه شده است را پیاده سازی کرده و با دادن ورودیهای مختلف جدول زیر را تکمیل کنید. توجه کنید که به علت NOT بودن خروجیهای این دیکدر، بایستی از گیت NAND به جای OR استفاده کنیم (چرا؟)

روش انجام آزمایش

با استفاده از دیکدر ۷۴۱۳۸ و آی‌سی ۷۴۴۰، مدار زیر را ببندید و با اعمال ورودیهای مناسب، جدول زیر را کامل کنید.



ورودی			خروجی	
A	B	C (بیت نقلی ورودی)	بیت نقلی خروجی (C)	حاصل جمع(S)
0	0	1		
0	1	1		
1	0	0		
1	1	1		

پرسش

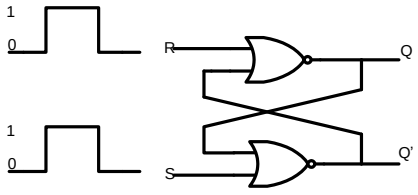
۱) چگونه میتوان با استفاده از چهار دیکدر 8×3 دارای ورودی توانا ساز و یک دیکدر 4×2 ، یک دیکدر 32×5 را پیاده سازی نمود؟

آزمایش ۵- قسمت اول

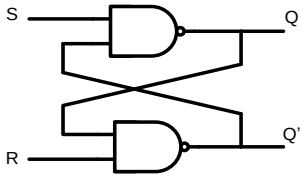
موضوع آزمایش: آشنایی با لچها و فلیپ فلاپها

مباحث تئوری

مدار یک لچ SR در شکل زیر نشان داده شده است. این مدار دارای دو خروجی Q و 'Q و دو ورودی S و R میباشد که به ترتیب حروف اول کلمات ست (نشاندن) و ری ست (بازنشاندن) هستند. در شکلهای زیر مدار یک لچ با استفاده از دو گیت NOR و دو گیت NAND نشان داده شده است. یک لچ دارای دو وضعیت قابل استفاده است. وقتی Q=1 و Q′=0 باشد، لچ در حالت نشاندن (یا "۱") و زمانی که Q=0 و Q′=1 باشد، در حالت بازنشاندن (یا "۰") است. خروجی های Q و Q′ مکمل یکدیگر هستند و به ترتیب خروجی طبیعی و خروجی مکمل نام دارند. بکار بردن ۱ در ورودی S باعث میشود که لچ به حالت ۱ برود. همچنین بکار بردن ۱ در ورودی R باعث میشود که لچ به حالت ۰ برود. جدول درستی لچ SR در شکل زیر نشان داده شده است.



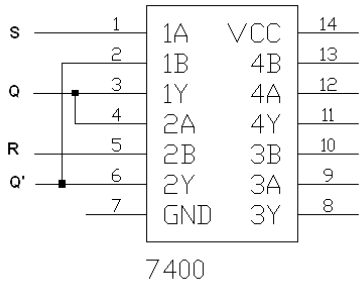
R S	Q Q'
1 0	1 0
0 0	1 0
0 1	0 1
0 0	0 1
1 1	0 0
0 0	?



S R	Q Q'
1 0	0 1
1 1	0 1
0 1	1 0
1 1	1 0
0 0	1 1
1 1	?

روش انجام آزمایش

با استفاده از آی‌سی ۷۴۰۰ (گیت NAND) مدار یک لچ SR را پیاده سازی کرده و با اعمال ورودیهای مختلف جدول درستی آن را تحقیق کنید. بجای استفاده از آی‌سی ۷۴۰۰ می توانید گیتهای موجود در برد آموزشی را بکار برید.



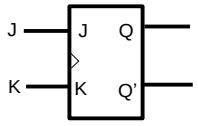
SR	Q	Q’
10		
11		
01		
11		
00		
11		`

آزمایش ۵- قسمت دوم

موضوع آزمایش: فلیپ فلاپ JK

مباحث تئوری

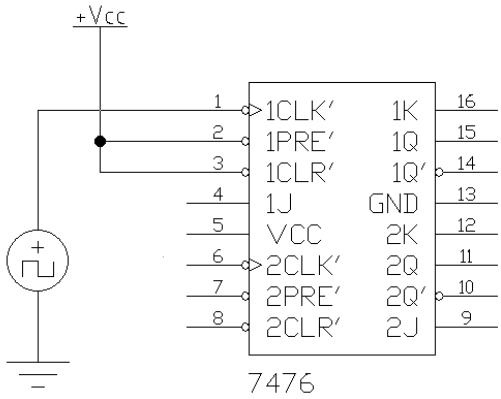
سمبل گرافیکی و جدول تحریک یک فلیپ فلاپ JK در شکل زیر نشان داده شده است.



J	K	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	Q'(t)

روش انجام آزمایش

آی‌سی ۷۴۷۶ شامل دو فلیپ فلاپ JK حساس به لبه مثبت میباشد که میتوانند به صورت مجزا مورد استفاده قرار بگیرند. این آی‌سی شامل دو پایه $\overline{Preset}$ و $\overline{Reset}$ میباشد که در مد نرمال بایستی در وضعیت High باشند. بعد از مطالعه مشخصات مربوط به آی‌سی که در پیوست موجود است، مدار را بسته و با اعمال ورودیهای مناسب، جدول حالت آن را تکمیل کنید. برای انجام این آزمایش می توانید از آی‌سی های موجود بر روی بود آموزشی نیز استفاده کنید.



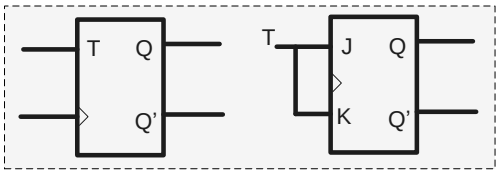
1J 1K	1Q	1Q’
10		
01		
00		
11		

آزمایش ۵- قسمت سوم

موضوع آزمایش: فلیپ فلاپ T

مباحث تئوری

سمبل گرافیکی و جدول تحریک یک فلیپ فلاپ T در شکل زیر نشان داده شده است. با توجه به جدول مشخصه در می یا بیم وقتی که T=1 است، حالت فلیپ فلاپ مکمل میشود و هنگامی که T=0 است، فلیپ فلاپ تغییر حالت نمی دهد و بدون تغییر باقی می ماند.



T	Q(t+1)
0	Q(t)
1	Q'(t)

برای یک فلیپ فلاپ T داریم:

$$Q(t+1) = T \oplus Q(t)$$

و برای یک فلیپ فلاپ JK داریم:

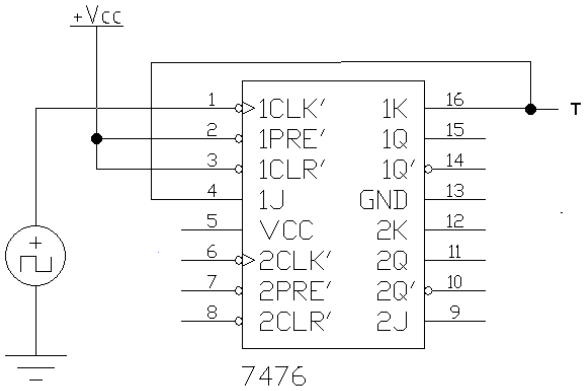
$$Q(t+1) = JQ' + K'Q$$

$$J = K = T \quad \longrightarrow Q(t+1) = T \oplus Q(t)$$

بنابراین اگر دو پایه J و K را به یکدیگر متصل کنیم، معادله مشخصه آن همانند یک فلیپ فلاپ T خواهد بود.

روش انجام آزمایش

با متصل کردن پایه های J و K، مدار فلیپ فلاپ T را پیاده سازی کنید. قبل از High کردن $\overline{Preset}$ و $\overline{Reset}$، پایه $\overline{Reset}$ را به زمین وصل کنید تا فلیپ فلاپ ری ست شود. سپس جدول تحریک آن را بدست آورید.



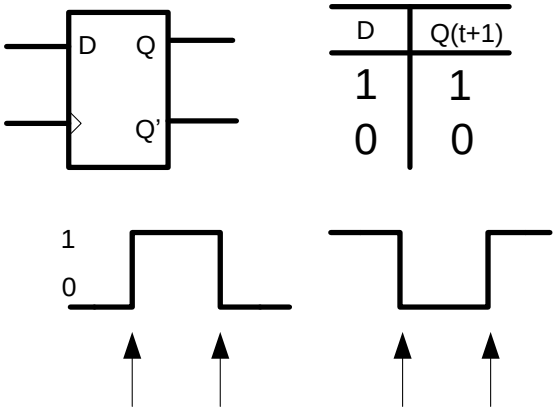
T	1Q	1Q′
0		
1		

آزمایش ۶- قسمت اول

موضوع آزمایش: فلیپ فلاپ D

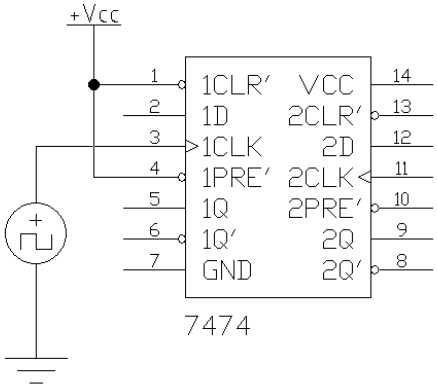
مباحث تئوری

همانطور که در مقدمه نیز اشاره شد، عناصر حافظه بکار رفته در مدارهای ترتیبی فلیپ فلاپ نام دارند. در واقع فلیپ فلاپ نوع خاصی لچ است که زمان تغییرات خروجی آن توسط پالس ساعت کنترل میشود. یک فلیپ فلاپ میتواند حساس به سطح و یا حساس به لبه پالس ساعت باشد. به علت مشکلاتی که فلیپ فلاپ حساس به سطح میتواند داشته باشد، از فلیپ فلاپ های حساس به لبه(انتقال پالس ساعت) استفاده میشود. سمبل گرافیکی و جدول تحریک یک فلیپ فلاپ D در شکل زیر نشان داده شده است. همانطور که مشاهده میکنید حالت بعدی همواره با ورودی D برابر بوده و مستقل از حالت فعلی است.



روش انجام آزمایش

آی‌سی ۷۴۷۴ شامل دو فلیپ فلاپ D حساس به لبه مثبت میباشد که میتوانند به صورت مجزا مورد استفاده قرار بگیرند. این آی‌سی شامل دو پایه $\overline{Preset}$ و $\overline{Reset}$ میباشد که در مد نرمال بایستی در وضعیت High باشند. بعد از مطالعه مشخصات مربوط به آی‌سی، مدار را بسته و با اعمال ورودیهای مناسب، جدول زیر را تکمیل کنید. برای انجام این آزمایش از آی‌سی های موجود بر روی برد آموزشی نیز می توانید استفاده کنید.



1D	1Q	1Q'
0		
1		

پرسش:

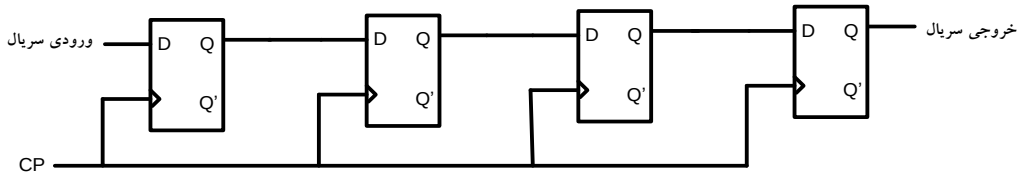
۱) اگر دو پایه $\overline{Preset}$ و $\overline{Reset}$ در حالت High قرار داشته باشد، چه اشکالی ممکن است در عملکرد فلیپ فلاپ بوجود آید.

آزمایش ۶- قسمت دوم

موضوع آزمایش: طراحی شیفت رجیستر

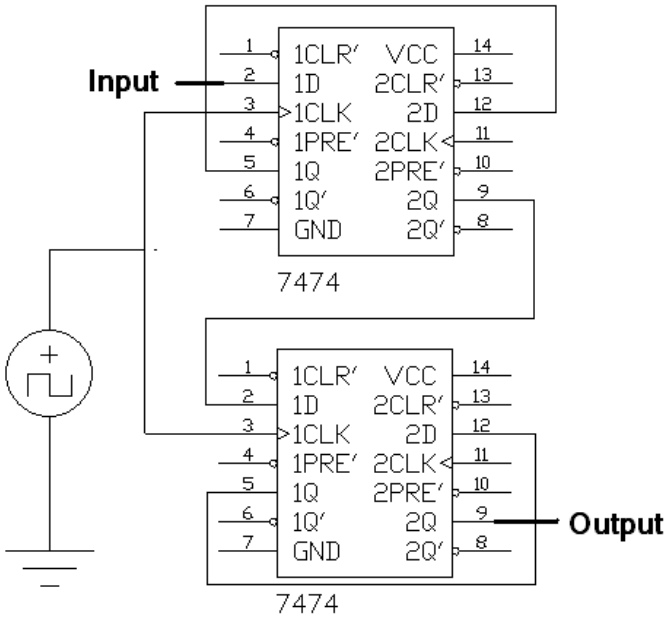
مباحث تئوری

یک ثبات که قادر است اطلاعات دودویی اش را به سمت راست یا چپ انتقال دهد، یک شیفت رجیستر نامیده میشود. همانطور که در شکل زیر نشان داده شده است، ساده ترین شیفت رجیستر ممکن، فقط از فلیپ فلاپها تشکیل شده است. هر پالس ساعت محتوی ثبات را یک بیت به راست انتقال میدهد. ورودی سریال مشخص میکند که در طی عمل انتقال، چه مقداری به آخرین فلیپ فلاپ سمت چپ وارد میشود.



روش انجام آزمایش

با استفاده از آی‌سی های ۷۴۷۴ که شامل فلیپ فلاپهای D می باشد، مدار یک شیفت رجیستر ۴ بیتی را بر روی بورد ببندید. سپس با اعمال ورودی به مدار ("۱" یا "۰" منطقی)، عملکرد آن را مشاهده کنید.


Input
1CLR'
1D
1CLK
1PRE'
1Q
1Q'
GND
VCC
2CLR'
2D
2CLK
2PRE'
2Q
2Q'
7474
Output
7474

آزمایش ۷

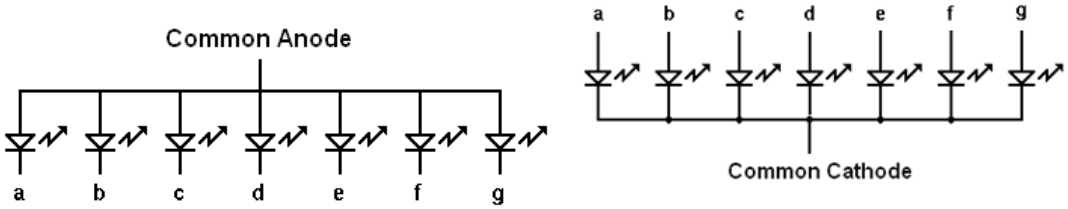
موضوع آزمایش: بررسی عملکرد نمایشگرهای هفت بخشی

وسایل و المانهای مورد نیاز: منبع تغذیه، بردبورد، نمایشگر ۷ بخشی ۵۰۸۲-۷۷۳، آی‌سی ۷۴۴۷ و مقاومت

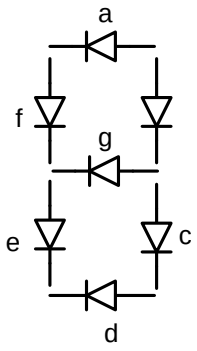
مباحث تئوری

نمایشگر هفت بخشی از هفت دیود منتشرکنندهٔ نور ساخته شده است. یک LED هنگامی‌که ولتاژ در ورودی آند آن به اندازهٔ کافی مثبت‌تر از ولتاژ در کاتد باشد، روشن می‌شود. برای حداقل کردن سیگنالهای کنترل، آندها و یا کاتدهای LEDها معمولاً در یک نقطه مشترک به هم وصل شده‌اند و لذا آن را به ترتیب آند مشترک و یا کاتد مشترک می‌نامند.

در نمایشگر هفت قسمتی، برای محدود کردن جریان دیودها لازم است مقاومتهای محدودکنندهٔ جریان به صورت سری با هر یک از قطعات نمایشگر قرار گیرند. همانطور که در شکل زیر نشان داده شده است، یک نمایشگر هفت بخشی در واقع از هفت LED تشکیل شده است که برای نمایش اعداد مورد نظر بایستی مقادیر مناسب به پایه های آن اعمال شود.

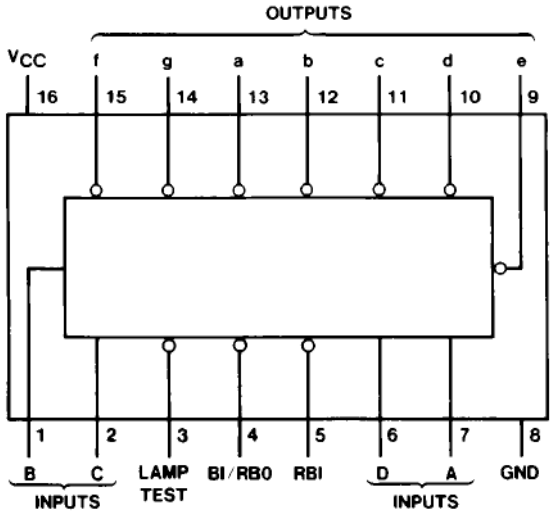


عدد نشان داده شده	a b c d e f g
8	0000000
9	0001100



دیکدر BCD به نمایشگر هفت بخشی

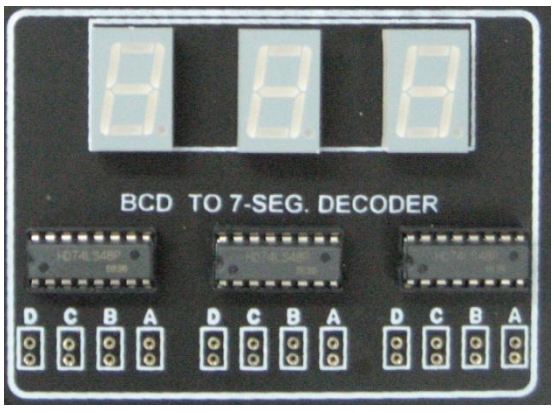
یک نمایشگر هفت بخشی برای نمایش هر یک از ارقام ۰ تا ۹ بکار میرود. یک دیکدر BCD به هفت بخشی رقم دهدهی را بـه فـرم BCD دریافت کرده و کد هفت بخشی مربوط به آن را تولید میکند. در شکل زیر ورودی‌ها و خروجی‌های یک آی‌سی دیکدر BCD بـه هفـت‌بخشـی قابل مشاهده است.



آی‌سی ۷۴۴۷ یک دیکدر/راه انداز BCD به هفت بخشی میباشد. ایـن مـدار دارای چهـار ورودی بـرای رقـم BCD اسـت. ورودی D بـا ارزشترین و A کم ارزش ترین است. در نهایت رقم چهار بیتی BCD به کد هفت بخشی با خروجی های a تا g تبدیل میشود.

روش انجام آزمایش

با استفاده از نمایشگر ۷ بخشی ۷۷۳-۵۰۸۲ و آی‌سی درایور ۷۴۴۷ که در شکل زیر نشان داده شده است آزمایشهای زیر را انجام دهید:



۱) با LOW کردن پایه LT[7] ، بایستی تمام LEDها روشن شود. این کار در واقع روشی برای تست کردن سالم بودن نمایشگر هفت بخشی میباشد.

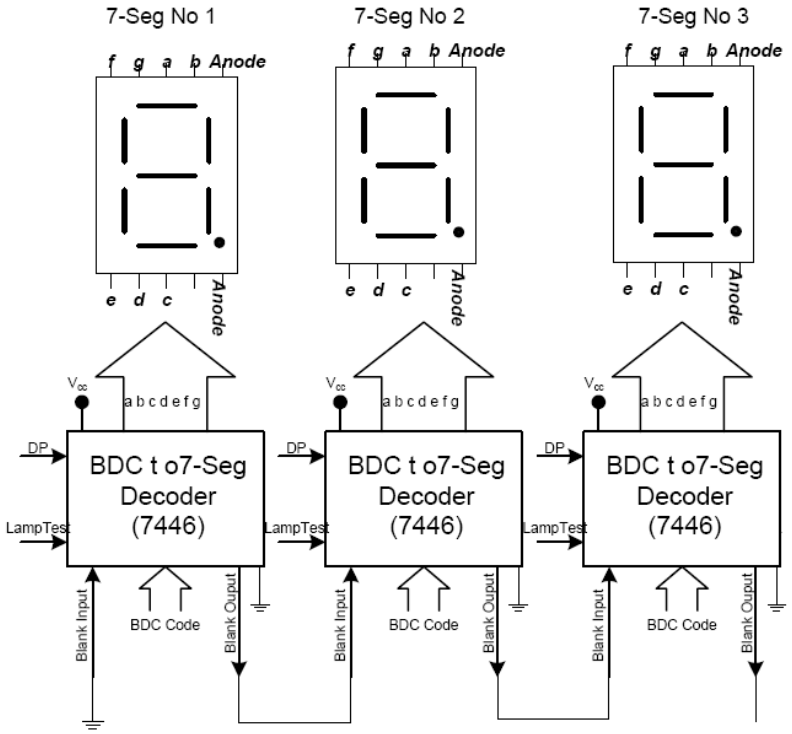
۲) با اعمال ورودیهای مختلف، جدول زیر را تکمیل کنید.

DCBA	عدد نشان داده شده توسط 7-seg	مقدار پایه RBO
0000		
0001		
0010		
0011		
0100		
0101		
0110		
0111		
1000		

۳) پایه RBI را Low کنید و آزمایش قبل را تکرار کنید.

۴) با استفاده از نتایج آزمایش قبل، در شکل زیر مدار طوری طراحی شده است که صفرهای کم ارزش سمت چپ خاموش میشوند. به عنوان مثال، عدد 076 به صورت 76 نمایش داده میشود. این کار به علت صرفه جویی در مصرف توان و یا زیبایی نمایشگر انجام میشود. صحت عملکرد مدار را بررسی نمائید.

[7] Lamp Test



پرسش:

۱) روشی جهت تعیین نوع نمایشگر هفت قسمتی از نظر کاتد مشترک یا آند مشترک بودن و همچنین شناسایی پایه‌های آن ارائه کنید.

۲) به جای استفاده از هفت مقاومت، می‌توان از یک مقامت R ، بین تغذیه و آند مشترک (در 7-SEG آند مشترک) یا پین زمین و کاتد مشترک (در 7-SEG کاتد مشترک) برای محدود کردن جریان استفاده نمود. مزایا و معایب این روش را بیان کنید.

۳) وقتی تعداد 7-SEGها در یک کاربرد زیاد باشد ، تعداد آی‌سی‌های مدار و مصرف آن‌ها بالا می‌رود. روشی پیشنهاد کنید که به کمک یک آی‌سی درایور بتوان تعداد زیادی 7-SEG را راه‌اندازی کرد.

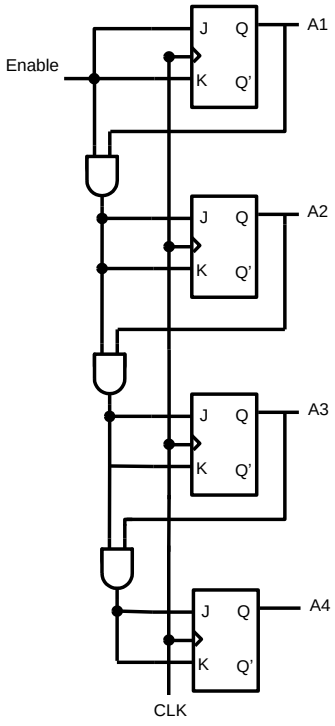
آزمایش ۸- قسمت اول

موضوع آزمایش: شمارنده دودویی سنکرون

مباحث تئوری

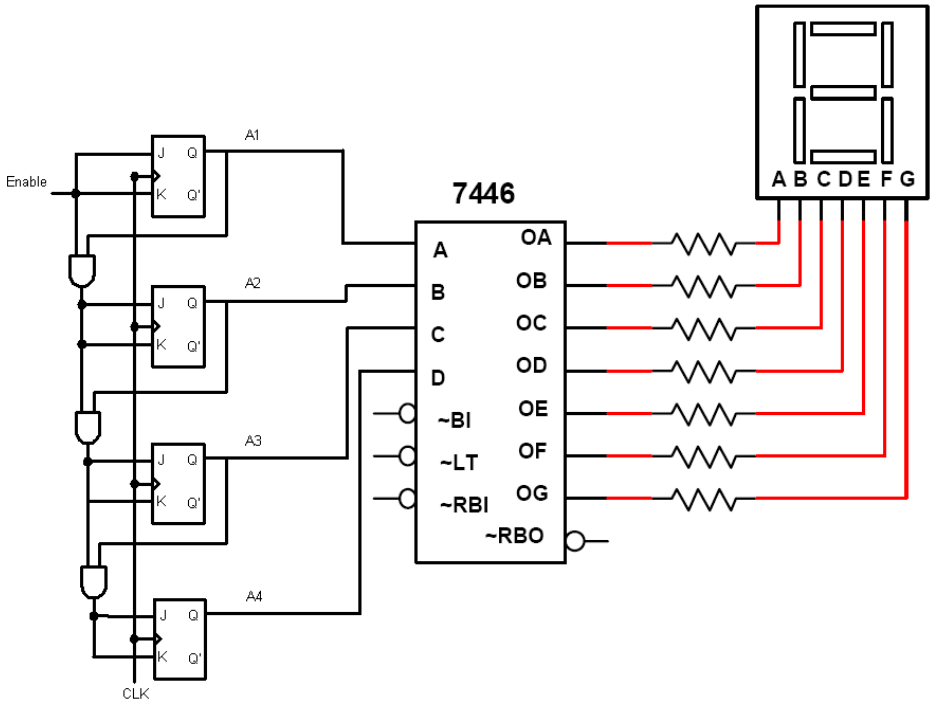
شمارنده های سنکرون به اینصورت از شمارنده های موج گونه تشخیص داده میشوند که پالسهای ساعت در آنها به ورودیهای پالس ساعت (CP) کلیه فلیپ فلاپها متصل میشود. پالسهای مشترک بکار رفته در آنها کلیه فلیپ فلاپها را بطور همزمان تریگر میکند در حالی که شمارنده‌های موج‌گونه هر فلیپ فلاپ را به‌ترتیب و در یک زمان مجزا راه اندازی (تریگر) می‌کند. در این بخش شمارنده های دودویی و دهدهی مورد بررسی قرار میگیرند.

در شکل زیر یک شمارنده دودویی چهار بیتی سنکرون نشان داده شده است. شمارنده های دودویی سنکرون دارای یک الگوی منظم هستند و میتوان آنها را بسادگی با فلیپ فلاپهای مکمل ساز (فلیپ فلاپ T یا JK) و گیت ها ساخت. یک شمارنده n بیتی شامل n فلیپ فلاپ بوده و قادر به شمارش از 0 تا 2^n-1 میباشد. اگر ورودی توانا ساز ۱ باشد، مدار شروع به شمارش میکند. در شکل زیر یک بالا شمار دودویی نشان داده شده است.



روش انجام آزمایش

شمارنده شکل زیر را با استفاده از آی‌سی ۷۴۷۶ (JK F.F.) بسازید. خروجیهای شمارنده را با استفاده از مدار راه‌انداز به نمایشگر هفت بخشی متصل کرده و خروجی را مشاهده کنید. توجه کنید که برای مشاهده خروجی بایستی فرکانس CLK تا حد امکان کم باشد.



پرسش:

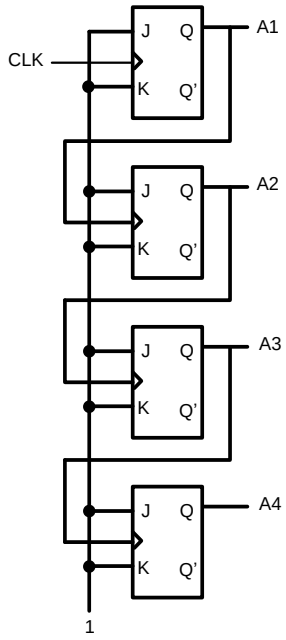
۱) نحوه عملکرد شمارنده سنکرون در شکل بالا را توضیح دهید.

آزمایش ۸- قسمت دوم

موضوع آزمایش: طراحی شمارنده دودویی موج گونه

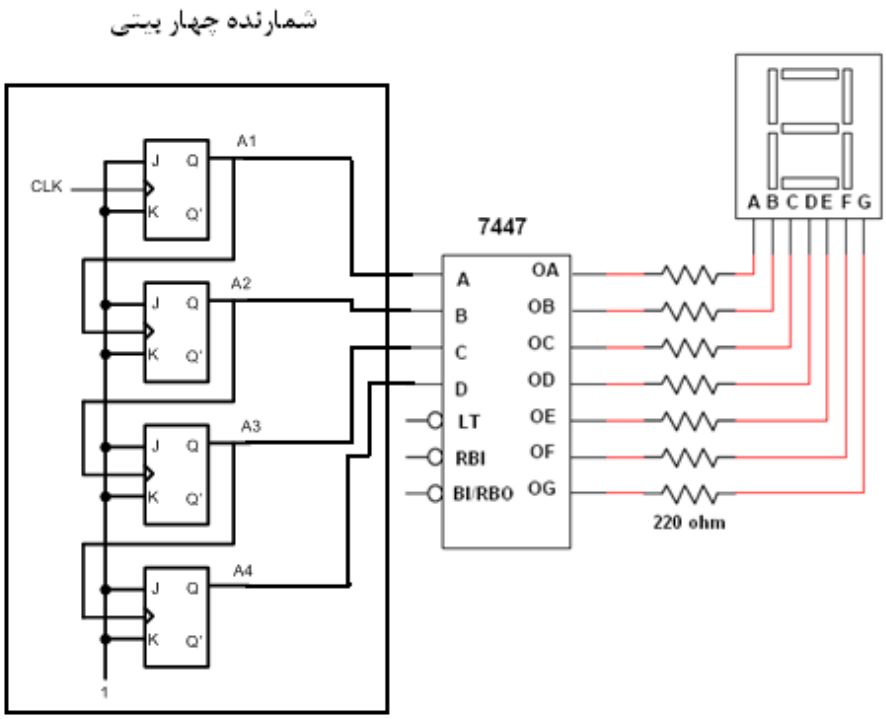
مباحث تئوری

در یک شمارنده موج گونه، سیگنال خروجی یک فلیپ فلاپ منبعی برای راه اندازی فلیپ فلاپهای دیگر است. به عبارت دیگر، ورودی CP کلیه فلیپ فلاپها (به استثنای اولی) بجای اینکه بوسیله پالسهای ساعت تحت تاثیر واقع شود، توسط فلیپ فلاپ های دیگر تغییر می کند. انتقال حالتی که در یک فلیپ فلاپ رخ میدهد، بعنوان پالس راه انداز در فلیپ‌فلاپ دیگری بکار می‌رود. یک شمارنده موج گونه دودویی که با استفاده از فلیپ فلاپ JK طراحی شده است، در شکل زیر نشان داده شده است. کلیه ورودیهای J و K، ۱ هستند.



روش انجام آزمایش

شمارنده شکل زیر را که یک شمارنده موج گونه دودویی میباشد را با استفاده از آی‌سی ۷۴۷۶ (JK F.F.) بسازید. خروجیهای شمارنده را با استفاده از مدار راه‌انداز به نمایشگر هفت بخشی متصل کرده و خروجی را مشاهده کنید. توجه کنید که برای مشاهده خروجی بایستی فرکانس CLK تا حد امکان کم باشد.



پرسش:

۲) با چه تغییراتی میتوان شمارنده طراحی شده را به یک پائین شمار تبدیل کرد؟

۳) نحوه عملکرد شمارنده موج‌گونه در شکل بالا را توضیح دهید.

فصل سوم

آزمایشهای دیجیتال (۲)

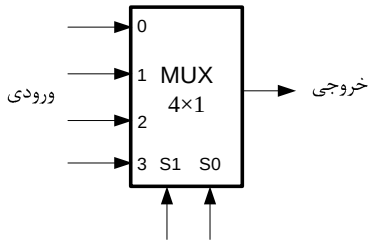
آزمایش ۹-قسمت اول

موضوع آزمایش: آشنایی با مالتی پلکسر 8×1

مباحث تئوری

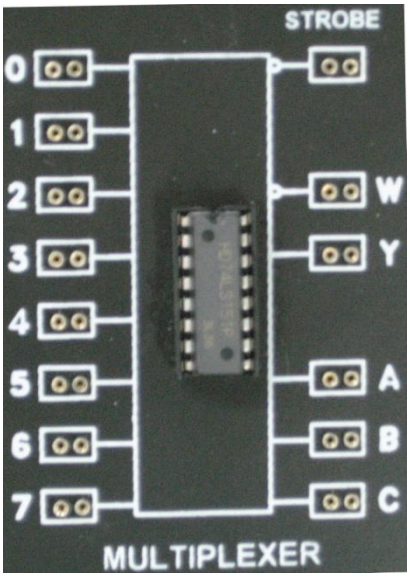
مولتی پلکسر برای انتقال تعداد زیادی از واحدهای اطلاعاتی بر روی تعداد کمتری از کانال ها یا خطـوط بکـار مـی‌رود. مـولتی پلکسـر دیجیتال، یک مدار ترکیبی است که اطلاعات دودویی را از میان یکی از چند خط ورودی انتخاب کرده و آن را به یـک خـط خروجـی هـدایت می‌نماید. انتخاب یک خط ورودی ویژه، بوسیله مجموعه ای از خطوط انتخاب انجام می‌شود.

یک مولتی پلکسر ۴ به ۱ در شکل زیر نشان داده شده است. مشابه دیکدرها، آی‌سـی هـای مـولتی پلکسـر نیـز میتواننـد بـرای کنتـرل عملیات خود دارای یک ورودی تواناساز باشند. بدین ترتیب که اعمال یکی از دو حالت دودویی به ورودی تواناساز باعث غیر فعال شدن خروجی میشود و در حالت دیگر(حالت فعال) مدار بصورت یک مولتی پلکسر معمولی کار خواهد کرد.



روش انجام آزمایش

آی‌سی ۷۴۱۵۱ یک مولتی پلکسر 1×8 میباشد. با مطالعه مشخصات آی‌سی و با اعمال ورودی $X_0\ X_1\ X_2\ X_3\ X_4\ X_5\ X_6\ X_7$=11010101، جدول زیر را تکمیل کنید. برای مشاهده خروجی میتوانید از LED استفاده کنید.



آی‌سی مولتی پلکسر ۸ به ۱

CBA	Y
000	؟
010	؟
100	؟
101	؟
110	؟

آزمایش ۹- قسمت دوم

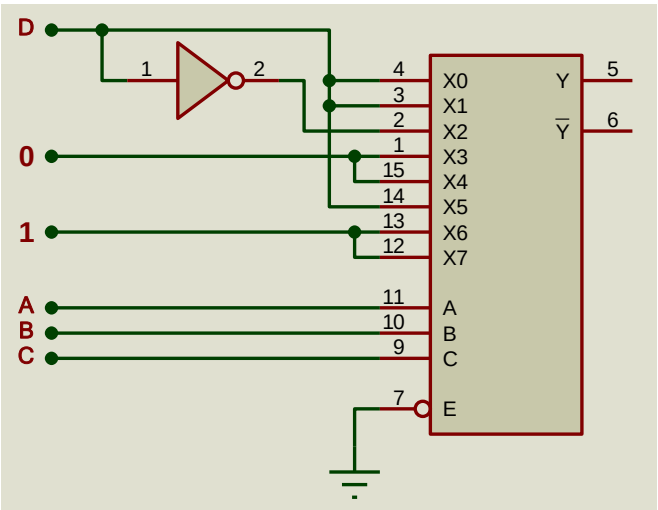
موضوع آزمایش: پیاده سازی توابع منطقی با استفاده از مولتی پلکسر

وسایل و المانهای مورد نیاز: منبع تغذیه، بردبورد، آی‌سی ۷۴۱۵۱ و ۷۴۰۰

روش انجام آزمایش

همانند دیکدرها، از مولتی پلکسرها میتوان برای پیاده سازی توابع منطقی استفاده کرد. برای استفاده از مالتی پلکسرها در پیاده سازی مدارها و توابع منطقی، مطالعه مجدد و شناخت مالتی پلکسرها و مدارات داخلی آن ضرورت دارد. با استفاده از مولتی پلکسر ۷۴۱۵۱ و یک گیت NOT، مدار شکل زیر را که تابع F(A,B,C,D) را پیاده سازی میکند را ببندید و سپس با اعمال ورودیهای مناسب، جدول را تکمیل کرده و صحت عملکرد آن را تحقیق کنید. برای مشاهده خروجی از LED استفاده نمائید.

$$F(A,B,C,D) = \sum(1,3,4,11,12,13,14,15)$$



DCBA	Y
0000	؟
0100	؟
0101	؟
1011	؟
1101	؟
1111	؟

پرسش

۱) چگونه میتوان با استفاده از مولتی پلکسرهای 1×8 و 1×2 ، یک مولتی پلکسر 1×16 طراحی کرد؟

۲) به طریق دیگری تابع بولی فوق را با یک مالتی‌پلکسر ۱۶ به ۱ بسازید. این بار ورودی‌های کنترل (انتخاب) را DCB در نظر بگیرید.

آزمایش ۱۰

موضوع آزمایش: اندازه گیری حد پارازیت و مقادیر T_{PHL} و T_{PLH}

مباحث تئوری

گنجایش خروجی

گنجایش خروجی یک گیت مشخص کننده تعداد بارهای استانداردی است که بدون ایجاد اختلالی در کار معمولی آن، قابل وصل شدن به خروجی گیت میباشند. معمولا خروجی هر گیت به ورودی گیتهای دیگر متصل میگردد. گیت‌ها در خروجی خود مقدار محدودی از جریان را تهیه میکنند و اگر مقدار بار از این حد معین فراتر برود گوئیم گیت دچار فرابار شده است و ممکن است سبب آسیب دیدن گیت شود. بنابراین گنجایش خروجی، حداکثر تعداد ورودیهایی را که قابل اتصال به خروجی یک گیت است را مشخص میکند که بر حسب یک عدد بیان میگردد.

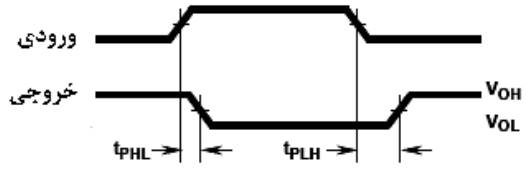
توان تلف شده

هر مدار الکترونیکی به توان معینی برای کار نیاز دارد. توان مصرفی پارامتری است بر حسب میلی وات(mw) و نشان دهنده توان منتقل شده از منبع تغذیه به گیت است. مقدار توان تلف شده در گیت از ولتاژ تغذیه (V_{cc}) و جریان کشیده شده بوسیله مدار (I_{cc}) بدست می آید:

$$P_D(avg)= I_{cc}(avg)\times V_{CC}$$

تاخیر انتشار

تاخیر انتشار یک گیت منطقی متوسط زمان تاخیری است که طی آن تغییر سیگنال در ورودی به خروجی منتقل گردد. زمان تاخیر سیگنال بین ورودی و خروجی وقتی که خروجی از سطح بالا به سطح پائین تغییر حالت دهد را t_{PHL} گویند. بطور مشابه، وقتی که خروجی از سطح پائین به بالا برود، تاخیر را t_{PLH} می نامند. مرسوم است که زمان تاخیر بصورت فاصله زمانی نقاطی از منحنی ورودی و خروجی که در نقطه ۵۰ درصد از زمان گذار قرار دارند اندازه گیری میشود. در شکل این دو پارامتر نشان داده شده اند.



$$\text{Average Propagation Delay} = \frac{t_{PHL} + t_{PLH}}{2}$$

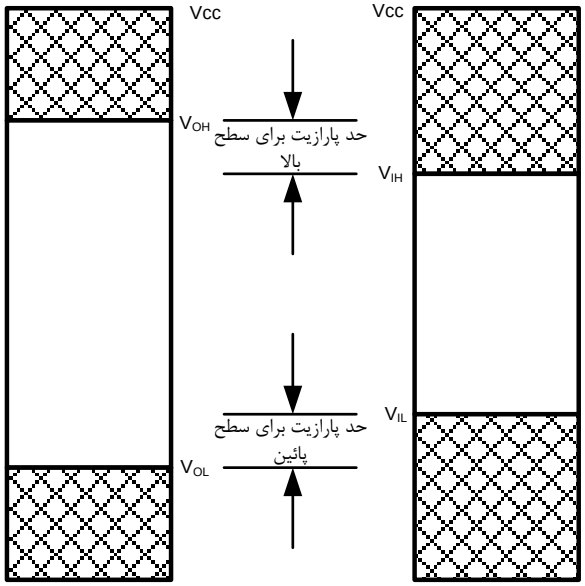
حد پارازیت

در صنعت و سایر مکانهای مشابه، سیگنالهای الکتریکی نامطلوبی قادر به القاء ولتاژ در سیمهای رابط بین مدارهای منطقی هستند. این سیگنالهای ناخواسته پارازیت خوانده میشوند. حد پارازیت هم حداکثر ولتاژ پارازیتی است که به سیگنال ورودی اضافه شده ولی سبب تغییر ناخواسته ای در خروجی مدار نمی گردد.

در شکل زیر حد پارازیت برای سطح بالا و حد پارازیت برای سطح پائین نشان داده شده است، که در آن:

- $V_{IL}(Max)$: حداکثر ولتاژ ورودی گیت که به عنوان ۰ در نظر گرفته میشود.
- $V_{IH}(Min)$: حداقل ولتاژ ورودی گیت که به عنوان ۱ در نظر گرفته میشود.
- $V_{OL}(Max)$: حداکثر ولتاژ خروجی گیت که به عنوان ۰ در نظر گرفته میشود.
- $V_{OH}(Min)$: حداقل ولتاژ خروجی گیت که به عنوان ۱ در نظر گرفته میشود.

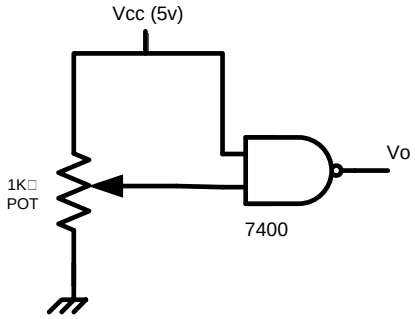
برای جبران هر سیگنال پارازیت، مدار باید طوری طراحی شود که V_{IL} بزرگتر از V_{OL} و V_{IH} کمتر از V_{OH} باشد. حد پارازیت تفاضل V_{OH}-V_{IH} و یا V_{IL}-V_{OL} (هر کدام که کوچکتر باشد) است.



روش انجام آزمایش

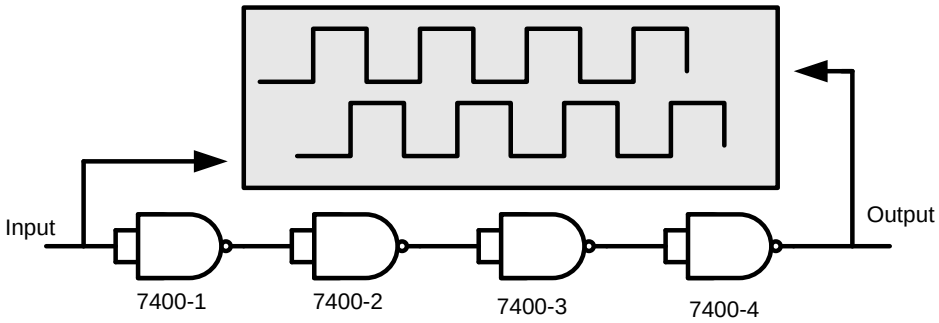
۱) ابتدا با استفاده از دیتابوک TTL مشخصات آی‌سی7400 را مطالعه کنید. مقادیر $V_{IL}, V_{IH}, V_{OL}, V_{OH}$ را از دیتابوک یادداشت کنید. مدار شکل زیر را ببندید. در این مدار، پتانسیومتر به منظور تنظیم دقیقتر ولتاژ ورودی بکار رفته است. با تغییر پتانسیومتر، ولتاژ ورودی به پایه دوم گیت را به آرامی از ۰ تا ۵ ولت تغییر داده و مقادیر $V_{IL}, V_{IH}, V_{OL}, V_{OH}$ را تعیین کنید. برای اندازه گیری مقادیر ورودی و خروجی میتوانید

از اسیلوسکوپ استفاده نمائید. توجه کنید که در محدوده ای از ولتاژ ورودی، خروجی شروع به نوسان میکند. ایـن محـدوده را بدسـت آوریـد. علت نوسانان چیست؟



حد پارازیت	مقادیر تئوری	مقادیر عملی
V_{OH}		
V_{OL}		
V_{IH}		
V_{IL}		

۲) با استفاده از دیتابوک TTL مقادیر T_{PHL} و T_{PLH} را برای آی‌سی۷۴۰۴ بدست آورید. سپس با استفاده از ۴ معکوس کننده مدار شکل زیر را بر روی بردبورد ببندید. در این آزمایش هدف بدست آوردن مقادیر T_{PHL} و T_{PLH} میباشد. با اعمال یک موج مربعی با فرکانس حـدود 100KHz به ورودی مدار، ورودی و خروجی را بر روی اسیلوسکوپ مشاهده نمائید و با استفاده از توضیحات ارائه شده در بخش قبل، مقادیر T_{PHL} و T_{PLH} را بدست آورید. برای بدست آوردن میانگین زمان انتقال میتوانید از رابطه زیر استفاده کنید:



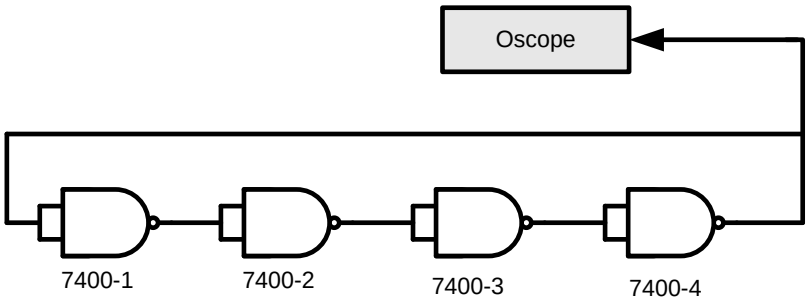
$$T_P = \frac{T_{PHL} + T_{PLH}}{2}$$

گیت ۷۴۰۴	مقادیر تئوری	مقادیر عملی
T_{PLH}		
T_{PHL}		
T_P		

واضح است که شکل موج خروجی دقیقا همانند شکل موج ورودی خواهد بود، فقط با این تفاوت که دارای تاخیر زمانی میباشد.

تحقیق

- با اتصال ورودی و خروجی در مدار قبلی میتوان یک اسیلاتور(نوسان‌ساز) طراحی نمود. طرز کار اسیلاتور را توضیح داده و رابطه فرکانس نوسان با تعداد و تاخیر گیتها را بدست آورید.

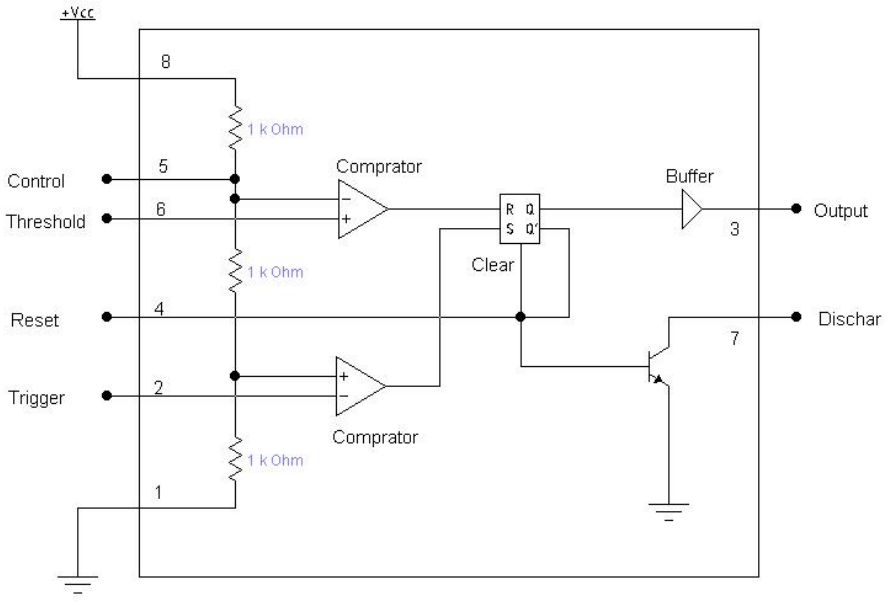


آزمایش ۱۱

موضوع آزمایش :آشنایی با آی سی ۵۵۵

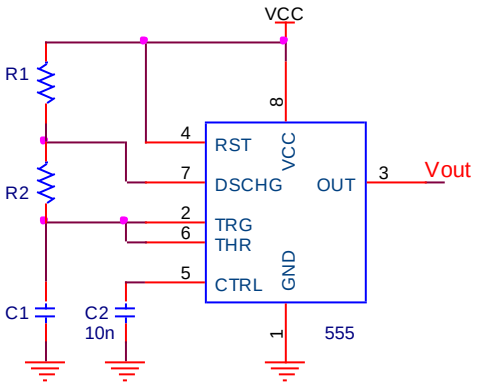
مباحث تئوری

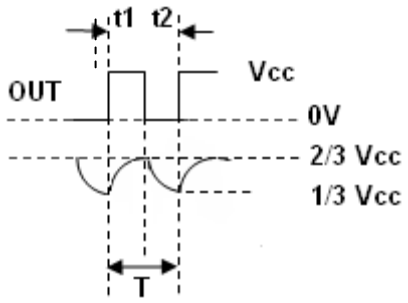
آی‌سی ۵۵۵ یک تایمر دقیق است که مدار داخلی آن در شکل ۱ نشان داده شده است. ولتاژ تغذیهٔ این مدار بین ۵ تا ۱۵ ولت می‌تواند تغییر کند. این آی‌سی متشکل از دو مقایسه‌گر ولتاژ و یک فلیپ فلاپ RS است . تقسیم ولتاژ $V_{CC}=5V$ بوسیلهٔ سه مقاومت برای تولید $\frac{1}{3}V_{CC}$ و $\frac{2}{3}V_{CC}$ در ورودیهای مقایسه‌گرها انجام شده‌است. خروجی هر مقایسه‌گر هر وقت که ورودی بالایی نسبت به پایینی در ولتاژ بیشتری باشد ، در منطق ۱ خواهد بود . وقتی که ولتاژ آستانه در پایه 6 بیشتر از $\frac{2}{3}V_{CC}$ شود ، مقایسه‌گر فوقانی فلیپ فلاپ را پاک کرده و خروجی حدود صفر ولت می‌شود. وقتی که ورودی تریگر در پایهٔ ۲ کمتر از $\frac{1}{3}V_{CC}$ شود، مقایسه‌گر پایینی فلیپ فلاپ را SET کرده و خروجی به حدود ۵ ولت می‌رسد. وقتی که خروجی در سطح پایین باشد Q' در سطح بالا بوده و پیوند بیس امیتر به طور مستقیم تغذیه می‌گردد و در اثر اشباع ترانزیستور پایه دشارژ، به پایهٔ GND وصل می‌شود .



شکل ۱- مدار داخلی آی‌سی ۵۵۵

شکل ۲ آی‌سی ۵۵۵ را در حالت آستابل نشان می‌دهد .





شکل۲

در این مدار داریم:

$$t_1 = (Ln2)(R_1 + R_2)C_1$$
$$t_2 = (Ln2)R_2C_1$$
$$T = (Ln2)(R_1 + 2R_2)C_1$$
$$Duty_Cycle = \frac{R_1 + R_2}{R_1 + 2R_2}$$
$$f = \frac{1}{T} = \frac{1.44}{(R_1 + 2R_2)C_1}$$

روش انجام آزمایش

آزمایش : به کمک تایمر ۵۵۵ یک سیگنال مربعی با فرکانس ۶۰ هرتز و Duty Cycle دلخواه تولید نمایید . در طراحی به محدودیت المانهای مدار توجه داشته باشید.

$$MIN \quad R_1 \ or \ R_2 : 1K\Omega$$
$$MAX \quad R_1 + R_2 : 3.3M\Omega$$
$$MIN \quad C : 500\,pF$$
$$MAX \quad C : LIMITED \ BY \ LEAKAGE$$

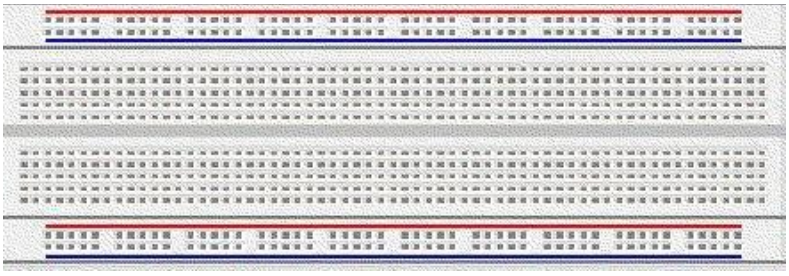
پیوست (۱)

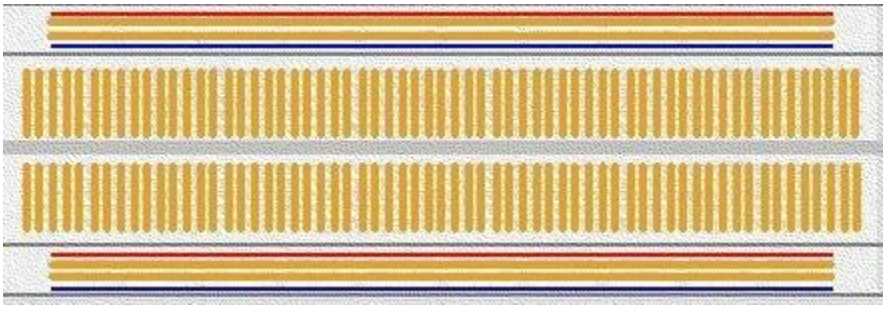
آشنایی با برخی از تجهیزات مورد

استفاده در آزمایشگاه

برد بورد

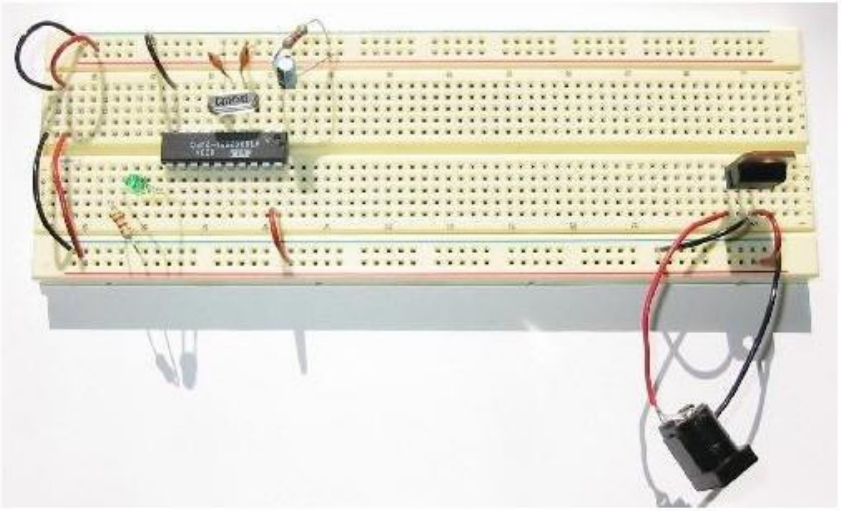
برد بورد[8] از تعداد زیادی سیم ردیف شده‌ی فلزی (معمولا مسی) ساخته شده است,که در زیر بورد ردیف شده اند.ردیف های فلـزی همانند شکل زیر با هم موازی هستند. این ردیف ها سوراخ‌های روی بورد را به هم متصل می نمایند که باعث آسان تر شدن اتصـال قطعات برای ساخت مدارها می‌شود. برای استفاده از برد بورد پایه های قطعات را در حفره های آن فرو کنید. هر حفره بـه یکـی از ردیف های زیر بورد متصل شده است.



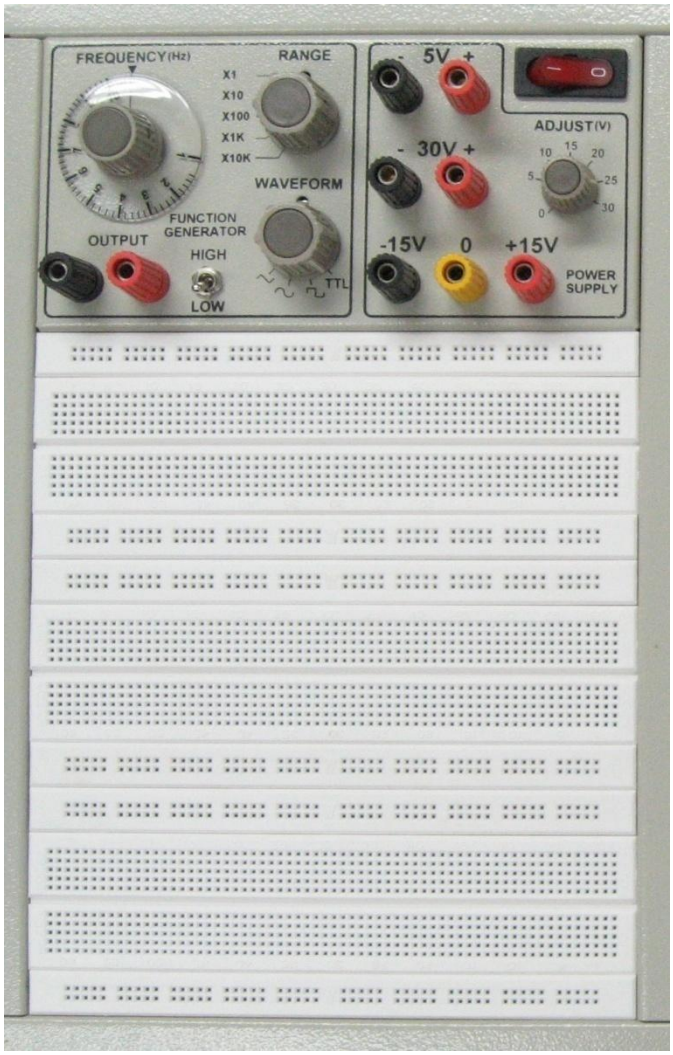


هر سیم تشکیل یک گره می دهد،گره نقطه ای از مدار است که دو قطعه به هم اتصال می یابند. اتصال بین قطعات مختلف با قـرار دادن پایه ی آن ها در گره مشترک تشکیل می‌شود. روی برد بورد،گره سطری از حفره‌هایی است کـه توسـط ردیـف فلـزی اتصـال یافته است. سطر های بالا و پایین معمولا برای اتصال منابع تغذیه استفاده می‌شود. باقی مدار توسط قرار دادن قطعات و اتصال آنهـا با یکدیگر توسط سیم ها تشکیل می‌شود. چیپ هایی که پایه های زیادی دارند (آی‌سی ها) را در وسط بورد قـرار دهیـد و نیمـی از پایه ها را روی یک طرف و نیمی دیگر را روی طرف دیگر قرار دهید. برای درک بهتر مطلب به شکل زیر توجـه نماییـد. سـوراخهای قرار گرفته درنیمه بالایی برد بطور عمودی بهم متصل هستند و می‌توان پایه‌های عناصر مختلفی که بایـد بهـم متصـل باشـند را در سوراخهای عمودی قرار داد و مدار را بست.

[8] Bread Board

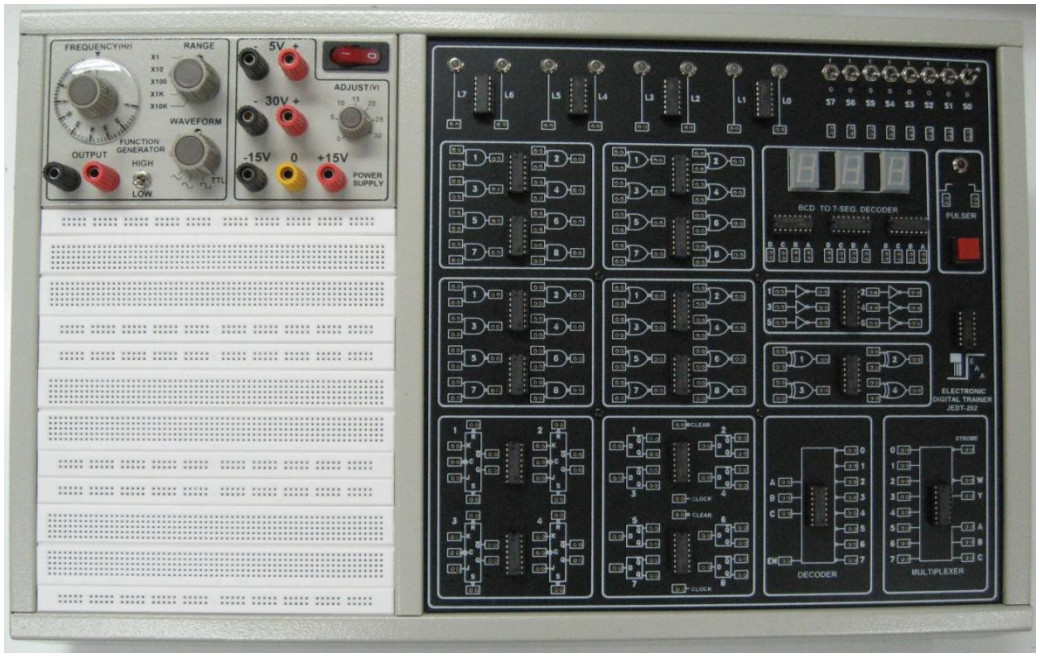


در برد دیجیتال موجود در آزمایشگاه معمولاً سه برد بورد موجود است که دانشجویان می توانند در صورت نیاز برای بستن مدارها یا تست قطعات از آنها استفاده نمایند . در شکل زیر این بردها قابل مشاهده هستند.



برد آموزشی دیجیتال

بردهای آموزشی موجود در آزمایشگاهای دیجیتال دانشگاه پیام‌نور در سراسر کشور مشابه و یکسان است. این بردها دارای منابع تغذیه، مولد پالس مربعی ، سینوسی و مثلثی است. بنابراین نیازی به استفاده از سیگنال ژنراتور برای تولید سیگنالهای با شکل موج‌ها و فرکانسهای متفاوت نمی باشد. در این بردها تمامی اتصالات از زیر برقرار شده و دانشجو نیازی به بستن کل مدار و همه سیم‌کشی ها ندارد. تنها آی‌سی های مورد نیاز و سرهای اتصال ورودی و خروجی آنها بر روی برد و در اختیار دانشجویان قرار گرفته‌اند. این برد دارای امکانات دیگری همچون برد بورد، نمایشگر هفت قطعه‌ای، سوئیچ ها و تعدادی LED می‌باشد که انجام آزمایشها را سریعتر و مفهوم‌تر خواهد کرد. جهت اطلاع بیشتر، در شکل زیر تمامی قسمتهای این برد قابل مشاهده هستند.



پیوست (۲)

آشنایی با نرم افزار شبیه سازی و تست

Electronic Workbench

نرم افزار Electronic Workbench

این برنامه از قویترین برنامه های نرم افزاری در زمینه طراحی، تست و آنالیز مدارات الکترونیکی می باشد که می توانید مدارات خودتان را با آن ببندید و تست نمایید. از مزایای آن نسبت به نرم افزار های دیگر دسترسی به قطعات و طراحی بسیار آسان و ساده آن می باشد که آنرا از بقیه متمایز می سازد.

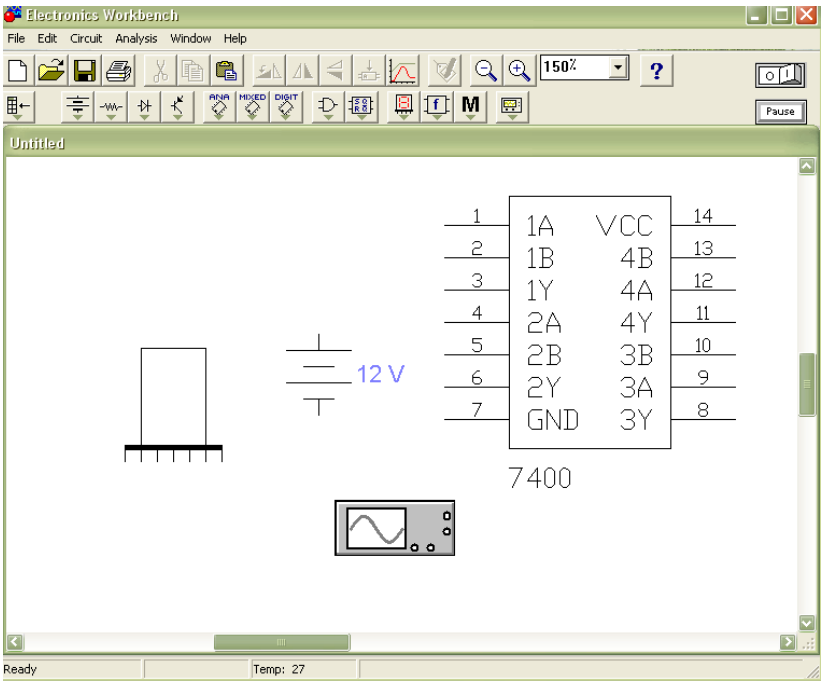
مراحل نصب

- روی دکمه setup کلیک کنید.
- در برگه welcome روی دکمه next کلیک کنید.
- در برگه installation directory محل نصب را انتخاب کنید وروی دکمه next کلیک کنید.
- در برگه select shortcut folder روی دکمه next کلیک کنید.
- در برگه ready to install روی دکمه finish کلیک کنید.
- در برگه finished روی دکمه finish کلیک کنید.

حال برنامه در کامپیوتر شما نصب شده برای اجرای برنامه مراحل زیر را دنبال کنید:

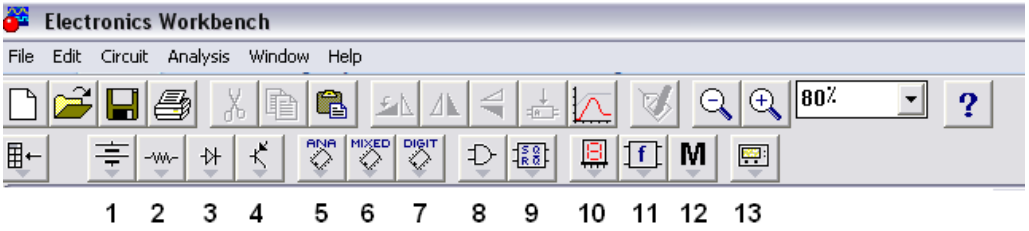
start>programs>electronics work bench>electronics work bench

برنامه اجرا می شود. در ابتدای برنامه اخطاری می آید که با کلیک بر روی ok خطا از بین می رود. شمای کلی نرم افزار در شکل زیر نشان داده شده است.

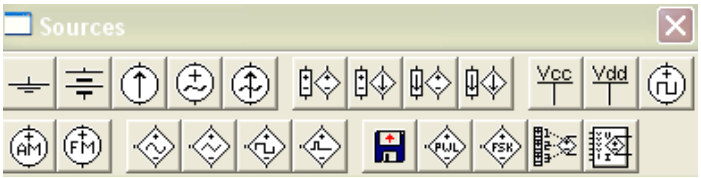


در ادامه به توضیح بخشهای مختلف نرم افزار می پردازیم.

نوار ابزار قطعات الکترونیک

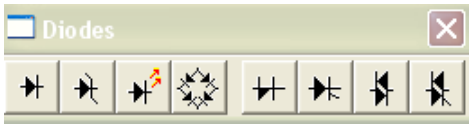


۱) Source: در این بخش ابزار های لازم برای خط تغذیه اعم از منبع ولتاژ و جریان مستقیم و متناوب تک فـاز و سـه فـاز، منبع جریان و ولتاژ وابسته، زمین و ... وجود دارد.

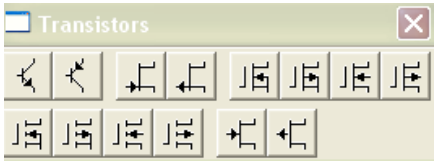


۲) Basic: در این بخش قطعاتی نظیر مقاومت، خازن، سلف، کلید، پتانسیومتر، رله و برخی از قطعات الکترونیک وجود دارند.

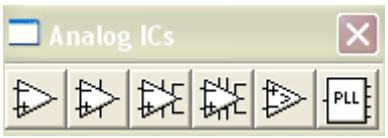
۳) Diode: در این بخش انواع نیمه هادیها نظیر دیودهای ژرمانیوم و سیلیسیم، تریستور، تریاک و LED ها موجود است.



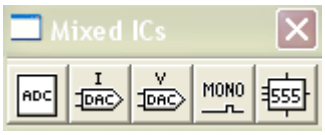
۴) Transistor: در این بخش انواع ترانزیستور از جمله BJT ، UJT، FET ، MOSFET و انواع دیگر وجود دارند.



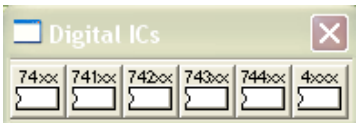
۵) Analog: در این بخش انواع مختلفی از تقویت کننده های عملیاتی (Op-Amp) را میتوان یافت.

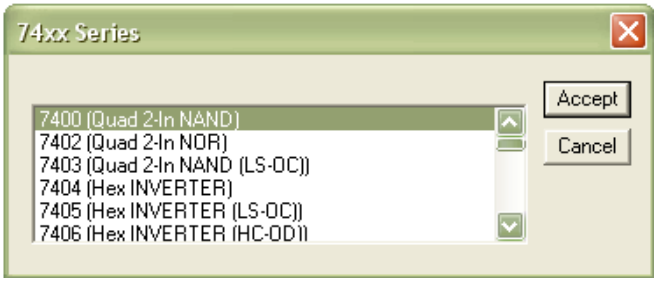


۶) Mixed: در این بخش بعضی از آی‌سی‌ها از جمله تایمر ۵۵۵، مبدل آنالوگ به دیجیتال (ADC)، مبدل دیجیتال به آنالوگ (DAC) وجود دارند.

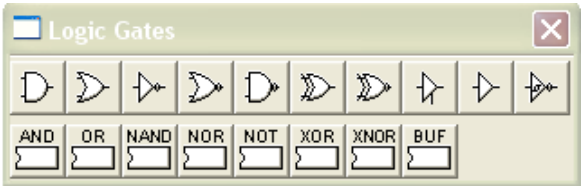


۷) Digital ICs: در این بخش انواع مختلف آی‌سی‌های سری 74xx ، 741xx و ... وجود دارند.

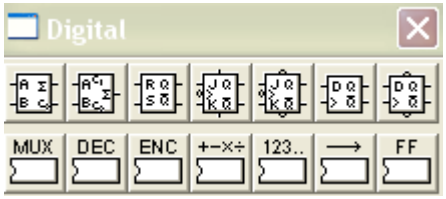




۸) Logic Gates: در این بخش میتوان گیتهای پایه AND، OR، NOT و سایر گیتها را یافت.

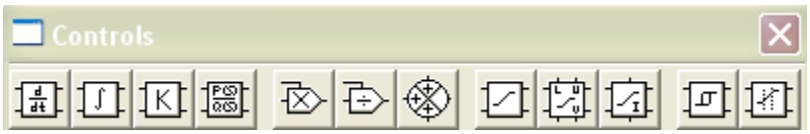


۹) Digital: در این بخش انواع مختلف فلیپ-فلاپها، دیکدرها، مالتی پلکسرها وجود دارد.



۱۰) Indicator: در این بخش انواع نمایشگرهای هفت بخشی، لامپ ها، وسایل اندازه گیری مانند ولتمتر و آمپرمتر وجود دارند.

۱۱) Controls: در این بخش بلوکهای مداری همچون ضرب کننده، انتگرال‌گیر و مشتق‌گیر وجود دارد.



۱۲) Misc: در این بخش قطعاتی مانند انواع کریستال، آی‌سی‌های رگولاتور، فیوز و لامپ های فرکانسی وجود دارد.

۱۳) Electromotor: در ایـن بخـش قطعـاتی همچـون Function Generator, Oscilloscope, Logic Analyzer وجود دارند.

چیدن عناصر

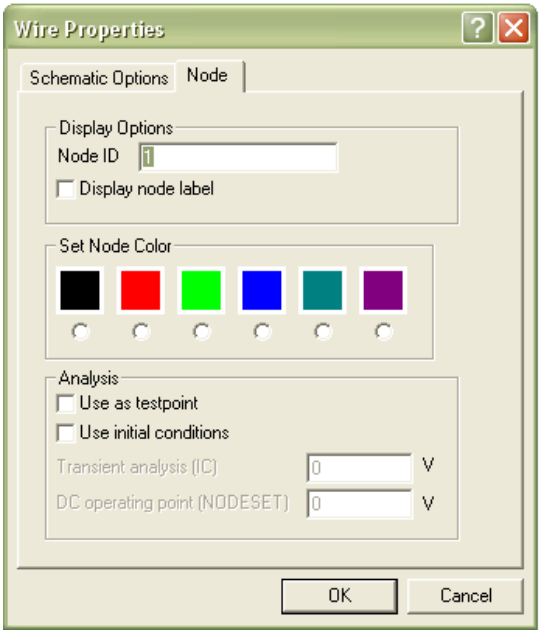
اگر بر روی هر قسمت از منوهای عناصر کلیک کنید، انواع عناصر هر قسمت باز می شوند. مثلا اگـر روی منـویDiode کلیک کنید انواع دیودها به نمایش در می آیند (معمولی، زنر، نورانی و....). برای قرار دادن هـر عنصـردر مـدار مـوس را روی عنصـر برده کلیک کنید و پس از انتخاب شدن و بدون رها کردن دکمه موس، با کلیک بر روی صـفحه، عنصـر در محـل مـورد نظـر قـرار میگیرد.

اتصال عناصر(سیم بندی)

ابتدا قسمتی از عنصری که می خواهید به عنصر دیگرمتصل کنید را انتخاب کرده و بدون رها کردن دکمه مـوس، آن راکشـیده و به عنصر دیگر وصل کنید.

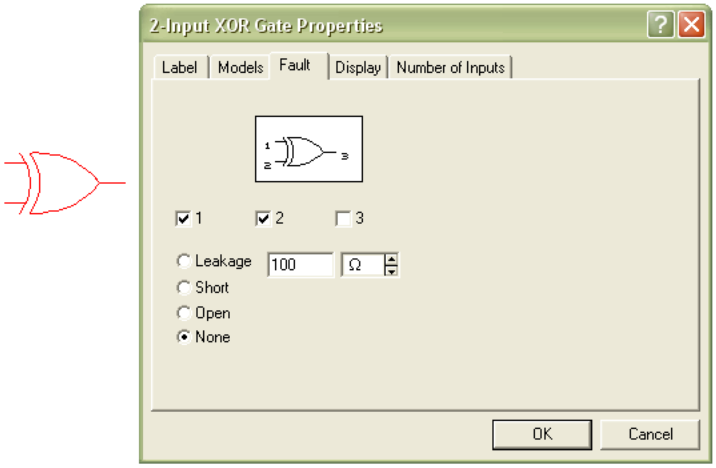
تغییر رنگ سیم

روی سیمی که بین دو عنصر قرار دارد راست کلیک کرده و در صفحه ای که باز می شود می توا ن رنگ سیم را تغیر داد.



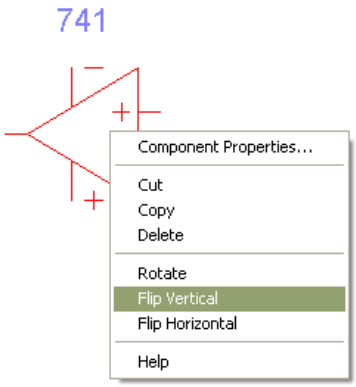
تغییر مشخصات یک عنصر

ابتدا بر روی عنصر مورد نظر دو بار کلیک کنید. سپس کادری باز می شود و با رفتن در برگه هـای آن قسـمت هـای مختلـف آن را تنظیم می کنیم.



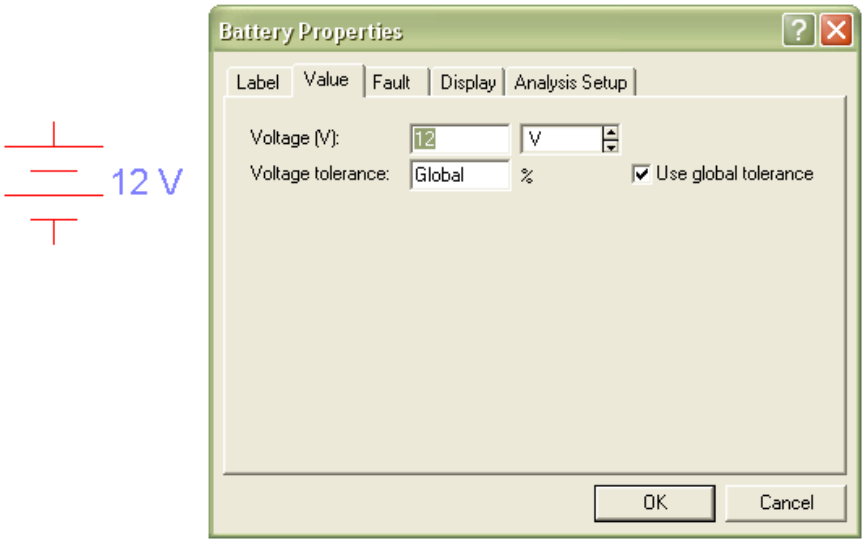
تغییر وضعیت قرار گیری قطعات

به منظور تغییر وضعیت قرار گیری قطعات، بر روی آن کلیک کرده و پس از انتخاب آن، با استفاده از دکمه Ctrl+R میتوان عنصر را در جهت خلاف عقربه های ساعت به اندازه ۹۰ درجه چرخاند. همچنین اگر بر روی عنصر مورد نظر راست کلیک کنید، میتوانید گزینه های دیگری را نیز برای تغییر وضعیت قرار گیری قطعه مشاهده کنید، مانند Flip Horizontal و یا Flip Vertical.



نکات کاربردی دیگر

- برای تنظیم ولتاژ در سطح دلخواه بعد از آوردن منبع تغذیه به پنجره مدار بر روی آن دابل کلیک کرده و در بخش مربوط به ولتاژ آن ولتاژ لازم را می نویسم.

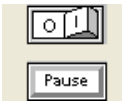


- برای تغییر حالت کلیدها اگر توجه کرده باشید در زیر کلیدها بعنوان مثال نوشته شده است KEY=SPACE که این را می رساند برای تغییر حالت کلید باید دکمه SPACE صفحه کلید را یکبار فشار دهید. همچنین میتوانید در قسمت Value ، دکمه مورد نظر برای سوئیچ کردن کلید را تغییر دهید.
- در زمان اجرا هیچ تغییراتی نظیر حذف قطعات و وسایل نمی‌توانید بدهید و این عمل فقط در زمان Stop یا غیر تست مدار می تواند روی دهد.
- همواره باید یک قسمت مدار را زمین کرد و سمبل زمین در Sources قرار دارد.
- برای Zoom کردن می توان از قسمتی که در بالای نرم افزار قرار دارد استفاده کرد.
- اگر مسیر های زیر را طی کنید می توانید مدارهای نمونه نرم افزار را نگاه کنید.

file>open> circuits
file>open>complex

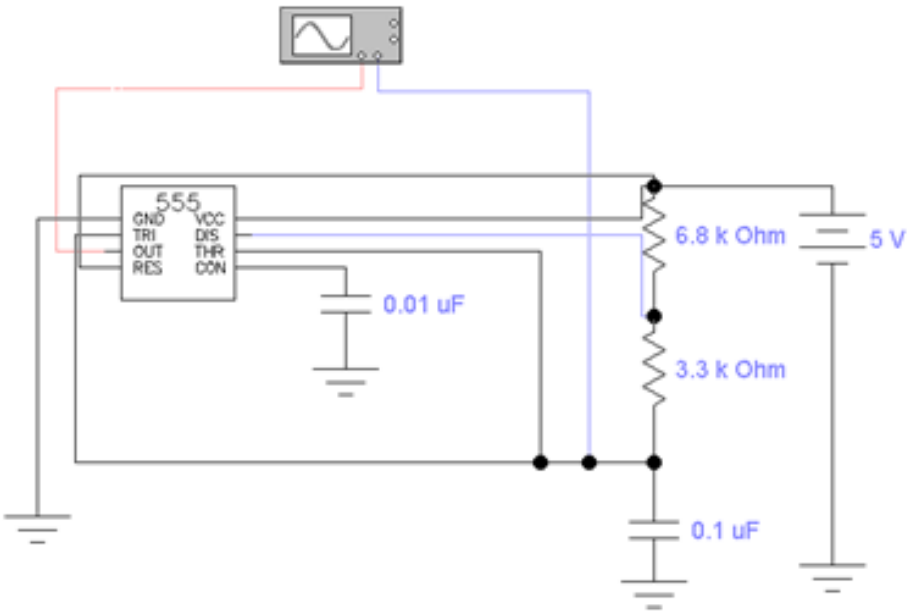
از قسمت سمت چپ یکی را انتخاب کنید.

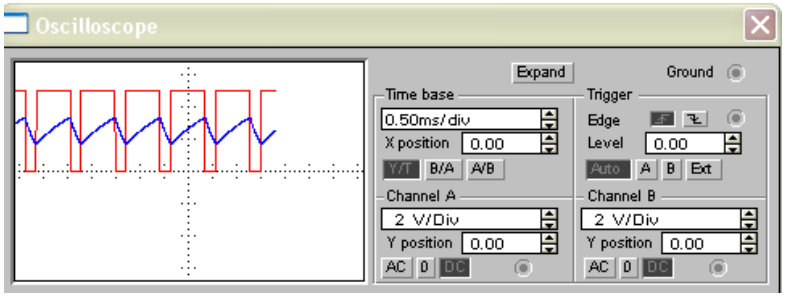
- بعد از تکمیل مدار اگر اقدام به اجرای آن کنید (یعنی بخواهید خروجی آن را ببینید) اگر مدار شما مشکلی داشته باشد نرم افزار سریعا آنرا به شما اعلام خواهد کرد.
- برای اجرای شبیه سازی مدار از کلید ۰ و ۱ بالای صفحه استفاده کنید.



پیاده سازی یک مدار نمونه

در شکل زیر آی‌سی ۵۵۵ در حالت آستابل نشان داده شده است. در این مدار بسته به مقادیر مقاومت ها و خازن ها، میتوان فرکانس و Duty Cycle را تغییر داد. خروجی مدار نیز در شکل زیر نشان داده شده است. برای اطلاعات بیشتر در مورد نحوه عملکرد این مدار به بخشهای قبلی مراجعه کنید.

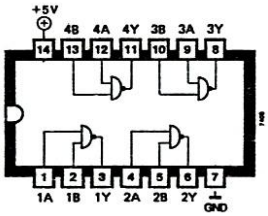

555
GND
TRI
OUT
RES
VCC
DIS
THR
CON
0.01 uF
6.8 k Ohm
3.3 k Ohm
0.1 uF
5 V


Oscilloscope
Expand
Ground
Time base
0.50ms/div
X position
0.00
Y/T
B/A
A/B
Trigger
Edge
Level
0.00
Auto
A
B
Ext
Channel A
2 V/Div
Y position
0.00
AC
0
DC
Channel B
2 V/Div
Y position
0.00
AC
0
DC

پیوست (۳)

مشخصات آی سی های به کار برده شده

در آزمایشها



Description:
This package contains four 2-input NAND gates.

Mode of operation:
All four NAND gates can be used independently of one another.
For each gate, the output is high, if either one or both inputs are low.
If both inputs are high, the output will be low.

Inputs		Output
A	B	Y
L	X	H
X	L	H
H	H	L

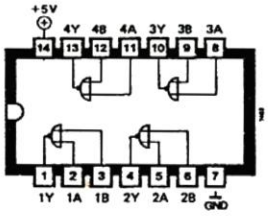
Application:
Implementation of NAND, AND and Inverter functions

Data:									
Propagation delay	ns	10	6	2.6	3.4	6	35	9.5	3
Supply current	mA	8	1	4	4.4	17	0.8	2	15

Families:	Std	ALS	AS	F	H	L	LS	S
	●	●	●	●	●	●	●	●

Quadruple 2-INPUT NAND GATE

7400



Description:
This package contains four 2-input NOR gates.

Mode of operation:
All four NOR gates can be used independently of one another.
For each gate, the output is low, if either one or both inputs are high. If both inputs are low, the output will be high.

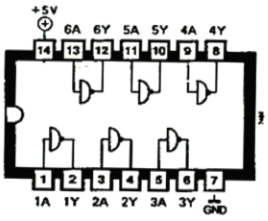
Inputs		Output
A	B	Y
L	X	H
X	L	H
H	H	L

Application:
Implementation of NOR, OR and inverter functions

Data:									
Propagation delay	ns	12	7	2.75	4.4		31	10	3.5
Supply current	mA	12	1.5	8	3.4		1	2	23
Families:		Std	ALS	AS	F	H	L	LS	S
		●	●	●	●		●	●	●

Quadruple 2-INPUT NOR GATE

7402



Description:
This package contains six inverters.

Mode of operation:
All six inverters can be used independently of one another.
For each inverter, a low input gives a high output and vice versa.
The 7414 contains six inverters with Schmitt-trigger inputs and has the same pinout.

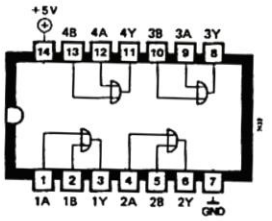
Application:
Logical inversion, pulse shaping, oscillators

Data:									
Propagation delay	ns	10	6	2.75	3.5	6	33	9.5	3
Supply current	mA	12	2	8	6.9	26	1.2	3	23

Families:	Std	ALS	AS	F	H	L	LS	S
	●	●	●	●	●	●	●	●

Hex INVERTER

7404



Description:
This package contains four 2-input OR gates.

Mode of operation:
Each of the four OR gates can be used independently.
If one or both inputs of a gate are high, the output will be high. If both inputs are low, the output will be low.

Inputs		Output
A	B	Y
H	X	H
X	H	H
L	L	L

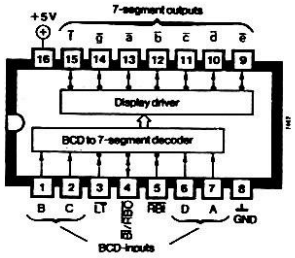
Application:
Implementation of the OR function.

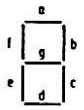
Data:									
Propagation delay	ns	12	8	3.4	4.1			14	4
Supply current	mA	19	2.2	12	8.2			5	28

Families:	Std	ALS	AS	F	H	L	LS	S
	●	●	●	●			●	●

Quadruple 2-INPUT OR GATE

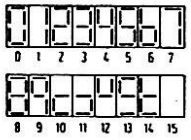
7432





Segment identification

Resulting display



Description:
This device converts BCD input data into control signals for 7-segment displays. The outputs are open-collector type.

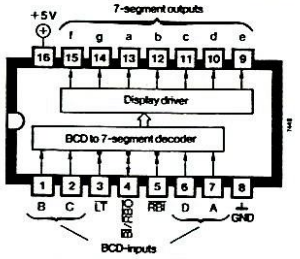
Mode of operation:
The function and pin assignment is identical to that of the 7446 (see 7446). The only difference is that the 7447 has a lower maximum output voltage capability of 15 V.

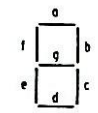
Application:
Control of 7-segment displays

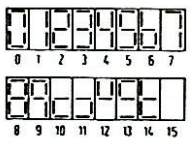
Data:									
Propagation delay	ns	100					200	100	
Maximum output voltage	V	15					15	15	
Maximum collector current	mA	40					24	20	
Supply current	mA	64					32	7	
Families:		Std	ALS	AS	F	H	L	LS	S
		●					●	●	

BCD-TO-7-SEGMENT DECODER/DRIVER with 15 V open-collector outputs

7447







Description:
This device converts BCD input data into control signals for 7-segment displays.

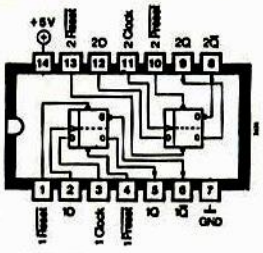
Mode of operation:
The BCD code is fed to inputs A through D, and after decoding in the IC, provides 7-segment display (a - f) segment control data. The outputs are open-collector, but with an internal 2kΩ pull-up resistor. The decoder outputs are active-high and have a maximum low-level output sink current of 6 mA. If higher currents are required, especially for multiplex operation, additional external transistors are required.
There is no internal latch.
The top horizontal segment (a) of the number 6 and the bottom horizontal segment (d) of the number 9 are not displayed. For normal operation, the pins LT (lamp test, pin 3) and $\overline{BI}/\overline{RBO}$ (ripple blanking output, pin 4) are pulled high (RBI = ripple blanking input, can be either level).
All segments can be checked by taking LT low. This should activate all segments, i.e. a figure 8 should be displayed. Leading zeros in multi-digit displays are suppressed by linking the BI/RBO output of one digit with the RBI input of the place below it. As suppression of the zero in the least significant digit is not normally desirable, the RBI of this stage is left open. Trailing zeros after the decimal point can be suppressed in a similar manner. As all segments are switched off when BI/RBO is low, a display intensity control can be implemented by applying a pulse-modulated signal to this pin.

Application:
Control of 7-segment displays, especially in multiplexing.

Data:								
Propagation delay ns	100						100	
Maximum collector current mA	55						25	
Families:	Std	ALS	AS	F	H	L	LS	S
	●						●	

BCD-TO-7-SEGMENT DECODER/DRIVER

7448



Description:
This package contains two D-type positive-edge-triggered flip-flops with separate preset and clear inputs.

Mode of operation:
Each flip-flop can be used independently.
Data at the D-input is transferred to output Q (and inverted to output $\overline{Q}$) whenever the clock input changes from low to high. Until this rising clock edge occurs, no change of data at the D-input will result in a change in the output.
If D is high, Q goes high and $\overline{Q}$ goes low when triggered by the clock pulse.
If D is low, Q goes low and Q goes high when triggered by the clock pulse.
Data on the D-input can be changed at any time. What counts is the level at the moment that the clock goes from low to high. This state is then latched.
For normal operation, the $\overline{\text{Preset}}$ and $\overline{\text{Reset}}$ inputs should be held high. If the $\overline{\text{Reset}}$ input is taken low, Q goes low and $\overline{Q}$ goes high. If the $\overline{\text{Preset}}$ input is taken low, Q immediately goes high and Q goes low. These two inputs should never be low simultaneously, since an unstable state is created which is not retained once $\overline{\text{Preset}}$ and $\overline{\text{Reset}}$ become inactive (high).

Inputs				Outputs	
$\overline{\text{Preset}}$	$\overline{\text{Reset}}$	Clock	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↓	H	H	L
H	H	↓	L	L	H
H	H	L	X	no change	
H	H	H	X	no change	
H	H	↑	X	no change	

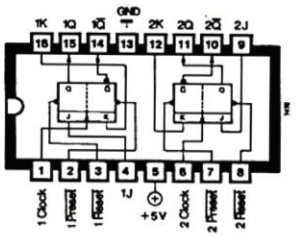
* unstable state

Application:
Registers, counters, control circuits

Data:									
Minimum guaranteed clock frequency	MHz	15	34	105	100	35	2.5	25	75
Propagation delay	ns	17	10	6	4	13	65	19	6
Supply current	mA	17	1.2	5	10	30	1.6	4	30
Families:		Std	ALS	AS	F	H	L	LS	S
		●	●	●	●	●	●	●	●

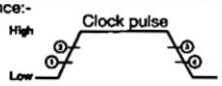
Dual D-TYPE FLIP-FLOP with preset and clear

7474



Description:
This package comprises two JK flip-flops with preset and clear.

Mode of operation:
Each flip-flop can be used independently.
The standard TTL, H and L versions are positive pulse-triggered. In this version, the information present at the J and K inputs is transferred on the high-to-low transition (negative edge) of the positive clock pulse, according to the following sequence:-
1) The slave is separated from the master.
2) Data on the J and K inputs reaches the master.
3) The J and K inputs are isolated.
4) Data is transferred from the master to the slave.



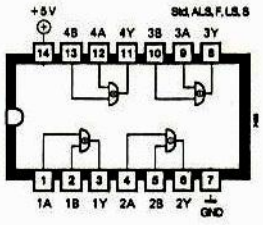
Whilst the clock is high, data on the J and K inputs must not change.
The LS version, which is negative-edge triggered, allows the logical state of the inputs to change while the clock signal is high.
When triggered by the clock pulse, if J is high and K is low, Q goes high and $\overline{Q}$ goes low.
When triggered by the clock pulse, if J is low and K is high, Q goes low and $\overline{Q}$ goes high.
If both J and K are low, the clock pulse changes the states of Q and $\overline{Q}$, permitting binary division.
If both J and K are low, the clock pulse causes no change on the outputs.
For normal operation, the Preset and Reset inputs should be high. If a Reset input is taken low, output Q immediately goes low and $\overline{Q}$ goes high. If the Preset input is taken low, then Q immediately goes high and Q goes low. These two inputs should never be low simultaneously, since an unstable state occurs which is not retained once either or both inputs return to the inactive state (high).

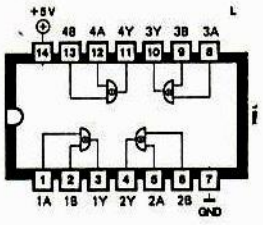
Application:
Registers, counters, control circuits

Data:									
Minimum guaranteed clock frequency	MHz	15				25		30	
Propagation delay	ns	20				18		15	
Supply current	mA	20				32		4	
Families:		Std	ALS	AS	F	H	L	LS	S
		●				●		●	

Dual JK FLIP-FLOP with preset and clear

7476





Description:
This package contains four 2-input exclusive-OR gates.

Mode of operation:
Each of the four exclusive-OR gates can be used independently.
If either input, but not both, of a gate is high, the output will be high. If both inputs are high or low, the output will be low.
The gate can be used as a comparator which produces a low output whilst the input signals are identical and a high output if the input signals differ.
It can be used as a controllable inverter, whereby a low at an input permits the signal on the other input to appear on the output unaltered, whereas a high on the control input will cause the signal on the other input to be inverted at the output.
The gate can be used as a frequency doubler, by applying a pulse to one input and a delayed version of the pulse to the other. Whilst the two inputs differ, an output will be obtained on the leading and falling edges of the pulse. The delay circuit can be a non-inverting gate or two inverting gates. The output pulses from the exclusive-OR gate will have a width equivalent to the propagation delays of the gates used.
The 74386 is functionally identical to this package but has a different pinout.

$$Y = A \oplus B = \overline{A}B \oplus A\overline{B}$$

Inputs A	Inputs B	Output Y
L	L	L
L	H	H
H	L	H
H	H	L

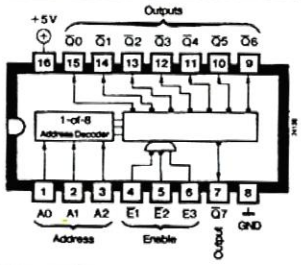
Application:
Implementation of the exclusive-OR function, generation and checking of odd and even parity, adders/subtractors, logical comparators, frequency doublers.

Data:									
Propagation delay	ns	14	8	5			75	14	6.75
Supply current	mA	30	4	16			3.8	6	50

Families:	Std	ALS	AS	F	H	L	LS	S
	●	●	●	●		●	●	●

Quadruple 2-INPUT EXCLUSIVE-OR GATE

7486



Description:
This package contains a high-speed 3 line to 8 line decoder/demultiplexer with 3 enable inputs.

Mode of operation:
When a 3-bit code is applied to the three binary weighted address inputs (A0, A1 and A2), the $\overline{Q}$ output corresponding to this code goes low, while the other outputs remain high. However, this applies only if the enable inputs $\overline{E1}$ and $\overline{E2}$ are low and E3 is high.
The multiple enable inputs to this circuit permit the parallel expansion of the device to a 1 of 32 decoder requiring only four 74138s plus an inverter.
This package can also be used as a demultiplexer with 8 outputs, in which one of the $\overline{E1}$ or $\overline{E2}$ inputs (with active low) is used as a data input and the other enable inputs as strobe inputs. The unused enable inputs in this case must be taken to their corresponding active level with a high or low.

Enable inputs			Address inputs			Outputs							
E3	$\overline{E2}$	$\overline{E1}$	A2	A1	A0	$\overline{Q0}$	$\overline{Q1}$	$\overline{Q2}$	$\overline{Q3}$	$\overline{Q4}$	$\overline{Q5}$	$\overline{Q6}$	$\overline{Q7}$
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

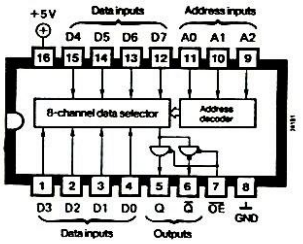
Application:
Digital demultiplexing, address decoding, control decoding

Data:									
Propagation delay	ns		13	5.8	5.8			22	8
Supply current	mA		6	5	13			13	49

Families:	Std	ALS	AS	F	H	L	LS	S
		●	●	●			●	●

3-to-8 LINE DECODER/DEMULTIPLEXER with inverted outputs

74138



Description:
This device contains a data selector which selects one of 8 input signals by means of a 3-bit binary address.

Mode of operation:
The required input (D0 - D7) is selected by applying a binary address at the Address inputs (A0 - A2). The signal at the selected input appears at Output Q and in inverted form at Output $\overline{Q}$.
For normal operation, the Output Enable ($\overline{OE}$) input is taken low. If it is taken high, Output Q goes low and $\overline{Q}$ goes high, regardless of the state of the other inputs.

This package can also be used as a Boolean function generator as well as for serial data transmission.
The 74251 is a similar device in which, both Outputs Q and $\overline{Q}$ go high when $\overline{OE}$ = high.

Inputs				Outputs	
Address			Output enable		
A2	A1	A0	$\overline{OE}$	Q	$\overline{Q}$
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$*
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

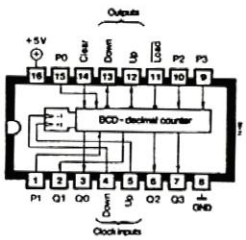
* state of corresponding input

Application:
Multiplexing, address decoding, serial data transmission, function generator.

Data:									
Propagation delay	ns	25	11	8	6			15	12
Supply current	mA	29	7.5	19	12			6	45
Families:		Std	ALS	AS	F	H	L	LS	S
		●	●	●	●			●	●

1-of-8 DATA SELECTOR/MULTIPLEXER

74151



Description:
This package contains a synchronous, programmable BCD counter with dual clock inputs which can count up or down and has a clear input.

Mode of operation:
For normal operation the $\overline{\text{Load}}$ input is high and Clear is low. The counter is incremented on each low-to-high transition (positive edge) of the clock pulse on the Up clock input and decremented on each positive edge of the clock pulse on the Down clock input. In each case the inactive clock input should be high.
To program the device, the required BCD number is applied to inputs P0 - P3 and $\overline{\text{Load}}$ is momentarily taken low.To clear the counter, Clear is taken momentarily to *high*. The Clear and Load operations are asynchronous ie independent of the state of the clock.
When counting up, on reaching 9, the Carry output (pin 12) goes low on the next negative edge of the clock pulse and remains low until the clock goes high again. The Borrow output (pin 13) similarly goes low when a count of 0 is attained when counting down.
To create multi-stage counters, the Borrow output (pin 13) is connected to the Down clock input and the Carry output (pin 14) is connected to the Up clock input of the next stage.

Clock Up	Clock Down	Clear	$\overline{\text{Load}}$	Function
⌐¬	H	L	H	Count up
H	⌐¬	L	H	Count down
X	X	H	X	Clear
X	X	L	L	Load

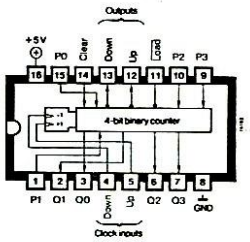
Application:
Up/down differential counting, synchronous frequency dividers for synthesizers.

Data:									
Max. clock frequency	MHz	25	25		125		3	25	
Supply current	mA	65	12		30		8.5	19	

Families:	Std	ALS	AS	F	H	L	LS	S
	●	●		●		●	●	

SYNCHRONOUS UP/DOWN DECADE COUNTER with clear

74192



Description:
This package contains a synchronous, programmable 4-bit binary counter with dual clock inputs which can count up or down and has a clear input.

Mode of operation:
For normal operation the $\overline{\text{Load}}$ input is high and Clear is low. The counter is incremented on each low-to-high transition (positive edge) of the clock pulse on the Up clock input and decremented on each positive edge of the clock pulse on the Down clock input. In each case the inactive clock input should be high.
To program the device, the required 4-bit binary number is applied to inputs P0 - P3 and $\overline{\text{Load}}$ is momentarily taken low.To clear the counter, Clear is taken momentarily to *high*. The Clear and Load operations are asynchronous ie independent of the state of the clock.
When counting up, on reaching 15, the Carry output (pin 12) goes low on the next negative edge of the clock pulse and remains low until the clock goes high again. The Borrow output (pin 13) similarly goes low when a count of 0 is attained when counting down.To create multi-stage counters, the Borrow output (pin 13) is connected to the Down clock input and the Carry output (pin 14) is connected to the Up clock input of the next stage.

Inputs				Function
$\overline{\text{Load}}$	$\overline{\text{CE}}$	Up/Down	Clock	
H	L	L	⌐	Count up
H	L	H	⌐	Count down
L	X	X	X	Clear
H	H	X	X	Load

Application:
Up/down differential counting, synchronous frequency dividers for synthesizers.

Data:									
Max. clock frequency	MHz	25	25		125		3	25	
Supply current	mA	65	12		30		8.5	19	

Families:	Std	ALS	AS	F	H	L	LS	S
	●	●		●		●	●	

SYNCHRONOUS UP/DOWN 4-BIT BINARY COUNTER with clear

74193