بسمه تعالی

جزوه

الکترونیک ۲

دانشگاه

تهران

استاد

دکتر جمالی

فصل ۱

ترانزیستور اثر میدان FET

و

مدارهای آن

۱-۱ : مقدمه

یک ترانزیستور پیوندی دوقطبی[1] (BJT) که به صورت npn و یا pnp ساخته می‌شود، یک عنصر کنترل شده توسط جریان[2] است که در کاربرد آن هر دو نوع حامل الکترون و حفره شرکت دارند. ترانزیستور اثر میدان[3] (FET) یک عنصر تک قطبی[4] است که به صورت عنصر کنترل شده با ولتاژ[5] بوده و در یکی از انواع آن که از حامل‌های الکترون و یا حفره (در نوع کانال - n الکترون و در نوع کانال-p حفره) شرکت دارد.

گرچه این عنصر یکی از اولین عناصر نیمه‌هادی است که از نظر تئوری برای عملکرد تقویت کنندگی در نظر گرفته شده است، ولی از نظر استفاده ساخت عملی عنصر آن به بازار تا اواسط سال ۱۹۶۰ طول کشید.

ترانزیستور اثر میدان (FET) دارای امپدانس ورودی خیلی بیشتری از ترانزیستورهای پیوندی (BJT) می‌باشد. این عنصر همچنین نسبت به تغییرات حرارت کمتر حساس است و دیگر عدد نویز[6] کمتری دارد.

بطور کلی در قبال چند تفاوت عمده بین ترانزیستورهای اثر میدان (FET) و ترانزیستورهای پیوندی (BJT) بصورت زیر اشاره کرد:

۱. FET دارای امپدانس ورودی خیلی زیادی است در حدود آن بطور نمونه[7] در حدود 100 MΩ می‌باشد.

---

(1) Bipolar Junction Transistor
(2) current controlled device
(3) Field Effect Transistor
(4) Unipolar
(5) Voltage Controlled Device
(6) Noise Figure
(7) typical

www.tfar.ir

۲. ولتاژ OFFSET صفر FET در جریان صفر درین، برابر صفر ولت و در نتیجه در مدارهای سوئیچینگ[1] و چاپر[2] مورد استفاده دارد.

۳. FET نسبت به BJT دارای نویز[3] خیلی کمتر است و بهمین علت برای طبقات ورودی تقویت کننده ها با سطح سیگنال کم[4] مناسب است (در گیرنده های FM به کیفیت بالا[5] نظیر وسیع استفاده می شود).

۴. FET نسبت به BJT می تواند پایداری حرارتی بهتری داشته باشد.

اساسی ترین عیب FET کم بودن حاصلضرب بهره در پهنای باند - و بعبارتی تقویت[6] آن در مقایسه با مقداری است که ترانزیستور BJT می تواند بدست آید. عناصر BJT نسبت به FET با سرعت بیشتری می توانند عمل نمایند.

در تقویت کننده های ترانزیستوری (BJT) سیگنال ورودی به یک پیوند pn که بطور مستقیم بایاس شده اعمال می شود در این پیوند دارای امپدانس ورودی نسبتاً کمتری می باشد. از طرف دیگر در FET سیگنال ورودی به یک پیوند pn یا بایاس معکوس اعمال می گردد در نتیجه دارای امپدانس ورودی بالاتری است. این امپدانس ورودی زیاد در بسیاری از کاربردها در ورودی جریان کشیده شده از منبع سیگنال باید مقدار حداقل مجاز خود را داشته باشد، مزیت مطلوبی است.

در FET بهر تقویت با برقراری یک جریان در طول یک کانال[7] نیمه‌ای صورت می گیرد که مقاومت این کانال توسط تابعی الکتریکی اعمال شده به طرفین آن و در جهت عمود بر کانال تغییر می یابد. بنابراین با تغییر این ولتاژ، مقاومت کانال نیز بهمان صورت تغییر کرده و بنتیجه این تغییر مقاومت، دامنه جریان کانال را کنترل خواهد نمود.

عناصر FET نظیر ترانزیستورهای معمولی، عناصر نیمه‌ای سه سر هستند. این عناصر به دو صورت، ترانزیستور اثر میدان پیوندی JFET[8] و ترانزیستور اثر میدان با ترکیب فلز - اکسید - نیمه هادی MOSFET[9] ساخته می شوند. در این فصل به بررسی ساختمان فیزیکی، عملکرد و مشخصه های هر یک از انواع عناصر FET که در مدارها و کاربردها نیز از نظر بایاس dc و سیگنال کوچک بررسی خواهد شد.

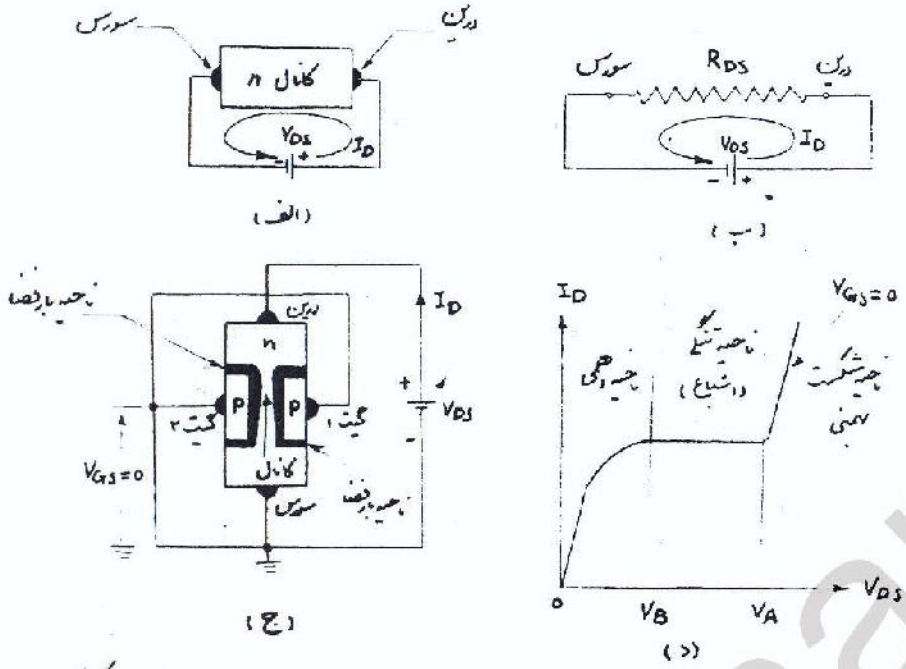
۲-۱ : ساختمان و مشخصات ترانزیستور اثر میدان پیوندی JFET

عملکرد عنصر FET را میتوان بصورت زیر توضیح داد. قطعه نیمه‌ای نوع n نشان داده شده در شکل الف ۲-۱ را در نظر بگیرید. این قطعه

---

(1) Switching
(2) Chopper
(3) Noise
(4) low-level
(5) High fidelity (hi-fi)
(6) Bandwidth-gain
(7) Channel
(8) Junction Field Effect Transistor
(9) Metal-Oxid-Semiconductor FET

www.ttnar.ir



شکل ۱-۱ : الف) کانال n ؛ ب) مقاومت مؤثر کانال n ؛ ج) ساختمان فیزیکی کم توان ترانزیستور اثر میدان نیمرسانی (JFET) ؛ د) نمودار جریان درین برحسب ولتاژ V_{DS} (درین سورس) به ازای $V_{GS}=0$ (ولتاژ گیت سورس) .

که کانال نامیده می‌شود نظیر یک مقاومت است که در شکل ب ۱-۱ نشان داده شده است . با افزودن اتصالات اهمی[1] به دو سر این کانال می‌توان آن را به منبع تغذیه و یا مداری متصل نمود . اگر به دو سر این کانال ولتاژی اعمال شود جریانی برقرار می‌گردد . سری که از آن جریان خارج می‌گردد اگزوز[2] یا سورس[3] و سری که از آن جریان خارج می‌گردد درین[4] نامیده می‌شود . برای عنصر کانال n الکترونها حامل ذی‌اکثریت می‌باشند . بنابراین همانطور که در شکلهای الف ۱-۱ و ب ۱-۱ نشان داده شده است با اعمال ولتاژ V_{DS} به دو سر قطعه جریان I_D در آن برقرار شده و کانال نظیر یک مقاومت R_{DS} عمل می‌کند . در این مدار ساده با بکارگیری قانون اهم[5] نتیجه می‌شود که : با افزایش V_{DS} ، جریان I_D نیز متناسب با آن زیاد خواهد شد .

حال حالتی را در نظر می‌گیریم که دو ناحیه P به طرفین این کانال نظیر شکل ج ۱-۱ افزوده شود . در اینجا باز بلافاصله ولتاژ درین سورس را نظیر همان حالت شکل الف ۱-۱ در نظر میگیریم . کنتاکت اهمی افزوده شده به دو ناحیه P گیت[6] نامیده می‌شود . در اینصورت

(۱) Ohmic contact
(۲) Source
(۳) drain
(۴) Ohm's law
(۵) gate

www.tfnar.ir

شده در طرف گیت به سمی متصل شده باشد (ولتاژ V_{GS} سادی صفر قرار داده شده است) . لایه گیت به این خاطر دارای این ترمینال نگاه می‌شود که هر لحظه در نقطه ملاحظه خواهد شد . ولتاژ اعمال شده بین این ترمینال و ترمینال سورس ، عرض کانال و متعاقباً جریان دائم آن را کنترل می‌نماید .

نقطه‌ای پیوندی pn ، در حالت عادی یک ناحیه تخلیه[1] (یا بارفقیر) در سطح بین گیت و کانال تشکیل می‌شود (شکل ۱۴-۱) . عرض این ناحیه تخلیه با افزایش ولتاژ معکوس بیشتر ، افزایش می‌یابد . در این حالت تمایل هر نقطه در طول کانال نسبت به مناطق آن نقطه از دریک دارد ؛ یعنی نقاط نزدیک به دریک نسبت به سورس دارای تمایل مثبت تری از نقاط نزدیک به سورس می‌باشند . بنابراین هر دو ناحیه تخلیه اطراف گیت ، از مقدار ولتاژ معکوس آن نسبت به نقاط مختلف کانال تبعیت کرده و لهذا مختلف بوده و در نزدیکی دریک ، ناحیه تخلیه در کانال بیشتر توسعه می‌یابد .

جریان الکترون (حامل اکثریت در کانال n) از سورس به دریک توسط عرض یا یک کانال که بین نواحی تخلیه قرار دارد ، محدود می‌شود . عرض این کانال مقدار مقاومت بین دریک و سورس را تعیین می‌نماید .

حال رفتار جریان I_D را برحسب ولتاژ V_{DS} در شکل ۱-۱ نشان داده شده است ، در نظر می‌گیریم . در این حالت ولتاژ $V_{GS}=0$ در نظر گرفته شده است ؛ بنابراین این منحنی فقط برازای $V_{GS}=0$ می‌باشد . حال فرض می‌کنیم در ولتاژ V_{DS} از مقدار صفر شروع افزایش یابد ؛ در نتیجه I_D نیز افزایش یافته و همچنین کانال نظیر یک مقاومت عمل می‌کند ، بنابراین مقدار این جریان از قانون اهم تبعیت می‌نماید . این افزایش جریان با ولتاژ در قسمت اولیه منحنی بخش مرکزی نشان داده شده تقریباً خطی[2] است . اگر V_{DS} باز نیز افزایش یابد ، در نتیجه جریان دریک از افزایش باقی می‌ماند هنگامی که V_{DS} به یک مقدار مشخص که آنرا ولتاژ تنگ[3] ، V_p ، می‌گویند ، رسید ، جریان به حالت اشباع می‌رسد . در این حالت با افزایش بیشتر ولتاژ V_{DS} جریان دریک اندکی زیاد می‌شود . این مقدار جریان دریک را جریان اشباع در این گفته و با I_{DSS} نشان می‌دهند . I_{DSS} کمیت با ارزشی مهم و مشخص کننده رفتار JFET می‌باشد . در حقیقت در این ناحیه با افزایش بیشتر V_{DS} ، هر دو ناحیه تخلیه اطراف گیت ، در طول کانال توسعه یافته و نتیجتاً عرض کانال باریکتر شده و بنابراین مقاومت آن افزایش می‌یابد . لذا با افزایش بیشتر ولتاژ V_{DS} ، مقاومت کانال نیز زیادتر شده و در نتیجه جریان دریک نسبتاً ثابت

---

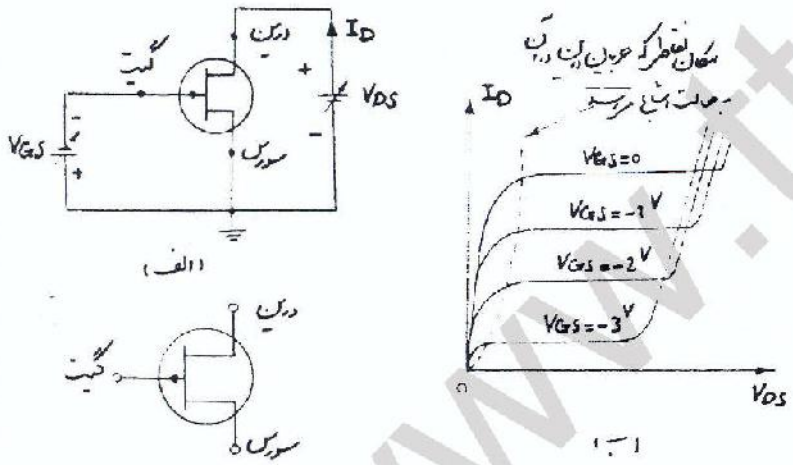
(1) depletion region
(2) Ohmic region
(3) pinch-off voltage

www.itnar.ir

می‌ماند . در این حالت FET در ناحیه تنگه[1] و یا اشباع[2] عمل می‌کند .

در عناصر FET نیز نظیر دیود pn ، هنگامی که ولتاژ معکوس از حدی تجاوز نماید ، پدیده‌ی شکست[3] اتفاق می‌افتد . همانطور که در شکل ۲-۱ نشان داده شده است ، اگر ولتاژ V_{DS} از ولتاژ شکست V_A تجاوز نماید ، جریان I_D سریعاً افزایش خواهد یافت .

حال اگر JFET کانال n را که ولتاژ گیت یا سورس آن نظیر شکل الف ۲-۱ ، دیود pn گیت یا سورس را نظیر معکوس بایاس کرده است ، در نظر گیریم . به ازای هر مقدار مشخص V_{GS} یک بخش مشخصه نظیر شکل ۱-۱ نتیجه می‌شود . یک دسته از این بخش‌ها در شکل ب ۲-۱ نشان داده شده‌اند . ملاحظه می‌شود با افزایش ولتاژ معکوس گیت یا سورس (یا منفی‌تر شدن V_{GS}) حالت تنگه کانال زودتر پدید می‌آید و این پدیده را می‌توان به زبان دیگر یک مثال تبیین نمود . فرض می‌شود به ازای $V_{GS}=0$ و $V_{DS}=+5^V$ تنها نقطه مشخص از کانال نسبت به سورس $+5^V$ باشد . در این صورت ولتاژ معکوس دو سر هر کدام از دیودهای pn طرفین کانال $+5^V$ خواهد بود . اگر مقدار V_{GS} از صفر ولت به -1^V تغییر داده شود ، در این صورت ولتاژ همین نقطه نسبت به گیت برابر $5-(-1)=6^V$ خواهد بود .



شکل ۲-۱ : الف) عدم بایاس متعارفی JFET کانال n با ولتاژهای بایاس مربوطه ؛
ب) منحنی‌های I_D برحسب V_{DS} به ازای مقادیر مختلف V_{GS} ؛
ج) عدم بایاس متعارفی JFET کانال p .

بنابراین به ازای هر مقدار ثابت V_{DS} افزایش ولتاژ معکوس V_{GS} ، کانال را باریک‌تر می‌سازد .

همانطور که ملاحظه شد ، تغییر V_{GS} باعث تغییر عرض کانال شده و بنابراین مخرج جریان I_D را به ازای تغییر V_{GS} تغییر می‌دهد . در حقیقت اگر ولتاژ ac یک سیگنال روی ولتاژ dc ، V_{GS} سوار شود ، باعث می‌گردد که در جریان I_D همان تغییرات سیگنال ac

(1) pinch-off region (2) Saturation region

www.ttnari.ir

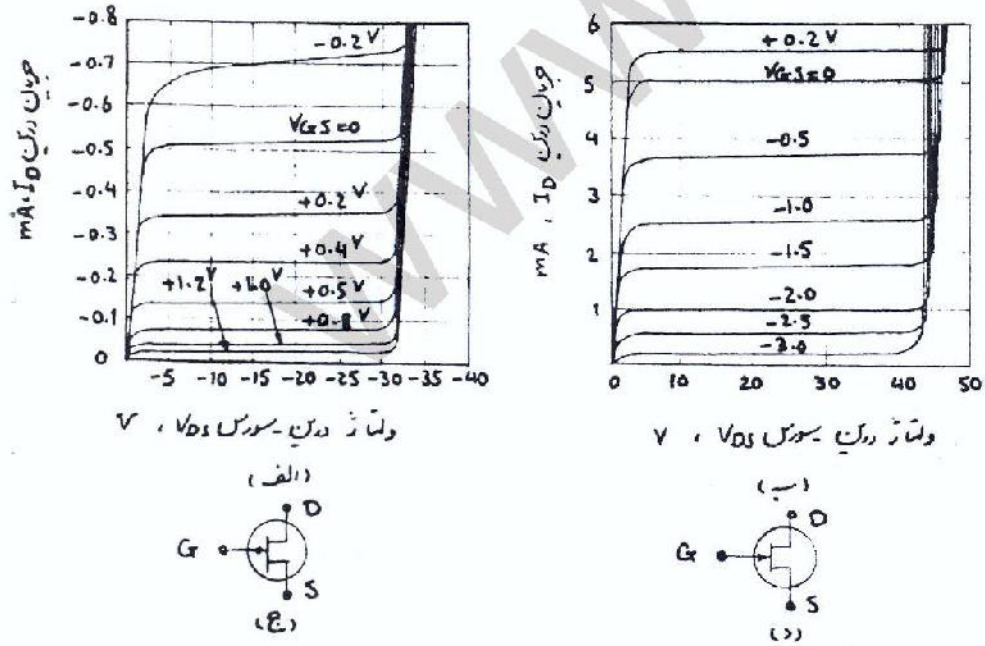
را در حد صفر داشته باشد. جریان مدار گیت یا سورس متشکل از یک پیوند pn است که در بایاس معکوس بایاس شده و دارای مقاومت زیادی می باشد. بنابراین جریان کشیده شده از منبع سیگنال در ورودی توسط FET مقدار خیلی کمی خواهد بود.

گرچه در این مقدمه JFET با استفاده از عنصر کانال-n تشریح شد ولی JFET کانال-p نیز وجود دارد که در آن جنس کانال از نوع نیمه‌هادی P و گیت از آن از نوع نیمه‌هادی از نوع n می‌باشد. در FET کانال-p در علامت اختصاری آن در شکل ج ۳-۱ فلش داده شده است. برای بایاس گیت، پلاریته مناسب برای بایاس JFET کانال-n نیز باید عکس گردد.

همانطور که گفته شد در جریان درین گذرنده از کانال عنصر FET تنها یک نوع حامل تراکنش دارد. در FET کانال-n این حامل‌ها الکترون و در FET کانال-p حفره می‌باشند. این واقعیت باعث می‌شود که این عناصر، عناصر تک قطبی گفته شوند، در صورتی که ترانزیستورهای معمولی عناصر دو قطبی نامیده می‌شوند.

مشخصه درین - سورس *

نمودار تغییر جریان درین I_D برحسب ولتاژ درین-سورس V_{DS}، با ولتاژهای مختلف گیت-سورس، مشخصه درین-سورس[1] نامیده می‌شود. در شکل ۳-۱، مشخصه درین-سورس برای دو نوع JFET کانال-n و کانال-p همراه با علامت قراردادی هر یک از این عناصر نشان



شکل ۳-۱ : الف) مشخصه درین-سورس JFET کانال-p (2N2608) ؛ ب) مشخصه درین-سورس JFET کانال-n (2N4869) ؛ ج) علامت اختصاری JFET کانال-p ؛ د) علامت اختصاری JFET کانال-n

---

[1] drain – Source Characteristic

* این مشخصه، مشخصه خروجی (output characteristic) نیز نامیده می‌شود.

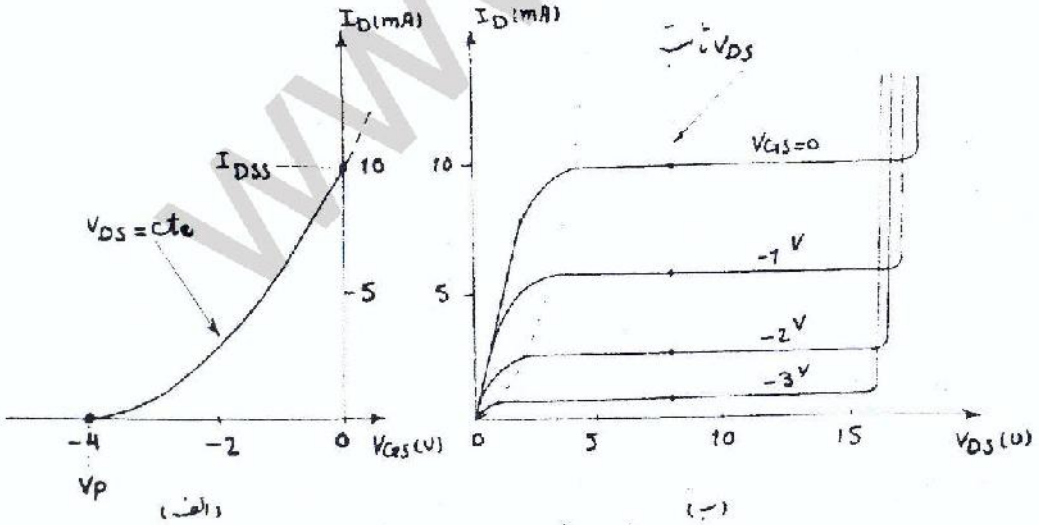
www.itnar.ir

داده شده است . همانطور که قبلاً گفته شد ملاحظه میشود که با افزایش V_{GS} (منفی ترشدن آن در مورد کانال-n) ، جریان این کانال کاهش می یابد و این بعلت باریکتر شدن عرض کانال می باشد . به این ترتیب مشاهده میشود که در یک V_{DS} ثابت ، با تغییر مقدار V_{GS} می توان جریان درین را کنترل نمود .

همانطور که V_{GS} افزایش یابد ، (در JFET کانال-n منفی ترشود) به ازای یک مقدار مشخص از V_{GS} جریان درین دیگر از کانال برقرار نمی شود . این ولتاژ یا ولتاژ تنگ گیت سورس نامیده و آن را با V_P (یا با $V_{GS(OFF)}$) نشان می دهند . این ولتاژ مانند یکی از پارامترها مهم در مشخص کردن عملکرد JFET می باشد . از مشخصات نشان داده شده در شکل ۳-۱ ملاحظه میشود که V_P برای JFET کانال-n منفی و برای JFET کانال-p مثبت است .

مشخصه انتقال

مشخصه انتقال[1] آنست که نمودار جریان درین ، I_D ، را حسب تابعی از ولتاژ گیت-سورس ، V_{GS} ، و به ازای یک مقدار مشخص و ثابت ولتاژ درین-سورس ، V_{DS} ، می باشد . مشخصه انتقال را می توان مستقیماً در یک ایستگاه کروترسیر[2] مشاهده نمود و یا آن را بطریق اندازه گیری بدست آورد . این مشخصه را میتوان از روی مشخصه درین ، همانطور که در شکل ۴-۱ نشان داده شده ، نیز بدست آورد . دو نقطه مهم از این مشخصه در شکل نیز مشخص شده اند ، نقاط I_{DSS} و V_P هستند که به ترتیب روی محور جریان و ولتاژ قرار دارند . اگر این دو نقطه



شکل ۴-۱ = الف) مشخصه ی انتقال ؛ ب) مشخصه درین-سورس .

برای JFET مشخص باشد ، منحنی مشخصه انتقال را می توان از روی اطلاعات حاصل از بررسی های فیزیکی نیمه هادی بدست آورد . این رابطه ،

1) Transfer characteristic 2) Curve tracer

در رابطه شاکلی[1] موسوم است، تصویب از لوده و فقط برای ناحیه‌ی تنگه نگاه می‌دهد:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \qquad (1-1)$$

این رابطه در شکل الف ۱-۴ نشان داده شده است. مشاهده می‌شود در برازای $V_{GS}=0$ مقدار $I_D=I_{DSS}$ بوده و برازای $I_D=0$، $V_{GS}=V_P$ می‌باشد. عنصر JFET معمولاً در ناحیه‌ی تنگه، یعنی در ناحیه‌ای که جریان در کانال با اشباع می‌رسد مورد استفاده قرار می‌گیرد. همانطوری که گفته شد در این ناحیه مشخصه‌ی JFET را به سادگی می‌توان با استفاده از مخصه‌ی انتقال و با رابطه شاکلی تشریح نمود.

مثال ۱-۱: جریان درین را برای یک JFET کانال-n در برازای ولتاژ تنگه $V_P=-4^V$ بعد و جریان اشباع یک سورس آن $I_{DSS}=12^{mA}$ باشد برازای ولتاژهای گیت-سورس زیر بدست آورید:

الف) $V_{GS}=0$ ؛ ب) $V_{GS}=-1.2^V$ ؛ ج) $V_{GS}=-2^V$

حل: با استفاده از رابطه مخصه‌ی انتقال (۱-۱) داریم:

الف) $I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2 = 12^{mA}\left(1-\frac{0}{-4}\right) = 12^{mA}$

ب) $I_D = 12^{mA}\left(1-\frac{-1.2}{-4}\right)^2 = 5.88^{mA}$

ج) $I_D = 12^{mA}\left(1-\frac{-2}{-4}\right)^2 = 3^{mA}$

۱-۳: ترانزیستور اثر میدان با ترکیب فلز - اکسید - نیمه‌هادی (MOSFET)

ترانزیستور اثر میدان پیوندی JFET در قبلاً مورد بررسی قرار گرفت، عملکرد عنصر براثر اعمال میدان الکتریکی در کانال نیمه‌رسانا و کنترل مقاومت آن، صورت می‌گرفت. نوع دیگری از ترانزیستور اثر میدان که اکنون مورد بررسی قرار می‌گیرد، عنصر MOSFET* است که مکانیسم آن با JFET تفاوت می‌باشد. در این عنصر بین گیت فلزی و کانال نیمه‌رسانا یک لایه عایق اکسیدی وجود دارد و اعمال میدان الکتریکی به کانال از طریق گیت فلزی و عایق، کنترل جریان در کانال صورت می‌گیرد. این عناصر در اختصار "MOS" نامیده می‌شوند.

---

(1) Schockley's equation

* این عنصر بعلت اینکه بین گیت و کانال آن عایق وجود دارد بنام IGFET (Insulated Gate FET) نیز نامیده می‌شود.

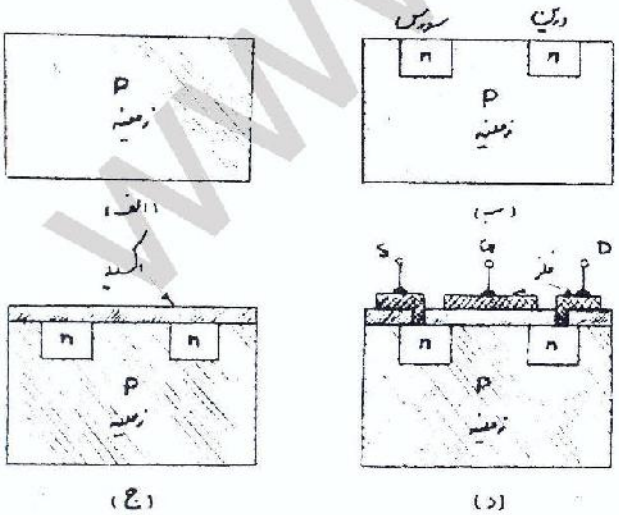
www.itnar.ir

روز اهمیت تبدیل از عناصر FET می‌باشد. مخصوصاً در مدارهای منطقی[1] در ساخت مدارهای مجتمع[2] Ic، حجم زیاد، بطور وسیعی کاهش می‌شود.

عنصر MOSFET به صورت MOSFET تخلیه‌ای[3] و MOSFET افزایشی[4] ساخته می‌شود. رفتار MOSFET تخلیه‌ای مشابه رفتار JFET است، با این فرق که در ولتاژ صفر گیت، جریان درین ماکزیمم است و با افزایش مقدار مثبت یا منفی گیت، بدون در نظر گرفتن علامت آن، این جریان کاهش می‌یابد. در MOSFET افزایشی در ولتاژ گیت صفر، جریان درین مقدار کمی است و با افزایش مقدار پتانسیل گیت (بدون در نظر گرفتن علامت آن) جریان درین افزایش می‌یابد. هر دو نوع MOSFET شامل عناصر کانال n- و کانال p- ساخته می‌شوند. در اینجا ابتدا به بررسی ساختمان و مشخصات MOSFET افزایشی می‌پردازیم. سپس MOSFET تخلیه‌ای را که نیز مورد بررسی قرار خواهیم داد.

MOSFET افزایشی

شکل ۵-۱ مراحل ساخت یک عنصر MOSFET کانال n- افزایشی را نشان می‌دهد. در اینجا از یک قطعه نیمه‌رسانای P که دارای مقاومت زیاد است، به عنوان زمینه[5] استفاده شده است (شکل الف ۵-۱). در این قطعه، دو قسمت ماده‌ی نوع n با مقاومت کم تزریق می‌شود (شکل ب ۵-۱). سپس روی سطح چنین عنصری لایه‌ی اکسید (عایق) پوشانیده شده (شکل ج ۵-۱) و توسط سوراخ‌هایی در روی این لایه‌ی عایق، اتصالات درین و سورس برقرار می‌گردد. در نهایت لایه‌ی عایقی، اتصال فلزی دیگری که طول کانال (فاصله بین درین و سورس) را می‌پوشاند، ساخته می‌شود.



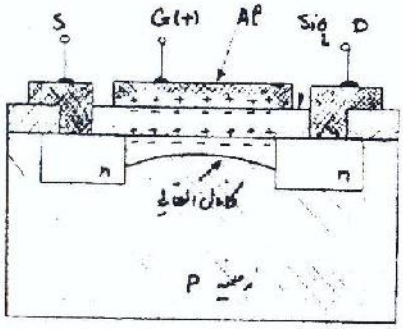
شکل ۵-۱ : مراحل ساخت یک MOSFET کانال n- افزایشی

(1) logic circuits
(2) Integrated circuits
(3) depletion
(4) enhancement
(5) substrate

www.itnar.ir

در همان گیت عنصر است (شکل ۵-۱) . ملاحظه میشود در اینجا گیت فلزی توسط عایق اکسیدی از کانال کاملاً مجزا میشود و بنابراین ترکیب ساختمانی است که چنین عنصری را MOSFET و یا IGFET مینامند . در این عنصر جریان درین و سورس (نیمه‌هادی نوع n) توسط زمینه (نیمه‌هادی نوع P) از همدیگر جدا شده‌اند . لذا در حالتی که بین گیت و سورس ولتاژی اعمال نشده باشد جریان گذرنده بین درین و سورس فوق العاده کم خواهد بود ، زیرا در این حالت رفتار عنصر نظیر دو دایود است که به صورت پشت به پشت[1] بهم متصل شده‌اند .

با توجه به شکل ۶-۱ که ساختمان کامل یک عنصر MOSFET کانال-n را نشان میدهد ، ملاحظه میشود که گیت فلزی و لایه‌ای عایق اکسیدی و کانال نیمه‌هادی تشکیل یک خازن را میدهند . در اینجا گیت فلزی ، جوشن بالایی و زمینه P جوشن پائینی این خازن میباشند . حال فرض میکنیم که گیت به تانسیل مثبت متصل گردد . در این صورت با برای مثبت روی گیت ، بایاس القایی[2] در سطح زمینه‌ی P در زیر شاورست عایق قرار دارد ، حاصل میگردد . با به عبارت دیگر الکترونهای آزاد در زمینه P اطراف سطح زمینه در بین درین و سورس متمرکز است گردیده میشوند . با افزایش بیشتر تانسیل گیت مقدار بایاس القایی روی سطح زمینه بیشتر شده ، لذا طبق در ناحیه‌ی نزدیک عایق در بین درین و سورس واقع است ، نظیر یک نیمه‌هادی نوع n میگردد ، در این صورت جریان بین سورس و درین از طریق این کانال القایی[2] برقرار میشود . با به عبارت دیگر با اعمال تانسیل روی گیت جریان "افزایشی" میباید . لذا در ملاحظه میشود در این عنصر نیز جریان در بین درین و سورس توسط ولتاژ گیت کنترل میشود ؛ یعنی در اینجا نیز مقاومت کانال و البته به ولتاژ گیت میباشد .



شکل ۶-۱ : کانال در عنصر افزایشی . اعمال ولتاژ مثبت به گیت باعث تشکیل کانال بین سورس و درین میشود .

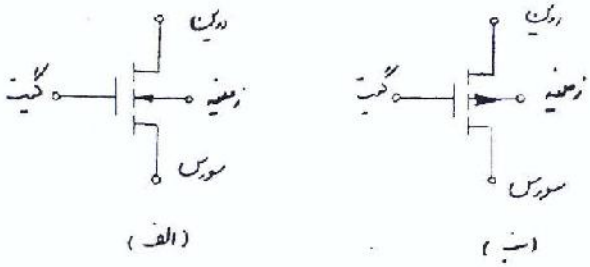
عنصری که ساختمان آن در بالا مورد بررسی قرار گرفت ، یک عنصر MOSFET کانال n بود . واضح است که این عنصر به صورت کانال-p نیز ساخته میشود . در این عنصر کانال-P در بین سورس از جنس نیمه‌هادی نوع P و زمینه از جنس نیمه‌هادی نوع n میباشد شکل ۱-۷ علامت اختصاری هر کدام از MOSFET ها کانال-n و کانال-p را نشان میدهد .

---

(1) back-to-back

(2) induced channel

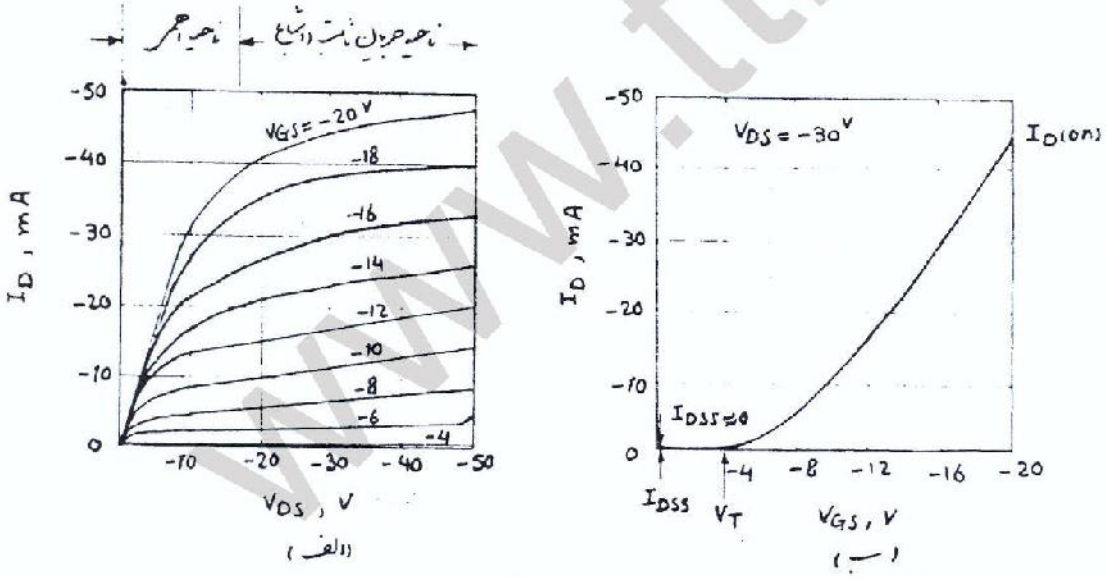
www.tbar.ir



شکل ۷-۱ : الف) علامت اختصاری MOSFET افزایشی کانال - n ؛
ب) علامت اختصاری MOSFET افزایشی کانال - P .

مشخصه‌های MOSFET افزایشی

شکل ۸-۱ مشخصه درین یا مشخصه خروجی و مشخصه انتقال یک MOSFET افزایشی کانال P را نشان می‌دهد . طوری که در شکل الف ۸-۱ نیز دیده می‌شود با ازای یک V_{GS} ثابت ، با شروع از مقدار صفر برای V_{DS} ، با افزایش V_{DS} ، جریان درین I_D افزایش می‌یابد تا به مقدار اشباع برسد و با ازای تغییرات V_{DS} در محدوده اشباع جریان درین تقریباً ثابت می‌ماند . همچنین مشاهده می‌شود که با ازای V_{DS} ثابت ، با افزایش قدر مطلق V_{GS} جریان درین I_D افزایش می‌یابد و با ازای تغییرات V_{DS} در ناحیه اشباع تغییرات کمی می‌کند . همچنین مشاهده می‌شود که با ازای V_{DS} ثابت ، با افزایش قدر مطلق V_{GS} جریان درین I_D افزایش می‌یابد و با ازای تغییرات V_{DS} در ناحیه اشباع تغییرات کمی می‌کند . همچنین مشاهده می‌شود که با ازای V_{DS} ثابت ، با افزایش قدر مطلق V_{GS} جریان درین I_D افزایش می‌یابد و با ازای تغییرات V_{DS} در ناحیه اشباع تغییرات کمی می‌کند . همچنین مشاهده می‌شود که با ازای V_{DS} ثابت ، با افزایش قدر مطلق V_{GS} جریان درین I_D افزایش می‌یابد و با ازای تغییرات V_{DS} در ناحیه اشباع تغییرات کمی می‌کند .



شکل ۸-۱ : الف) مشخصه درین ؛ ب) مشخصه انتقال ، برای MOSFET افزایشی کانال P ، 3N163

مشاهده می‌شود که با ازای V_{DS} ثابت در مشخصه خروجی ، با افزایش تدریجی منفی گیت نسبت به سورس (V_{GS}) جریان درین نیز افزایش می‌یابد و همانطور که قبلاً نیز در تقسیم بندی MOSFET گفته شد ، به این دلیل این ترانزیستور ، MOSFET افزایشی می‌باشد .

شکل ب - ۸-۱ مشخصه انتقال این MOSFET را نشان می‌دهد . در این منحنی مشخصه با ازای $V_{GS} = 0$ جریان درین دارای مقدار خیلی کمی می‌باشد . به دقت به این مشخصه تا هنگامی که با افزایش مقدار V_{GS} ، ابتدا تغییرات جریان درین مقدار خیلی کم صورت گرفته و

با زیاد شدن ولتاژ V_{GS} از یک ولتاژ مشخص بالعده، جریان کم کم شروع به افزایش می‌نماید. این ولتاژ مشخص را ولتاژ آستانه گیت به سورس[11] نامیده و آنرا با $V_{GS(th)}$ و یا V_T نیز نشان می‌دهند. کارخانه‌های سازنده معمولاً این ولتاژ را ولتاژی در نظر می‌گیرند که در آن جریان I_D به مقدار مشخص تعریف شده‌ای مثلاً $10\,\mu A$ برسد. مقادیر V_T برای MOSFET های مختلف معمولاً بین ۱ تا ۶ ولت می‌باشد.

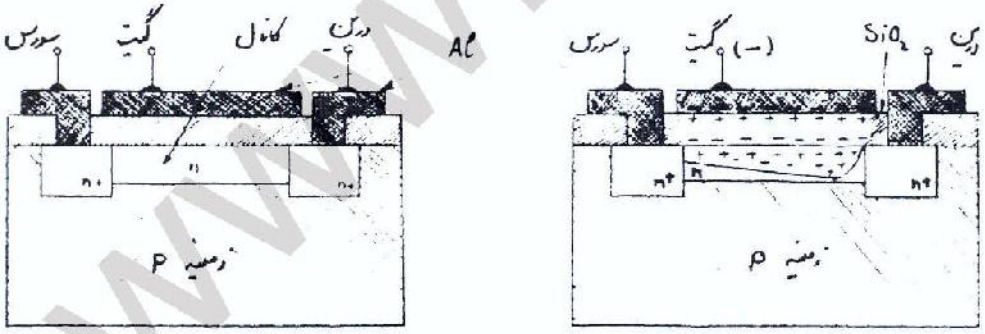
بررسی های فیزیکی نشان می‌دهد که برای MOSFET افزایشی در حالت $V_{GS} > V_{GS(th)}$ مشخصه انتقال را می‌توان با رابطه زیر بیان نمود:

$$I_D = k\,(V_{GS} - V_{GS(th)})^2 \qquad (۱-۲)$$

که در آن k ضریبی است که به ساختمان عنصر بستگی دارد.

MOSFET تخلیه ای

نوع دیگر عنصر MOSFET نوع تخلیه‌ای آن است که ساختمان اصلی آن در شکل ۹-۱ نشان داده شده است. در این عنصر در حالت آن تقریباً نظیر همان عنصر افزایشی است، بین درین و سورس یک کانال نیز از همان نوع نیمه‌رسانا که در درین و سورس، ساخته می‌شود جای



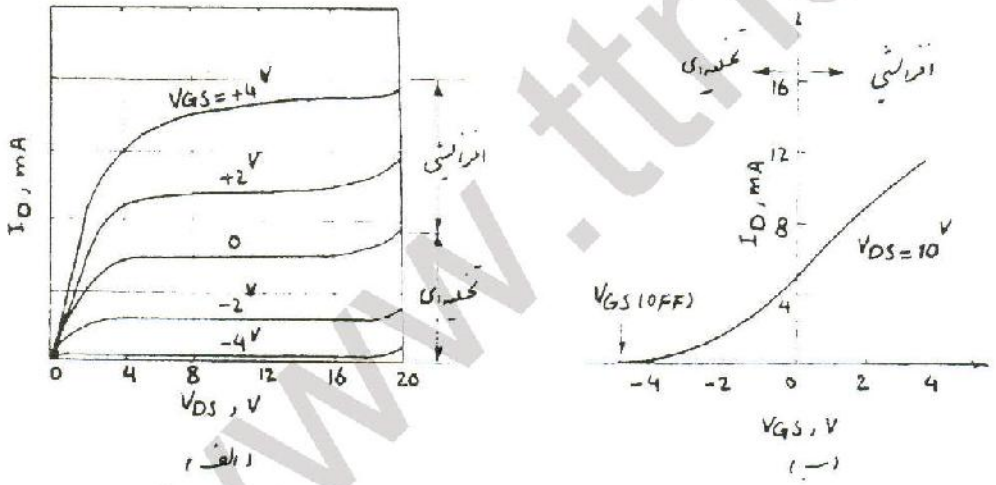
شکل ۹-۱ : الف) ساختمان MOSFET تخلیه‌ای ؛ ب) نحوه‌ی تخلیه کانال با اعمال ولتاژ منفی روی گیت.

یک عنصر کانال-n را نظیر شکل الف ۹-۱ در نظر بگیرید. اگر ولتاژ گیت را صفر در نظر بگیریم، الکترون‌های آزاد کانال n به این عنصر در جریان درین مقاومت دارند. به ازای $V_{GS} = 0$ جریان درین گذرنده از کانال مقدار ثابتی را حفظ نموده که همان I_{DSS} می‌باشد. حال اگر ولتاژ گیت منفی‌تر شود، در نتیجه حاملهای مثبت در دو طرف کانال القا شده و باعث کاهش تعداد الکترون‌های آزاد کانال که همان جریان درین FET می‌شوند، می‌شود.

[11] gate – source threshold voltage

بایاس در کانال بر اثر حامل‌های اکثریت است. اعمال پتانسیل مثبت القایی، بایاس کانال را کم کرده و نیمه‌هادی‌تر شدن V_{GS} جریان درین افت خواهد نمود. ترکیب مجدد[11] حاملهای القایی با حاملهای اکثریت کانال باعث ایجاد ناحیه تخلیه‌ای از حاملهای اکثریت می‌شود و بهمین خاطر این عنصر را MOSFET تخلیه‌ای می‌نامند. با توجه به شکل ب-۹-۱ ملاحظه می‌شود که هیئت تأثیر (برآیند جریان درین، ناحیه تخلیه کانال و رفتگی درین) تیزتر از سورس می‌باشد. این دلیل آنست که در ترانزیستور JFET گفته شد با بیشتر شدن کانال به انتهای درین می‌شود. همین علت تفاوت‌های ولتاژ آستانه MOSFET تخلیه‌ای با JFET کاملاً آشکار خواهد بود.

یک MOSFET تخلیه‌ای می‌تواند در حالت افزایشی نیز کار نماید. با اعمال ولتاژ مثبت بر روی گیت (در عنصر کانال-n) بار القایی در کانال از نوع سمپریجه و باعث افزایش هدایت کانال می‌شود و جریان درین می‌تواند از مقدار I_{DSS} تجاوز نماید. مشخصه‌های درین، سورس و انتقال یک MOSFET تخلیه‌ای کانال-n در شکل ۱۰-۱ نشان داده شده‌اند. نواحی تخلیه‌ای و افزایشی این عنصر با توجه به ولتاژ V_{GS} منفی و مثبت اند.



شکل ۱۰-۱ : الف) مشخصه درین ؛ ب) مشخصه انتقال (برای $V_{DS} = 10^{V}$) برای MOSFET کانال-n 2N3631 در هر دو حالت افزایشی و هم در حالت تخلیه‌ای می‌تواند کار نماید.

شود. با ثابت نگه‌داشتن V_{DS} در مشخصه انتقال نیز می‌توان ولتاژی بالاتر از $V_{GS(OFF)}$ (یا V_P) جریان درین را با مقدار ماکزیمم ملاحظه می‌شود. این ولتاژ در معمولاً توسط سازنده مشخص می‌شود، ولتاژ قطع گیت سورس[12] نامیده شده و مقدار آن معمولاً به ازای یک جریان مشخص کم I_D در یک ولتاژ معین V_{DS} داده می‌شود.

نظر حالت MOSFET افزایشی، می‌توان مشخصه انتقال را با رابطه زیر توصیف کرد :

---

11 Recombination

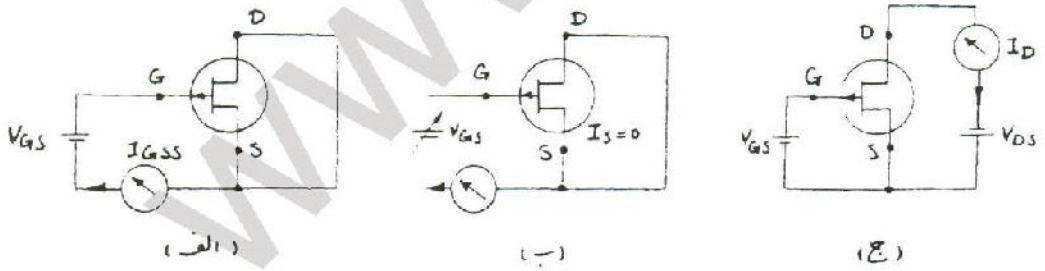
12 Gate-Source Cut-off Voltage

علاوه بر مقادیر نامی مانند ، مشخصات دیگری از FET نیز در اوراق سازنده "درج میشود . این مشخصات شامل مشخصات استاتیک و دینامیک[۲] میباشد . مشخصات استاتیک در برای بایاس کردن و تعیین نقطه کار dc مورد استفاده قرار میگیرد ، در حالی که مشخصات دینامیک در بررسی قرار میگیرد . مشخصات دینامیک در طرح مدار ، FET و تجزیه و تحلیل ac بکار می رود . در قسمت بعدی مشخصات مختلف FET تعریف شده است .

جریان نشتی[۴]

کمیت از مهمترین مشخصات هر عنصر FET جریان نشتی گیت میباشد . لطفا ایده آل جریان گیت باید صفر باشد ، زیرا اگر پیوند pn بین گیت و کانال را در نظر بگیریم ، ملاحظه میشود که این پیوند بصورت معکوس بایاس شده و در عنصر MOSFET بین گیت و کانال عایق وجود دارد . در هر دو حالت که پیوند pn معکوس دارای جریان نشتی میباشد و همچنین علت اینکه عایق هم ایده آل نیست و مقدار ضعیفی جریان هدایت میکند ، جریان گیت صفر نمی باشد .

پارامتری که در مشخصات سازنده برای این جریان تشخیص میشود IGSS میباشد . همانطور که در مورد ترانزیستور دوقطبی نیز گفته شده است ، اندیس های این پارامتر مشخص کننده شرایط اندازه گیری آن میباشد . جریان IGSS که جریان قطع گیت میباشد ، عبارتست از جریان گیت (G) در مدار بین سورس مشترک[۱] (S) که در این مورد ترمینال سوم) به سورس اتصال کوتاه (S) شده باشد . برای اندازه گیری این پارامتر میتوان از مدار نشان داده شده در شکل الف ۱۲-۱ استفاده نمود . پیوند گیت سورس باید بصورت معکوس بایاس شود و چنین



شکل ۱۲-۱ = الف) مدار اندازه گیری I_{GSS} ؛ ب) مدار اندازه گیری BV_{DGO} یا BV_{GSS} ؛

ج) مدار عمومی JFET با منابع V_{GS} و V_{DS}

JFET نشان داده شده در این مدار کانال - p است لذا V_{GS} مثبت میباشد . هنگام تعیین I_{GSS} ، شرایط اندازه گیری ، نظیر مقدار V_{GS} و

---

(۱) manufacturer's sheets
(۲) dynamic characteristics
(۳) leakage current
(۴) common-source

در چه حرارت باید مشخص گردد . بعنوان مثال برای 2N2386 (به ضمیمه (۱) مراجعه شود) ، مقدار I_{GSS} در $V_{GS}=10^{V}$ و در درجه حرارت هوای آزاد (۱) $25^{\circ}C$ برابر $0.01^{\mu A}$ می باشد . در درجه حرارت $100^{\circ}C$ مقدار I_{GSS} برابر $1^{\mu A}$ میگردد . مشخصات I_{GSS} در مقادیر مانیم را نشان میدهد ، در تجزیه تحلیل مدارات ترانزیستور (۲) معمولا استفاده قرار میگیرد . دیاگرام I_{GSS} در چه حرارت توسط منحنی بین قطع گیت در جه حرارت هوای آزاد « در مشخصات سازنده داده میشود . در اینجا ملاحظه میشود که تقریبا به ازای افزایش هر $45^{\circ}C$ در درجه حرارت هوای آزاد ، I_{GS} ده برابر زیاد میشود .

برای قطع جریان قطع گیت در عناصر MOSFET میتوان از همین روش استفاده نمود ؛ در این عناصر دیاگرام این جریان بر حسب حرارت کمتر است .

روش های دیگری برای تشخیص جریان نشتی گیت وجود دارد (با باز گذاشتن سورس یا درین) ، $\frac{1}{2}I_{GSS}$ بعلت اینکه مدار ترانزیستور را نشان میدهد معمولتر است .

ولتاژ شکست در JFET

در عناصر JFET نزدیک است به طرق مختلف با ولتاژ شکست بهمنی (۳) مواجه شد . در این عناصر هنگامی که ترکیب ولتاژ های اعمال شده بین ترمینال ها از یک حد معینی تجاوز نماید ، در پیوند گیت ، شکست اتفاق میافتد . یکی از معمولترین مشخصات در دیاگرام ترانزیستور توسط سازنده داده میشود ، ولتاژ BV_{DGO} است ؛ یعنی ولتاژ بین درین و گیت وقتی که سورس مدار باز است ($I_S=0$) باعث میشود که شکست بوجود میگردد ، ترانزیستور اندازه گیری چنین پارامتری در شکل ۱۲-۱ نشان داده شده است .

همانطوری که میدانیم در ناحیه شکست بهمنی ، جریان افزایش می یابد ؛ و بنابراین ولتاژ شکست معمولا باید در جریان مشخصی اندازه گیری شود . مشخصات سازنده معمولا این جریان اختیاری را تشخیص میکنند . برای 2N2386 (به ضمیمه (۱) مراجعه نمایید) ولتاژ BV_{DGO} برابر 20^{V} - است و در این ولتاژ جریان درین $10^{\mu A}$ بعنوان معیاری برای وقوع ناحیه شکست در نظر گرفته شده است .

در بعضی موارد برای BV_{DGO} ، ولتاژ BV_{GSS} توسط سازنده داده میشود . این پارامتر ولتاژ شکست گیت سورس ، در حالتی که درین به سورس اتصال کوتاه شده باشد را نشان میدهد . در شکل ۱۲-۱ این ترانزیستور با اتصال نقطه چین سورس به درین مشخص شده است . در این ترانزیستور مقدار اندازه گیری شده برای BV_{GSS} تفاوت محسوسی با مقدار اندازه گیری شده برای BV_{DGO} خواهد داشت

(۱) Free air temprature (۲) worst-case analysis (۳) avalanche breakdown

www.ttnar.ir

بنابراین می‌توان گفت بطور تقریبی BV_{DGO} و BV_{GSS} برای یک JFET هم‌کیان بوده و فقط علامتی که آنها هم متفاوت خواهد بود (برای JFET کانال P ، BV_{DGO} منفی و BV_{GSS} مثبت می‌باشد) :

$$BV_{GSS} = -BV_{DGO} \qquad (۱-۴)$$

در پیوند گیت ممکن است تولید ولتاژ زیاد بین درین یا سورس نیز شکست القاء بنماید . در حالت کلی مقدار ولتاژ درین یا سورس ، V_{DS} ، و ولتاژ گیت سورس ، V_{GS} ، را توان در نظر گرفت . این حالت در شکل ج ۱۲-۱ نشان داده شده است . هر یک از این دو ولتاژ در اگر مقدار BV_{DGO} تولید نماید باعث شکست پیوند گیت خواهد شد . در حالت کلی داریم :

$$V_{DS} = V_{DG} + V_{GS} \qquad (الف\ ۵-۱)$$

ماکزیمم مقدار قابل برای V_{DS} را می‌توان از روی ماکزیمم مقدار قابل $V_{DG} + V_{GS}$ بدست آورد . لطفاً در نظر :

$$BV_{DSX} = BV_{DGO} + V_{GSX} \qquad (ب\ ۵-۱)$$

در رابطه X مشخص کننده مقدار مشخص V_{GS} می‌باشد .

به عنوان مثال مشخصات یک ترانزیستور 2N2386 در ضمیمه (I) داده شده است را در نظر می‌گیریم . ملاحظه می‌شود در ازای $V_{GS} = 0$ شکست در $V_{DS} = -27.5^{V}$ اتفاق می‌افتد . با استفاده از رابطه (ب ۵-۱) داریم :

$$-27.5 = BV_{DGO} + 0$$

بنابراین $BV_{DGO} = -27.5^{V}$ می‌باشد . توجه کنید در مشخصات قبلی مقدار -20^{V} برای BV_{DGO} تعیین گردیده در حالی که مقدار ، مقدار مینیمم تعیین شده است . مقدار بدست آمده از روی مشخصات یک مقدار نمونه‌ای است که توسط سازنده تعیین می‌شود . با افزایش V_{GS} ، مقدار V_{DS} لازم برای شکست ، کاهش می‌یابد . با استفاده از مقدار نمونه‌ای بدست آمده در بالا ، هنگامی که $V_{GS} = 2.5^{V}$ باشد داریم :

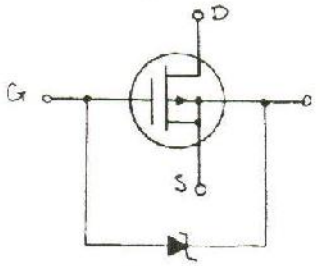
$$BV_{DSX} = -27.5 + 2.5 = -25^{V}$$

که با مشخصات داده شده سازگار است .

www.tnar.ir

ولتاژ شکست در MOSFET

در عناصر MOSFET اگر ولتاژ اعمال شده بین گیت و سورس و یا بین گیت و درین از حدی تجاوز نماید، در اثر ایجاد میدان الکتریکی قوی در لایه عایق اکسیدی[1] ممکن است شکست رخ دهد. این پدیده هرگز عایق ایجاد نمی‌کند؛ ولتاژ لازم برای شکست به ضخامت عایق و غلظت ناخالصی[2] در آن بستگی دارد. سازنده‌ها معمولاً مقدار ماکزیمم برای V_{GS} و V_{DS} را مشخص می‌کنند. در جریان کار[3] عناصر MOSFET نیز باید دقت لازم معمول گردد، زیرا ایستادن بار الکتریسیته ساکن روی گیت ممکن است باعث قطع شدن لایه عایق شود. برای این کار چنین اشکالی، سازنده‌ها معمولاً دیودهای محافظ[4] را بین منبع و گیت قرار می‌دهند (این دیود نظیر مجتمع[5] همراه خود عنصر جای می‌شود) و این عمل باعث جلوگیری از ایستادن بار الکتریسیته ساکن روی گیت، بیشتر از حدی که ممکن است به گیت آسیب برساند، می‌گردد (به شکل ۱۳-۱ مراجعه شود). طریق دیگر برای حفاظت این عناصر موقع حمل و نقل، اتصال کوتاه کردن پایه‌های آن با همدیگر می‌باشد.



شکل ۱۳-۱ : MOSFET کانال P- همراه با دیود زنر داخلی آن که برای جلوگیری از ایستادن بارهای استاتیک الکتریسیته می‌رود.

در این عناصر نیز، نظیر JFET، ولتاژ شکست درین به سورس مشخص می‌شود. در حالی که MOSFET فقط بصورت افزایشی کار می‌کند، مقدار نامی BV_{DSS} داده می‌شود. در این گیت به سورس اتصال کوتاه شده و منبع مقدار جریان درین، برقرار می‌گردد (عنصر در حالت قطع می‌باشد). در عناصر MOSFET که بصورت افزایشی و تخلیه‌ای کار می‌کنند، با اعمال ولتاژ لازم به گیت، عنصر به حالت قطع می‌رود. در این عناصر مقدار نامی برای ولتاژ شکست بصورت BV_{DSX} است که در آن X مشخص کننده یک مقدار معین برای V_{GS} می‌باشد. به عنوان مثال مقدار نامی BV_{DSX} برای MOSFET 2N3797 که در ادوات سازنده داده شده، برای $V_{GS} = -7^V$ حداقل 20^V می‌باشد (به ضمیمه (۱) مراجعه شود). در این نقطه جریان درین $5^{\mu A}$ نشان می‌دهد که ولتاژ شکست ولتاژی در نظر گرفته شده در آن I_D از $5^{\mu A}$ تجاوز می‌نماید.

مثال ۲-۱ : با استفاده از شکل ج ۱۲-۱ و اعداد نموداری بدست آمده از مشخصات درین ترانزیستور 2N2386

---

(1) insulating oxid layer
(2) concentration of impurities
(3) handling
(4) package
(5) integrated

www.tnar.ir

مقادیر زیر را تعیین کنید .

مثال ۵-۱ : الف) BV_{GSS} ؛ ب) BV_{DSX} در $V_{GS}=1^V$ ؛ و ج) BV_{GSX} در $V_{DS}=-20^V$.

حل : الف) BV_{GSS} ولتاژ گیت به سورس لازم برای شکست می باشد ، زمانیکه ترمینال سوم (درین) به سورس اتصال کوتاه شده باشد ($V_{DS}=0$) :

$$BV_{GSS} = -BV_{DG0} = 27.5^V$$

ب)

$$BV_{DSX} = BV_{DG0} + V_{GSX}$$

$$BV_{DSX}\ (V_{GS}=1^V \text{ در}) = -27.5 + 1 = -26.5^V$$

ج) در این BV_{GSX} مقدار ولتاژ گیت به سورس را در حالت $V_{DS}=-20^V$ نشان می دهد .

در این حالت با استفاده از (رابطه ۵-۱) ، ما می توان بصورت زیر نوشت :

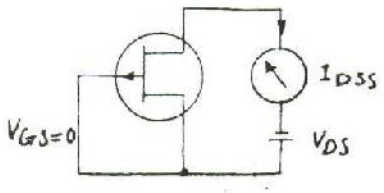
$$V_{DS} = BV_{DG0} + BV_{GSX} \qquad (۵-۱ \text{ ج})$$

$$BV_{GSX} = -20 - (-27.5) = 7.5^V$$

مشخصات جریان درین

I_{DSS} جریان اشباع درین با ولتاژ $V_{GS}=0$ است که برای یک V_{DS} مشخص ، ثابت می شود . توسط دیتاشیت داده شده در شکل ۱۴-۱ می توان این پارامتر را اندازه گرفت . عموماً V_{DS} طوری انتخاب می شود که عنصر در ناحیه تنگه قرار گیرد .

با استفاده از مشخصات نمونه ای JFET ، 2N2386 ، $V_{DS}=-20^V$ مقدار $I_{DSS}=-4^{mA}$ می باشد . خط مشخصه در ناحیه تنگه (اشباع) ، I_{DSS} تقریباً جدا از V_{DS} است .



شکل ۱۴-۱ : مدار اندازه گیری I_{DSS}

در غیاب سیگنال علاوه بر این پارامتر ، جریان درین ON نیز مشخص می شود . با عناصر تجزیه ای نظیر JFET ، $I_{D(ON)}$ در یک مقدار مشخص V_{DS} و $V_{GS}=0$ اندازه گرفته می شود . در این حالت I_{DSS} و $I_{D(ON)}$ یکسان می باشند .

www.tnar.ir

برای عناصری نظیر MOSFET که در حالت افزایشی کار می‌کنند، $I_{D(ON)}$ و ولتاژ گیت ـ سورس بالاتر از صفر اندازه‌گیری می‌شود. در این حالت، مانگزیم جریان درین تعیین می‌شود. بعنوان مثال، با مراجعه به مشخصات داده شده در ضمیمه (۱) مقادیر نمونه‌ای جریان درین بصورت زیر می‌باشد:

جریان درین با ولتاژ صفر گیت ـ سورس $I_{DSS} = 1.5\ mA$ $(V_{DS}=10,\ V_{GS}=0)$

جریان ON درین $I_{D(ON)} = 8.3\ mA$ $(V_{DS}=10,\ V_{GS}=3.5\ V)$

برای عناصر MOSFET که فقط در حالت افزایشی کار می‌کنند، I_{DSS} مقدار مینیمم جریان درین را نشان می‌دهد، زیرا با $V_{GS}=0$، حداقل دو کانال بصورت مسدود می‌باشد. در حالت کلی I_{DSS} و $I_{D(ON)}$ هر دو برای کاربرد کلیدی[1] در زمان مشخص FET در حالت ON مشخص، مفید می‌باشند. البته این پارامترها برای عناصر FET از نمونه‌ای به نمونه دیگر تغییرات نسبتاً زیادی (بنسبت ۳ : ۱) می‌نمایند. در این مساله باید همیشه طرح مداری FET در نظر گرفته شود.

یکی از پارامترهای مفید در کاربرد کلیدی عناصر FET میزان قطع (OFF) یک عنصر می‌باشد که توسط جریان نشتی درین[2] $I_{D(OFF)}$ نشان داده می‌شود. سازنده‌ی اغلب حداکثر جریان تعیین شده $I_{D(OFF)}$ را بازای یک مقدار مشخص V_{DS}، و V_{GS}، تعیین می‌نمایند. برای ترانزیستور 2N2386 حداکثر مقدار $I_{D(OFF)}$ در شرایط بایاس معکوس گیت ـ سورس ـ اندازه‌ی 8 ولت و $V_{DS}=-12\ V$ برابر $10\ HA$ می‌باشد. برای MOSFET، 2N3796، اطلاعات مشابه، حالت $V_{GS(OFF)}$ یعنی ولتاژ بایاس معکوس گیت ـ سورس که برای کاهش جریان درین به یک مقدار مشخص کم، لازم است، داده شده است. در این حالت برای کاهش جریان I_D به $0.5\ HA$ بازای $V_{DS}=10\ V$ ولتاژ گیت ـ سورس لازم از $4\ V$ (الزم نمونه‌ای $3\ V$) تجاوز می‌کند. باید خاطرنشان نمود که عامل اصلی کنترل کننده‌ی جریان درین V_{GS} است نه V_{DS}. اثر V_{DS} روی جریان I_D در محیط‌های نسبتاً خیلی کم است.

۵-۱ : بایاس کردن FET

همانطوری که در مورد عناصر BJT ملاحظه شد، برای عملکرد تقویت کنندگی FET باید آنرا در نقطه کار مناسبی بایاس نمود. معمولاً برای بایاس کردن FET نیز باید موارد زیر را در نظر داشت:

---

(۱) switching application

(۲) pinch-off drain current

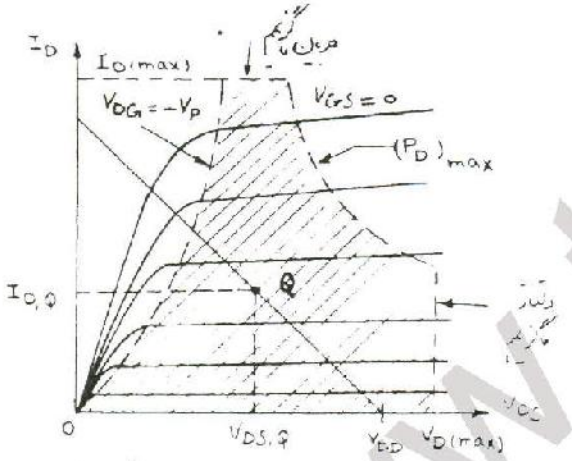
الف . انتخاب نقطه کار مناسب .

ب . طرح مدار DC برای ایجاد نقطه کار انتخاب شده .

ج . بهینه کردن[1] (بهینه سازی) مدار برای حداقل نمودن تغییرات نقطه کار بر اثر تعویض عنصر و یا تغییر درجه حرارت .

برای کم کردن قدرت تلف شده FET ، نقطه کار باید در منطقه محدودی از مشخصات این عنصر واقع شود . این منطقه در ناحیه کار مجاز[2] نامیده می شود . توسط مقادیر مجاز جریان ، ولتاژ و توان عنصر در توسط سازنده داده می شود و همچنین نواحی عملکرد غیر خطی آن محدود می گردد . ناحیه کار مجاز برای یک عنصر FET کانال-n در شکل ۱۵-۱ توسط خطوط شکسته مشخص شده است . قسمت عمده مرز این ناحیه را منحنی توان ماکزیمم[3] تشکیل می دهد که بر اساس تلفات توان مجاز عنصر رسم شده و برای اینکه عنصر آسیب نبیند باید نقطه کار زیر این منحنی قرار گیرد .

این منحنی نشان دهنده رابطه $V_{DS} I_D = P_D$ است که در صورت یک بعدی بودن مشخصات خروجی FET رسم شده است . در نظر گرفتن مقدار مجاز توان ماکزیمم مشخص در درجه حرارت تولید شده از عنصر تحت تاثیر عمود جریان درین نباید از درجه حرارتی بالاتر باشد که در پیوند عنصر تحمل آن می باشد . این درجه حرارت برای سیلیکن در حدود $200^{\circ}C$ و برای ژرمانیم بین $85^{\circ}C$ تا $105^{\circ}C$ می باشد . باید دقت کرد که در مقدار نامی مجاز برای توان توسط سازنده داده می شود ، یک مقدار متوسط لحظه ، و در بسیاری موارد توان ماکزیمم[4] گذرا را نظر گرفت که در مقدار پیک توان[5] برای زمان کوتاهی از دوره تناوب بسیار بیشتر از آن مقدار مجاز نیز تحمل دارد ، البته در زمان مدت کوتاه درجه حرارت داخلی از مقدار قابل مجاز بالاتر نخواهد رفت .



شکل ۱۵-۱ : ناحیه کار مجاز برای یک عنصر خروجی FET .

علاوه بر محدودیت توان ، ناحیه کار مجاز توسط مقادیر ولتاژ شکست V_{DS} و جریان ماکزیمم I_D نیز محدود می شوند . این مقادیر یا مقادیر ماکزیمم مجاز نیز توسط سازنده داده شده است .

---

(1) optimum

(2) allowed operating region

(3) maximum power dissipation curve

(4) dc power

(5) peak power

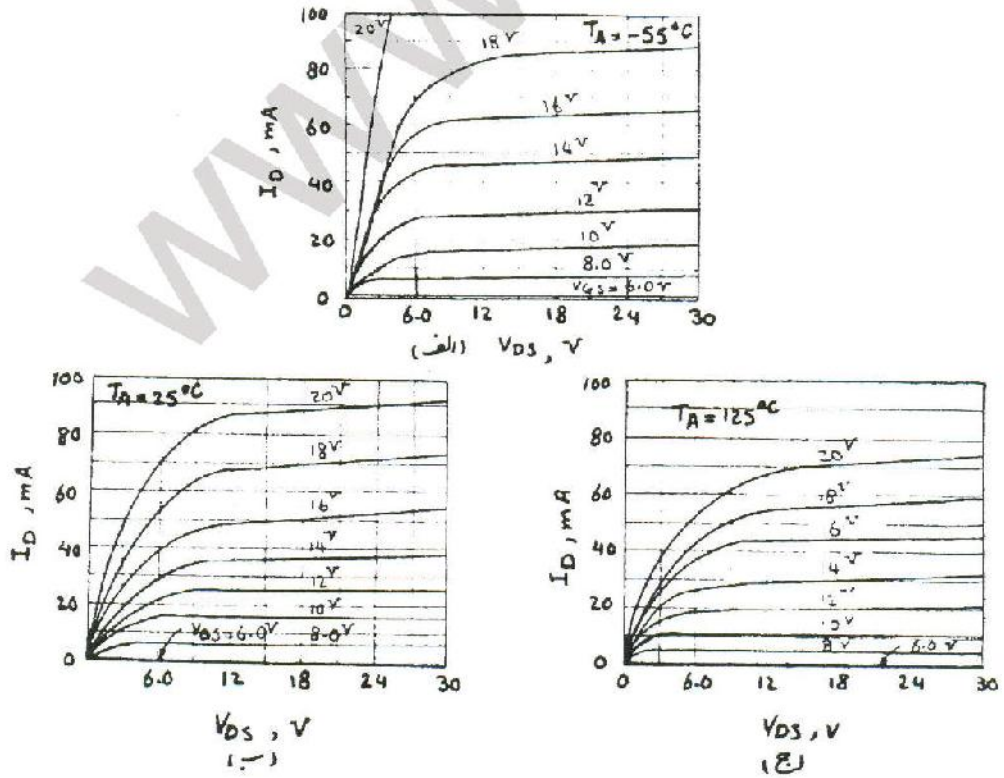
www.tnar.ir

مرزهای عملکرد خطی عنصر را همان زمانی که $I_D = 0$ و مرز ناحیه‌ی اشباع با تنگه تشکیل می‌دهند. همانطور که دیدیم ناحیه تنگه یا اشباع ناحیه‌ای است در آن منحنی های مشخصه خروجی تقریباً بصورت تخت و موازی یکدیگر می‌باشند. برای یک عنصر FET کانال-n معادله‌ی ولتاژ این ناحیه توسط رابطه‌ی زیر بدست می‌آید:

$$V_{DS} > V_{GS} - V_P \qquad (۱-۶)$$

به این ترتیب با مشخص بودن ناحیه کار مدار، سه توان نقطه کار را در این ناحیه انتخاب کرد. برای انتخاب نقطه کار معمولاً سه عامل مهم در نظر گرفته می‌شود: خطی بودن عملکرد تقویت کننده، کنترل مقدار تلفات، کنترل پارامترهای سیگنال - کوچک. تا به کار با نقاط مختلف بتوان دامنه نقطه کار را بر اساس یکی از عوامل فوق انتخاب کرد. در هر یک از موارد فوق، ثابت بودن نقطه کار مطلوب است.

در مدارهایی که در آنها FET نیز نظیر ترانزیستور باید نقطه کار را تحت تاثیر پارامترهای عنصر در نظر گرفت شود. تغییر پارامترهای عنصر بر اثر درجه حرارت صورت می‌گیرد. در شکل ۱-۱۶ مشخصه‌ی خروجی یک MOSFET کانال-n در سه درجه حرارت مختلف رسم شده است.



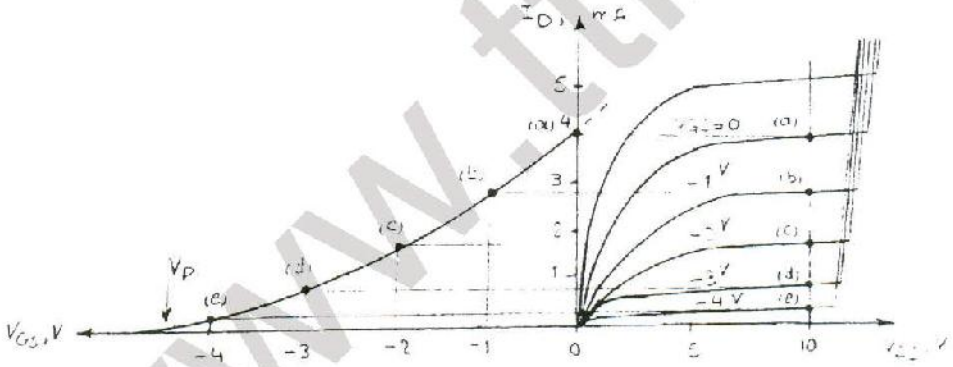
شکل ۱-۱۶ : اثر حرارت در مشخصه خروجی FET الف) $-55^{\circ}C$ ؛ ب) $25^{\circ}C$ ؛ ج) $125^{\circ}C$.

www.itnar.ir

در این حالت مشخصه در اثر افزایش درجه حرارت نسبت به افزایش V_{DS} و V_{GS} ثابت، جریان درین کاهش می‌یابد. این اثر کاهش مانند تحرک (μ_e) معادل گرانیست در مواد سیلیکن می‌باشد. اثر حرارت در عنصر FET کمتر از ترانزیستور BJT است. علاوه در جهت حرارت، پارامترهای عنصر FET از یک نوع نمونه از یک نمونه دیگر فرق کند. اطلاعات مربوط به مقادیر ماکزیمم و مینیمم این پارامترها توسط سازنده داده می‌شود که در طرح مدار باید مورد استفاده قرار گیرد.

بایاس کردن JFET و MOSFET تخلیه‌ای

مشخصه درین JFET نشان داده شده در شکل ۱۷-۱ را در نظر می‌گیریم. برای عملکرد خطی نقطه Q در ناحیه کار فعال انتخاب می‌شود. در سمت چپ این مشخصه، مشخصه انتقال آن نیز رسم شده است. این مشخصه را می‌توان با نقطه یابی از مشخصه درین بدست آورد. رسم مشخصه انتقال معمولاً برای یک V_{DS} ثابت و مشخص صورت می‌گیرد. با توجه به این مشخصه، ملاحظه می‌شود که مشخصه انتقال هیچ اطلاعاتی اضافه‌ای نسبت به مشخصه درین ندارد و در بررسی‌ها جریان مشخصه درین می‌تواند آنرا بدست آورد.



شکل ۱۷-۱ : رسم مشخصه انتقال از روی مشخصه خروجی.

برای رسم مشخصه انتقال از روی مشخصه خروجی، یک مقدار ثابت برای V_{DS} در نظر گرفته می‌شود. چون مشخصه درین در ناحیه‌ای که خط معمولاً بصورت مستقیم می‌باشد، انتخاب مقادیر مختلف برای V_{DS} در این ناحیه تأثیر کمی در روی مشخصه انتقال خواهد داشت. با توجه به شکل ۱۷-۱ ملاحظه می‌شود که برای رسم مشخصه انتقال مقدار $V_{DS}=10$ V انتخاب شده که بر روی خط عمودی $V_{DS}=10$ V در روی شکل نشان داده شده است. با بدست آوردن جریان درین مربوط به تقاطع هر یک از این خطوط با منحنی‌های مختلف V_{GS} می‌توان مشخصه انتقال را به صورت نقطه یابی رسم نمود.

علاوه بر این روش، برای بدست آوردن مشخصه انتقال از رابطه (۱-۱) نیز می‌توان استفاده نمود. با مشخص بودن مقادیر I_{DSS}

www.tnar.ir

و V_P برحسب می‌توان از این رابطه مشخصه‌ی انتقال را ترسیم نمود . با استفاده از مشخصه‌ی انتقال و یا رابطه‌ی (۱-۱) و بکمک ترسیمی dc مدار مانند می‌توان نقاط کار را برروی ترسیم بدست آورد .

مثال ۱-۳ : مقادیر V_{GS} ، I_D ، V_{DS} را برای مدار نشان داده شده در شکل ۱-۱۸ بدست آورید . در این مدار ترانزیستور JFET دارای مشخصات $I_{DSS}=5\,mA$ ، $V_P=-5\,V$ بوده و $R_S=5\,k\Omega$ ، $R_L=2\,k\Omega$ ، $V_{DD}=10\,V$ می‌باشد .

حل : با توجه به شکل ۱-۱۸ ، ملاحظه می‌شود که از نظر dc ، گیت به زمین اتصال دارد . چون $I_D=I_S$ است ، بنابراین می‌توان نوشت :

$$0 = V_{GS} + I_D R_S \qquad (1-2)$$

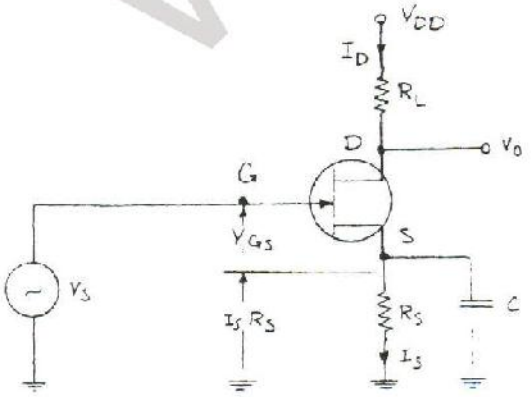
$$V_{GS} = -I_D R_S$$

$$V_{GS} = -5 I_D$$

برای بدست آوردن I_D و V_{GS} رابطه‌ی فوق کافی نیست . بنابراین می‌توان از رابطه‌ی (۱-۱) که رابطه‌ی دیگری بین این دو کمیت است ، استفاده نمود . داریم :

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \qquad (1-1)$$

$$I_D = 5\left(1 - \frac{V_{GS}}{-5}\right)^2$$



شکل ۱-۱۸ : مدار مانند مربوط به مثال ۱-۳ .

www.ttnar.ir

با قرار دادن رابطه $V_{GS} = -5I_D$ در رابطه فوق خواهیم داشت :

$$V_{GS} = -5(5)(1+0.2V_{GS})^2$$

$$V_{GS}^2 + 11V_{GS} + 25 = 0$$

این معادله دارای دو جواب $V_{GS} = -3.2^V$ و $V_{GS} = -7.8^V$ می‌باشد که از این دو جواب فقط $V_{GS} = -3.2^V$ قابل قبول است ، زیرا مقدار $V_{GS} = -7.8^V$ از مقدار V_p که در آن $I_D = 0$ می‌باشد ، بزرگتر است . با تعیین مقدار V_{GS} می‌توان سایر مقادیر را نیز بدست آورد .

$$I_D = -\frac{V_{GS}}{5} = \frac{3.2}{5} = 0.64^{mA}$$

در حلقه خروجی داریم :

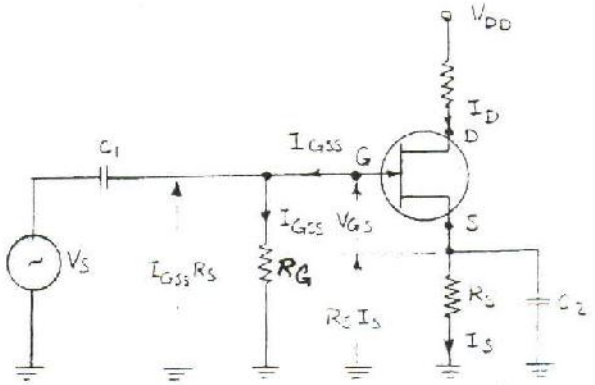
$$V_{DD} = (R_L + R_S)I_D + V_{DS}$$

$$10 = (2+5) \times 0.64 + V_{DS}$$

$$V_{DS} = 5.52^{volt}$$

روشی که در حل مثال فوق بکار گرفته شد ، روش تعیین نقطه کار با استفاده از رابطه انتقال و رابطه مداری می‌باشد . برای بدست آوردن دیاگرام مشخصه انتقال نقطه کار با مراجعه به مشخصه خروجی نیز تعیین می‌شود .

حال به بررسی مدار بایاس نشان داده شده در شکل ۱۹-۱ که مدار بایاس مرجع[1] نامیده می‌شود می‌پردازیم . علت اینکه در این مدار V_{GS} توسط ولتاژ دو سر مقاومت R_S ، بوجود جریان سورس خود عنصر ، تامین می‌شود ، این



شکل ۱۹-۱ : مدار بایاس با مقاومت گیت .

(1) Self bias

www.ttnar.ir

مدار را مدار با بایس سرخود می نامند . این مدار نظیر مدار با بایس مثال ۳-۱ است ، با این تفاوت که در اینجا دو عنصر C_1 و R_G نیز به آن اضافه شده اند .

اگر منبع سیگنال مستقیماً به گیت وصل شود (با اتصال کوتاه کردن C_1 و کوتاه شدن آن) در اینصورت گیت از طریق این منبع ، به زمین متصل میگردد (از نظر dc) . در اینصورت وجود مقاومت R_G لازم نیست و با فرض ولتاژ dc در مقاومت R_S ولتاژ گیت یکسان با زمین می کند . در بسیاری از کاربردهای مداری ، در زمان سیگنال ورودی مدار FET خروجی ثابت قبلی است ، بنابراین اتصال (کوپلاژ) مستقیم طبقات بیکدیگر وجود ندارد . در این حالت لکاربردن خازن کوپلاژ C_1 برای جداکردن سطح dc طبقات ، ضروری می باشد . اما با لکاربردن خازن C_1 ، در صورت عدم مقاومت R_G گیت قطع میگردد توسط خازن C_1 ، و این عنصر نباید بخواهد شد . در اینصورت وجود مقاومت R_G برای برقراری مسیری برای جریان لنتی گیت ضروری است . در عمل سیگنال در گیت از طریق این مقاومت به زمین متصل گردد .

برای تعیین مقدار R_G دو عامل محدود کننده وجود دارد . اگر R_G مقدار نسبتاً کمی انتخاب شود ، در اینصورت افت ولتاژ dc در آن نیز کم میشود زیرا جریان لنتی گیت مقدار کمی است و در نتیجه مانع آسیب می شود ، این مسأله باعث میشود در ولتاژ گیت خیلی کوچک به تبانسیل زمین نزدیک شود (۷-۱) برقرار شود . از طرفی مقدار کم R_G باعث کاهش امپدانس ورودی FET شده و این مزیت عمده این عنصر نسبت به عنصر BJT را از بین خواهد برد . بنابراین حد بالای مقاومت R_G توسط امپدانس ورودی تعیین میگردد . و مقدار FET و منبع سیگنال تعیین میگردد .

اگر بالا بردن امپدانس ورودی مقدار R_G را خیلی زیاد در نظر بگیریم ، در اینصورت حالت نامطلوب دیگری پیش می آید . به عنوان مثال اگر $R_G = 100\ M\Omega$ انتخاب شود جریان لنتی گیت $10\ nA$ باشد ، در اینصورت تبانسیل گیت نسبت به زمین $1\ V$ خواهد بود و در اینصورت برای اینکه ولتاژ V_{GS} به اندازه $3\ V$ گردد ، باید سورس نسبت به زمین دارای تبانسیل $4\ V$ باشد . با انتخاب مقدار مناسب I_D و R_S میتوان این تبانسیل را برای سورس ایجاد نمود . اما جریان لنتی I_{GSS} تابع دما عبارت است و با افزایش آن ممکن است به مقدار $100\ nA$ نیز برسد . در اینصورت تبانسیل گیت نسبت به زمین $10\ V$ $100 \times 10^{-9}\ R_G = 10\ V$ شده و باعث تغییر نقطه کار خواهد شد (در اینصورت میدهد گیت ، تغییر مرتبه با بایس مرتبه) . با توجه به مطالب گفته شده محدوده مرتبه در مقدار R_G از دو طرف نیز محدود است و بر اساس مشخصات مدار و FET باید مقدار مناسبی برای آن در نظر گرفته شود .

www.itnar.ir

در مدار بایاس مرجع نشان داده شده در شکل ۱۹-۱ داریم :

$$I_D = I_S + I_{GSS} \qquad (1-8)$$

با در نظر گرفتن افت ولتاژ در مقاومت R_G می‌توان نوشت :

$$I_{GSS} R_G = V_{GS} + I_S R_S$$

$$I_{GSS} R_G = V_{GS} + (I_D - I_{GSS}) R_S$$

$$V_{GS} = -I_D R_S + I_{GSS}(R_S + R_G) \qquad (1-9)$$

در رابطه فوق به علت کوچک بودن I_{GSS} ، رابطه (۱-۹) به صورت ساده شده رابطه (۱-۷) درمی‌آید .

همانطور که گرفته شد ، در عمل مقادیر I_{DSS} و V_P در یک نوع FET از یک نوع ، تغییر بسیار زیادی دارند . بنابراین در طرح مدار بایاس با تحلیل ترسیمی در بدترین شرایط صورت گرفته و در تحلیل مزبور از مقادیر حداقل و حداکثر[1] V_P و I_{DSS} در نظر گرفته شده است. علاوه بر این با تغییرات زیاد جریان حرارت نیز نه تنها برای I_{GSS} بلکه برای I_{DSS} نیز روبرو هستیم.

مثال ۴-۱ : مدار نشان داده شده در شکل ۱۹-۱ در دمای حرارت $25^{\circ}C$ تا $75^{\circ}C$ عمل می‌کند . در دمای حرارت $25^{\circ}C$ ، $I_{GSS} = 10^{nA}$ است و با ازای افزایش هر $50^{\circ}C$ ، ۱۰ برابر می‌شود . مقادیر حداقل و حداکثر I_{DSS} و V_P در محدوده تغییرات دمای حرارت در نظر گرفته شده به صورت زیر می‌باشد

$$\underline{V_P} = -4.5^{V} \qquad \overline{V_P} = -7.5^{V}$$

$$\underline{I_{DSS}} = 5^{mA} \qquad \overline{I_{DSS}} = 9^{mA}$$

مشخصه‌ی انتقال JFET را رسم نموده و در روی آن محدوده تغییرات نقطه کار Q را با ازای $R_G = 10^{M\Omega}$ و در دو حالت الف) $R_S = 500^{\Omega}$ و ب) $R_S = 5^{k\Omega}$ بدست آورید .

حل : با استفاده از مدار داده شده در فوق و رابطه (۱-۱) مشخصه‌ی انتقال را رسم می‌کنیم . برای هر یک از مقادیر R_S داریم :

---

(1) extreme values

www.tnar.ir

الف) $R_S = 500\ \Omega$

با استفاده از رابطه (۹-۱) در دمای $25^{\circ}C$ داریم:

$$V_{GS} = -I_D(500) + (10\times10^{-9})(500 + 10^{7})$$

$$V_{GS} \approx -500 I_D + 0.1 \qquad (I)$$

در $75^{\circ}C$ این رابطه بصورت زیر در می‌آید:

$$V_{GS} \approx -500 I_D + (100\times10^{-9})(10^{7})$$

$$V_{GS} \approx -500 I_D + 1 \qquad (II)$$

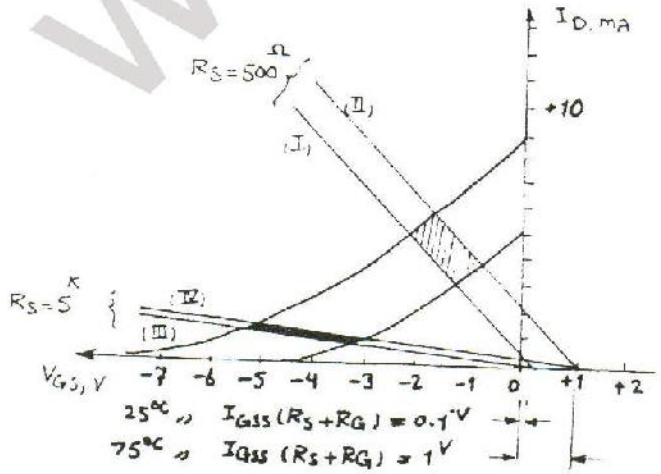
با رسم معادله (I) و (II) در مشخصه‌ی انتقال، مقدار تغییرات نقطه کار را مطابق آنچه در شکل ۲۰-۱ آمده در می‌یابیم.

ب) $R_S = 5\ k\Omega$

در دمای $25^{\circ}C$ داریم:

$$V_{GS} = -I_D(5000) + (10\times10^{-9})(5000 + 10^{7})$$

$$V_{GS} \approx -5000 I_D + 0.1 \qquad (III)$$



شکل ۲۰-۱: مقایسه تغییرات نقطه کار برای $R_S = 500\ \Omega$ و $R_S = 5\ k\Omega$.

www.ttnar.ir

در دمای عادت $75^{\circ}C$ می‌توان نوشت :

$$V_{GS} = -5000\, I_D + (100 \times 10^{-9})(5000 + 10^{7})$$

$$V_{GS} \approx -5000\, I_D + 1 \qquad (IV)$$

با خطوط (III) و (IV) در شکل ۲۰-۱ رسم شده و ناحیه سیاه بین این خطوط و محور I_D محل تلاقی را مشخص می‌کند. تغییرات نقطه کار Q به ازای $R_S = 5000\,\Omega$ می‌باشد.

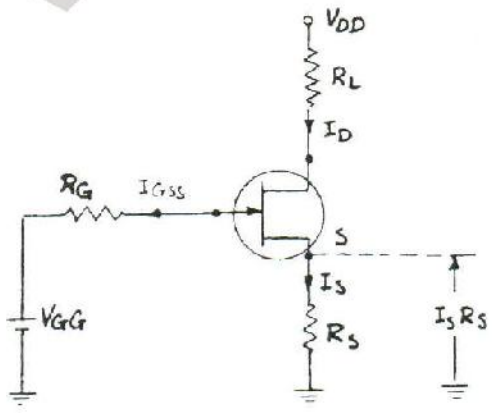
خط بار برای $R_S = 500\,\Omega$ تغییرات I_D در حدود $3\,mA$ بوده ؛ در صورتی که $R_S = 5\,k$ مقدار I_D تنها $0{,}7\,mA$ تغییر می‌کند. از اینجا نتیجه می‌شود که به ازای مقادیر بزرگتر R_S ، نقطه کار پایداری بهتر می‌یابد.

مدار نشان داده شده در شکل ۲۱-۱ حالت تعمیم یافته مدار بایاس ترکیبی می‌باشد . در این مدار هر دو منبع سورس و گیت نسبت به سورس دارای پتانسیل مثبت نیز می‌باشند ؛ زیرا ولتاژ V_{GG} گیت را با پتانسیل مثبت بایاس کرده و افت پتانسیل روی R_S ، سورس را نسبت به سورس مثبت می‌کند. برای اینکه پیوند گیت بصورت معکوس بایاس گردد، باید مقدار V_{GS} منفی شود، یعنی سورس دارای پتانسیل کمتری نسبت به گیت باشد . برای این مدار می‌توان نوشت :

$$V_{GG} = -R_G I_{GSS} + V_{GS} + I_S R_S \qquad (۱-۱۰)$$

با در نظر گرفتن اینکه

$$I_S = I_D - I_{GSS} \qquad (۱-۸)$$



شکل ۲۱-۱ : مدار بایاس عمومی FET .

www.tinar.ir

$$R_G = \frac{R_1 \cdot R_2}{R_1 + R_2} \qquad (1-13)$$

ب . مقاومت بار R'_L در بررسی تجزیه ac در نظر گرفته شده ، ترکیب موازی R_L و R_4 می باشد .

$$R'_L = 30 \parallel 15 = 10^{k}$$

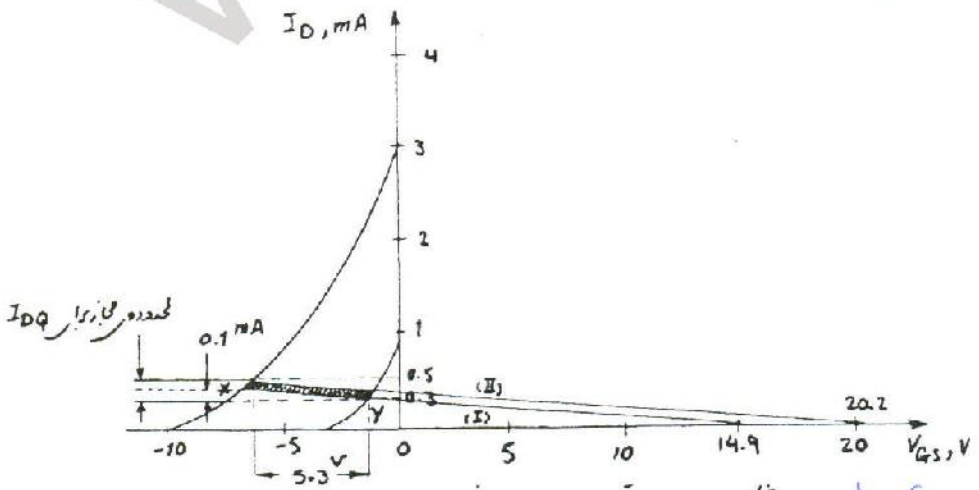
ج . برای اینکه خروجی دارای دامنه حداکثر 1^{V} باشد باید جریان درین بتواند دارای مقدار حداکثر I_{dm} باشد لذا طبق رابطه :

$$I_{dm} = \frac{V_{om}}{R'_L} = \frac{1}{10^4} = 0.1^{mA}$$

د . جریان درین در نقطه کار I_{DQ} باید طوری انتخاب گردد که در بدترین شرایط سوئینگ این جریان حداقل 0.1^{mA} باشد . چون حداقل I_{DSS} برابر 0.8^{mA} است ، یک مقدار مناسب برای I_{DQ} (جریان نقطه کار) 0.4^{mA} می باشد . بنابراین با توجه به این مقدار برای I_D ، جریان درین می تواند بین 0.3^{mA} تا 0.5^{mA} تغییر نماید .

ه . علت اینکه با تغییر درجه حرارت و یا تعویض عنصر ، پارامترهای FET تغییر می نماید ، لذا برای جریان نقطه کار I_{DQ} باید محدوده ای در نظر گرفته شود . معمولاً این محدوده را طوری در نظر می گیریم که از دو سوئینگ بالا و پائین خط جلوگیری شود : بنابراین فرض می کنیم که این محدوده برای I_{DQ} بین 0.3^{mA} تا 0.5^{mA} باشد . با توجه به اینکه سیگنال ac جریان دارای مقدار حداکثر 0.1^{mA} است ، لذا مقدار لحظه ای این جریان می تواند بین 0.2^{mA} تا 0.6^{mA} تغییر نماید .

و . مشخصه ی انتقال مزی عنصر FET این مثال با توجه به اطلاعات داده شده در شکل ۲۳-۱ رسم شده اند . در روی این شکل محدوده ی مجاز I_{DQ} نشان داده شده است .



شکل ۲۳-۱ : تعیین R_S برای مثال ۵-۱ .

www.tnar.ir

ب . همانطور که در شکل ۲۰-۱ نشان داده شده است برای هر مقدار R_S می‌توان دو خط موازی رسم نمود که نشان دهنده‌ی رابطه بین جریان درین و ولتاژ گیت سورس است رسم نمود . هر یک از این خطوط برای یکی از حدود دو جریان حرارت رسم می‌شوند . در شکل ۲۰-۱ مقدار R_S تعیین شده و از آن محدوده تغییرات I_{DQ} بدست می‌آید . در ۲۰-۱ عکس صورت گرفته یعنی با تعیین محدوده تغییرات I_{DQ} ، مقدار R_S لازم محاسبه گشته . برای انجام اینکار ، دو خط موازی بدین شکل رسم می‌شوند که از حدود جریان درین یعنی نقاط $0.3\ mA$ و $0.5\ mA$ واقع در بین این محدوده عبور کرده ، رسم می‌شوند . شیب این خطوط مقدار R_S را تعیین می‌کنند . با محاسبه این شیب می‌توان مقدار R_S را بدست آورد :

$$R_S = \frac{5.3}{0.1\times10^{-3}} = 53\ k\Omega$$

ج . معادله خطوط بار (I) و (II) در نشان دهنده رابطه بین جریان درین و ولتاژ گیت سورس می‌باشد ، بصورت زیر است :

$$V_{GS} = -I_D R_S + I_{GSS}(R_S + R_G) + V_{GG} \qquad (I-II)$$

با قرار دادن $I_D = 0$ می‌توان مقدار V_{GG} را از روی محل برخورد خط بار و محور V_{GS} بدست آورد ؛ این کار می‌توان برای هر دو درجه حرارت $25^{\circ}C$ و $75^{\circ}C$ انجام داد . در $25^{\circ}C$ مقدار I_{GSS} ناچیز است و می‌توان از آن صرف نظر نمود ؛ بنابراین مقدار V_{GG} در رابطه کیرشهف ولتاژ مقدار ثابتی بوده می‌باشد :

$$V_{GS1} = V_{GG} \qquad (I)$$

در دو درجه حرارت $75^{\circ}C$ با فرض اینکه با افزایش هر $50^{\circ}C$ ، I_{GSS} دو برابر زیاد می‌شود ، می‌توان مقدار I_{GSS} را در رابطه مقدار آن در $25^{\circ}C$ یعنی $100\ nA$ در نظر گرفت . در این حالت داریم :

$$V_{GS_2} = 10^{-7}(R_S + R_G) + V_{GG} \qquad (II)$$

با توجه به شکل ۲۳-۱ داریم :

$$V_{GS_1} = 14.9^{V} \quad , \quad V_{GS_2} = 20.2^{V}$$

www.ttnar.ir

بنابراین

$$V_{GG} = 14.9^{V}$$

لذا معتبران نوشت :

$$20.2 = 10^{-7}(R_S + R_G) + V_{GG} \qquad (II)$$

$$20.2 = 10^{-7}[(53\times10^{3}) + R_G] + 14.9$$

$$R_G \simeq 53^{M\Omega}$$

b . برای تعیین مقادیر R_1 و R_2 ، می‌توان از روابط (۱۲-۱) و (۱۳-۱) استفاده نمود .

$$R_1 = \frac{R_G . V_{DD}}{V_{GG}} = \frac{53\times50}{14.9} \simeq 178^{M\Omega}$$

$$R_2 = \frac{R_G . V_{DD}}{V_{DD} - V_{GG}} = \frac{53\times50}{50-14.9} \simeq 75^{M\Omega}$$

با انتخاب مقادیر استاندارد مقاومت‌ها R_G ، R_1 ، R_2 و R_S طرح مدار بایاس کامل می‌شود . روش بایاس از عناصری با تولرانس[1] کم استفاده می‌شود ، زیرا تغییر مقادیر این عناصر در نقطه کار اثر می‌گذارد .

مدارهای بایاس برای JFET بررسی شد ، برای MOSFET‌ها تغییراتی لازم است . در MOSFET‌ها به علت اینکه جریان گیت خیلی کمتر از JFET‌ها می‌باشد ، لذا می‌توان مقدار R_G را خیلی بزرگتر انتخاب نمود . برای MOSFET‌های افزایشی مدار بایاس بکار گرفته شده متفاوت است در اینجا بررسی می‌شود .

مدار بایاس MOSFET افزایشی

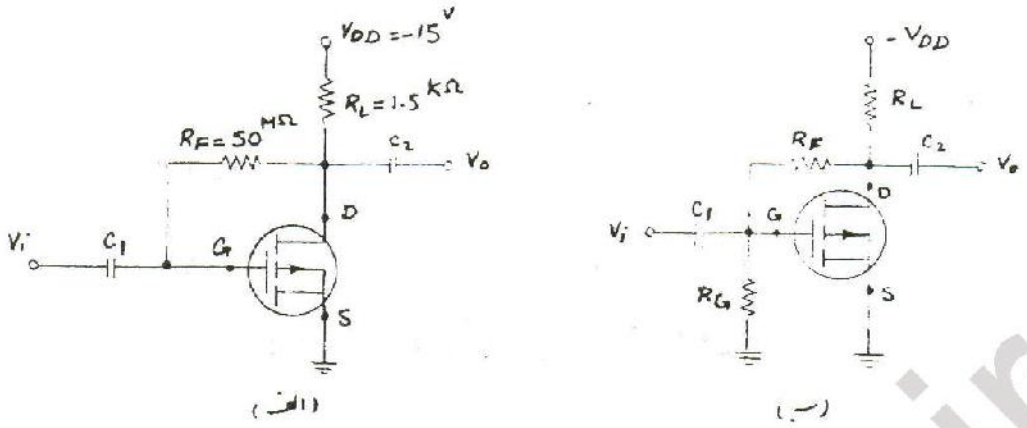
مدار بایاس مرسوم نشان داده شده در شکل ۱۹-۱ ، برای ایجاد نقطه کار برای MOSFET افزایشی نمی‌تواند بکار رود ، زیرا در این مدار افت ولتاژ روی مقاومت R_S در جهتی است که گیت را به صورت معکوس بایاس می‌نماید ، در حالیکه در مورد MOSFET افزایشی این بایاس باید در جهت مستقیم صورت گیرد . برای بایاس MOSFET افزایشی معمولاً از مدارهای نشان داده شده در شکل الف ۲۴-۱ و شکل ب ۲۴-۱ استفاده می‌شود .

حال مدار بایاس فیدبک موازی[2] شکل الف ۲۴-۱ را در نظر می‌گیریم . جریان گذرنده از اهم مقاومت R_F ، تنها جریان

---

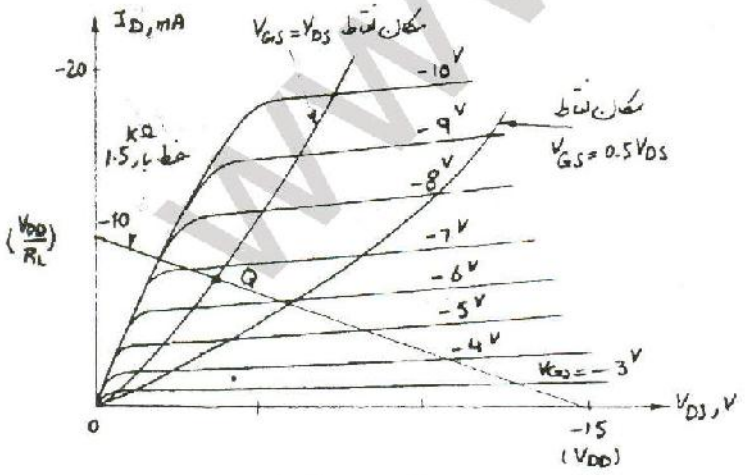
(1) Tolerance

(2) Shunt Feedback



شکل ۲۴-۱ : الف) مدار بایس فیدبک موازی برای MOSFET افزایشی کانال P- ؛
ب) مدار بایس تقسیم یافته بایس فیدبک موازی .

لازم به گفتن است چرا این مدار برای عنصر MOSFET ، مقدار خیلی کمی است ، لذا است ولتاژ مادر توجه بدی مقاومت R_F توجه نمی‌آید . این بدین معنی است در این مدار گفتیم ولتاژ dc توجه نشده و نداریم $V_{GS} = V_{DS}$ مشخص . این را بطور مشخصات رسم ،
در شکل ۲۵-۱ رسم شده است . خط بار $1.5^{K\Omega}$ از نقاط $V_{DS} = V_{DD} = -15^V$ (در مختصات) و $I_D = \frac{V_{DD}}{R_L} = -10^{mA}$ (روی محور عمودی) امتداد پیدا می‌کند . محل تلاقی این خط بار با منحنی هندی نقاط در آن $V_{GS} = V_{DS}$ است ، نقطه کار Q را مشخص می‌کند . در اینجا با داریم نقطه کار نزدیک به من بریده ؛ یعنی در اگر به عنوان مثال I_D افزایش پیدا کند ، در اینصورت است ولتاژ دو مقاومت R_L زیاد شده و چون $V_{DG} = 0$ است ، این باعث می‌شود در V_{GS} کمتر منفی شده و نهایتاً جریان I_D کاهش یابد .



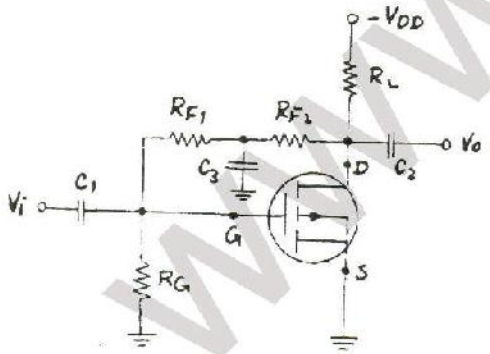
شکل ۲۵-۱ : روش ترسیمی تعیین نقطه کار .

با لگاریتم مدار شکل ۲۴-۱ با داریم نقطه کار تعیین می‌شود . در این مدار V_{GS} دیگر مساوی V_{DS} نبوده بلکه رابطه‌ی زیر بین این دو ولتاژ برقرار است :

$$V_{GS} = \frac{V_{DS}\, R_G}{R_F + R_G} \qquad (۱-۱۴)$$

به‌عنوان مثال اگر $R_F = R_G = 50^{M\Omega}$ باشد، به‌صورت $V_{GS} = 0.5\, V_{DS}$ می‌شود. در این‌گونه مدارها می‌توان مکان هندسی دیگری که در آن رابطه بین V_{GS} و V_{DS} از رابطهٔ (۱۴-۱) به‌دست می‌آید، رسم نمود. این مکان در شکل (۲۵-۱) برای حالت $V_{GS} = 0.5 V_{DS}$ نشان داده شده است.

در هر دو مدار با پایهٔ نشان داده شده در شکل‌های الف ۲۴-۱ و ب ۲۴-۱ با برقراری کار توسط مقاومت فیدبک سوازی R_F تأمین می‌شود. سیدنهم در ظل اثر میلر[1] این مقاومت را به‌صورت $\frac{R_F}{1-A_V}$ در ورودی مدار ظاهر شده و امپدانس ورودی را کاهش می‌دهد. به‌عنوان مثال اگر $A_V = -9$ باشد، به‌صورت مقاومت ظاهر شده در ورودی مدار برابر $\frac{R_F}{10}$ بوده و اگر R_F را همان $50^{M\Omega}$ در نظر بگیریم در صورت $\left(\frac{R_F}{1-A_V}\right)$ برابر $5^{M\Omega}$ مگاهم خواهد بود. چون $R_G = 50^{M\Omega}$ است، بنابراین $R_i \approx 4.5^{M\Omega}$ می‌شود. برای از بین بردن این اثر تخریبی مقاومت R_F در ورودی امپدانس ورودی این مقاومت را به دو مقاومت تقسیم نموده و وسط آنها را توسط مقاومت C_3 به پایهٔ[2] مدار بای پس نمود. این عمل در شکل ۲۶-۱ نشان داده شده است. در این صورت مقاومت DC کل در بین درین و گیت برابر $R_F = R_{F_1} + R_{F_2}$ خواهد گردید.



شکل ۲۶-۱ : نحوهٔ کوپلاژ توسط مقاومت R_F برای جلوگیری از کاهش امپدانس ورودی بعلت اثر میلر.

می‌باشد، اما در این حالت اثر مقاومت R_F در امپدانس ورودی برابر R_{F_1} بوده که با در نظر گرفتن آن مقدار امپدانس ورودی برابر $R_i = R_G \| R_{F_1}$ می‌شود. از طرف دیگر R_{F_2} توازی مقاومت بار R_L قرار می‌گیرد. در این حالت چنانچه R_{F_2} را طوری انتخاب کنیم که در آن در مقاومت بار R_L ناچیز باشد. مثلاً در یک مدار که $R_L = 1.5^{k\Omega}$ است، می‌توان R_{F_2} را برابر $100^{k\Omega}$ انتخاب نمود، در این صورت $R_{F_1} \approx 50^{M\Omega}$ بوده و امپدانس ورودی به مقدار $R_i \approx 25^{M\Omega}$ خواهد رسید.

---

(۱) Miller effect

(۲) by pass

www.tnar.ir

مدار دیگری که برای بایاس گیت MOSFET امتحان کنید همان مداری است که در شکل الف ۲۲-۱ با مقاومت R_2 و بدون آن می‌باشد. در این مدار بایاس نقطه کار توسط مقاومت R_S در پیکربندی "بهره می‌کند" تأمین می‌شود.

۶-۱ : تجزیه و تحلیل سیگنال کوچک FET

در مدارهای تقویت کننده سیگنال کوچک برای بدست آوردن رابطه بین تقویت ولتاژ و امپدانس ورودی خیلی زیاد می‌توان از عناصر FET استفاده نمود. هر دو عنصر JFET و MOSFET (تخلیه‌ای) با شرط کم بودن مقاومت در مدار خارجی و بایاس کم، تقریباً دارای رابطه بین تقویت ولتاژ کم بوده، در صورتیکه امپدانس ورودی عناصر MOSFET خیلی بیشتر از عناصر JFET است.

این عناصر نیز بصورت ترکیبهای مداری متعارف یعنی سورس-مشترک[1] (CS)، درین-مشترک[2] (CD)، و گیت-مشترک[3] (CG) بکار می‌روند. تقویت کننده سورس مشترک دارای رابطه تقویت ولتاژ بزرگتر از واحد می‌باشد. مدار سیگنال ac معادل گیت عمل شده و خروجی از درین گرفته می‌شود و ترمینال سورس بین ورودی و خروجی مشترک می‌باشد. مدار ترکیب ورودی و خروجی ۱۸۰° با هم اختلاف فاز دارند. در تقویت کننده درین-مشترک رابطه تقویت ولتاژ یک واحد بوده و ورودی و خروجی هم‌فاز می‌باشند. در تقویت کننده گیت مشترک مقاومت بکار رفته رابطه تقویت ولتاژ بزرگتر از واحد بوده و ورودی و خروجی هم‌فازند.

قبل از تجزیه و تحلیر سیگنال کوچک به بررسی مدار معادل ac عنصر FET پرداخته و مشخصات دینامیک آن عنصر که در رابطه با سیگنال ac توسط سازنده تعیین می‌شود، مطالعه می‌گردد.

مدار معادل ac و مشخصات دینامیک FET

مدار معادل ac عنصر FET در بررسی تجزیه و تحلیر سیگنال کوچک آن بکار می‌رود در شکل ۲۷-۱ نشان داده شده است. مقادیر عناصر این مدار را می‌توان از روی منحنی های مشخصه ارائه شده و یا با اندازه گیری عملی بدست آورد. ذیلاً در مورد هر یک از این عناصر توضیح داده می‌شود.

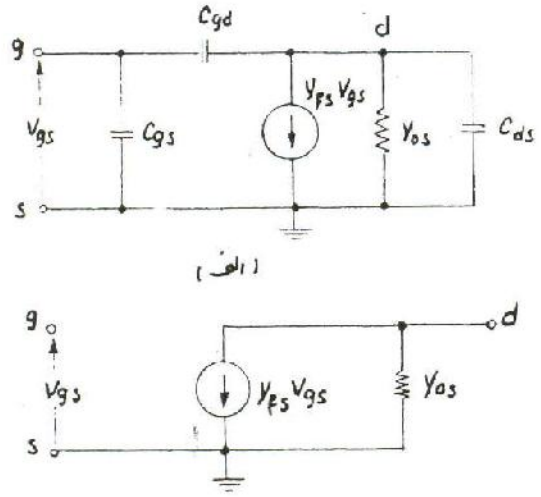
C_{gs} و C_{gd} خازنهای معادل برای ناحیه بایاس (ناحیه تخلیه) در JFET می‌باشند. این خازنها در عناصر MOSFET

---

(1) Series Feedback
(2) Common – Source
(3) Common drain
(4) Common gate

www.tnar.ir

نشان دهنده ظرفیت بین گیت و سورس و همچنین بین گیت و درین است که بواسطه وجود لایه عایق اکسیدی ایجاد می‌گردد. در هر دو نوع عنصر ظرفیت خازنی C_{gs} و C_{gd} معمولاً در حدود چند PF می‌باشد. خازن C_{ds} خازن معادل کانال درین - سورس است که مقدار آن خیلی کم می‌باشد. معمولاً سازنده‌ها مقادیر C_{gs} و C_{ds} را در یک ولتاژ V_{GS} و فرکانس معینی مشخص می‌نمایند. غالب اوقات سازنده‌ها، مقدار خازن ورودی C_{iss} (خازن ورودی در یک سورس مشترک با خروجی اتصال کوتاه شده) را به جای C_{gs}، با اتصال کوتاه کردن خروجی (برای ac)، و C_{gd} موازی هم قرار گرفته و مبنای این جمع است:



شکل ۲۷-۱ : الف) مدل سیگنال کوچک FET ؛
ب) مدار معادل سیگنال کوچک در فرکانس پایین.

$$C_{iss} = C_{gs} + C_{gd} \qquad (1-15)$$

مقدار دیگری در روابط با خازنهای FET توسط سازنده‌ها داده می‌شود، مقدار C_{rss} است که مشخص کننده خازن انتقال معکوس[1] یا ورودی اتصال کوتاه شده (برای ac) می‌باشد. با این تعریف این خازن معادل خازن C_{gd} شده و می‌توان نوشت:

$$C_{rss} = C_{gd} \qquad (1-16)$$

به عنوان مثال برای MOSFET کانال-n 2N3796 که از نوع سیلیکن است و مشخصات آن در ضمیمه (I) داده شده است، مقادیر نمونه‌ای C_{iss} و C_{rss} ترتیب 5 و 0.5 PF می‌باشد. از روی این مقادیر می‌توان مقادیر C_{gd} و C_{gs} را برای شرایط داده شده ($V_{DS}=10^{V}$، $V_{GS}=0$ و $f=1^{MHz}$) ترتیب برابر 0.5 و 4.5 PF بدست آورد.

علاوه بر خازنهای نشان داده شده در شکل الف ۲۷-۱، مقاومت r_{gd} معادل نیز بین گیت و درین (و همچنین گیت و سورس

(1) reverse transfer capacitance

www.ttnar.ir

(r_{gs}) وجود دارد. مقاومت این مقدار تنها برای عناصر JFET در حدود $100\ M\Omega$ و برای عناصر MOSFET بالاتر از $10^{9}\ M\Omega$ می‌باشد؛ بنابراین می‌توان با تقریب خیلی خوبی از آن صرف نظر کرد.

در فرکانس‌های صوتی[1] تمام خازن‌ها را می‌توان نادیده گرفته و مدار معادل ساده شده FET را به صورت شکل ۲۷-۱ نشان داد. لطفاً در روی شکل دقت شود جریان خروجی FET متناسب با ولتاژ V_{gs} کنترل می‌شود. ثابت این تناسب را هدایت انتقال مستقیم[2] یا ادمیتانس انتقال مستقیم[3] می‌نامند. و علامت Y_{fs} را نشان دهنده ادمیتانس است، اندیس f برای تشخیص کلمه واژه مستقیم گذارده شده و اندیس s نشان دهنده این واقعیت است که در تعیین Y_{fs} خروجی به صورت اتصال کوتاه (برای ac) در نظر گرفته می‌شود. واحد Y_{fs}، مهو[4] یا زیمنس[5] است. پارامتر Y_{fs} عیناً با g_m یا g_{fs} نیز نشان داده می‌شود. در اینجا و در بقیه بحث‌ها بعد از این g_m را برای Y_{fs} استفاده خواهیم کرد.

هدایت انتقال مستقیم g_m را می‌توان به طور عملی با استفاده از رابطه زیر به دست آورد که در آن g_m نسبت جریان درین (I_d) به ولتاژ (V_{gs})، وقتی که خروجی اتصال کوتاه شده باشد (از نظر ac)، را نشان می‌دهد ★.

$$g_m = \left.\frac{I_d}{V_{gs}}\right|_{V_{ds}=0} \qquad (۱-۱۷)$$

با استفاده از مشخصه انتقال FET و چگونگی تغییر I_D، ΔI_D و V_{gs}، ΔV_{GS} در رابطه زیر می‌توان مقدار g_m را از روی این مشخصه برای یک V_{DS} ثابت تعیین نمود. این عمل در شکل ۲۸-۱ نشان داده شده است.

$$g_m = \left.\frac{\Delta I_D}{\Delta V_{GS}}\right|_{V_{DS}=\text{ثابت}} \qquad (۱-۱۸)$$

به علت غیرخطی بودن مشخصه انتقال، مقدار g_m با افزایش I_D، زیاد می‌شود. در مشخصات داده شده برای MOSFET نمونه 2N 3796/7 مقادیر تقریبات $|Y_{fs}|$ (یا $|g_m|$) برحسب جریان درین داده شده است. در اینجا باید تذکر داد که مقدار

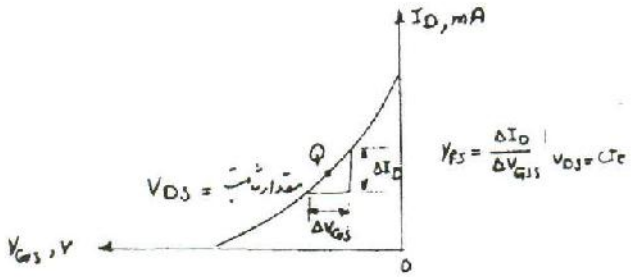
---

(1) audio frequency
(2) Forward Transfer Conductance
(3) Forward Transfer admittance
(4) mho
(5) Siemens

★ I_d و V_{gs}، V_{ds} ترتیب مانده جریان لحظه‌ای درین، ولتاژ لحظه‌ای گیت سورس و ولتاژ لحظه‌ای درین سورس را نشان می‌دهد.

www.tnar.ir

$|Y_{fs}|$ مشخص شده است . این یک علت است که پارامتر $|Y_{fs}|$ معمولاً بصورت عدد قدر مطلق بوده . یعنی دارای جهت حقیقی و موهومی نمی باشد . در فرکانس های پایین می توان Y_{fs} را بصورت عدد حقیقی خالص در نظر گرفت .



شکل ۱-۲۸ : روش ترسیمی تعیین Y_{fs} (g_m) .

بطور کلی این مشخصه برای تغییر I_D از 0.5 تا 5 mA مقدار $|Y_{fs}|$ از 1000 تا 3000 μmho اندازه می شود .

برای محاسبه مقدار g_m را نسبت به مشتق زنجیری از رابطه (۱-۱) نیز بدست آورد . داریم :

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{\partial i_D}{\partial i_{GS}}\Big|_{V_{DS}=Cte}$$

$$i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_P}\right)^2 \qquad (1-1)$$

$$\partial i_D = -\frac{2 I_{DSS}}{V_P}\left(1 - \frac{V_{GS}}{V_P}\right).\partial v_{GS}$$

$$g_m = -\frac{2 I_{DSS}}{V_P}\left(1 - \frac{V_{GS}}{V_P}\right) \qquad (1-19)$$

با در نظر گرفتن

$$g_{m0} = -\frac{2 I_{DSS}}{V_P} \qquad (1-20)$$

نیز داشت :

$$g_m = g_{m0}\left(1 - \frac{V_{GS}}{V_P}\right) \qquad (1-21)$$

رابطه (۱-۱۹) را بصورت زیر هم می توان نوشت :

$$g_m = \frac{2}{|V_P|}\sqrt{I_D \cdot I_{DSS}} \qquad (1-22)$$

ملاحظه می شود g_m با جذر جریان dc یک نسبت می باشد .

علاوه بر g_m پارامتر دیگری که در مدار معادل ساده FET نگاه می رود ، پارامتر Y_{os} است . این پارامتر را طور

www.tmar.ir

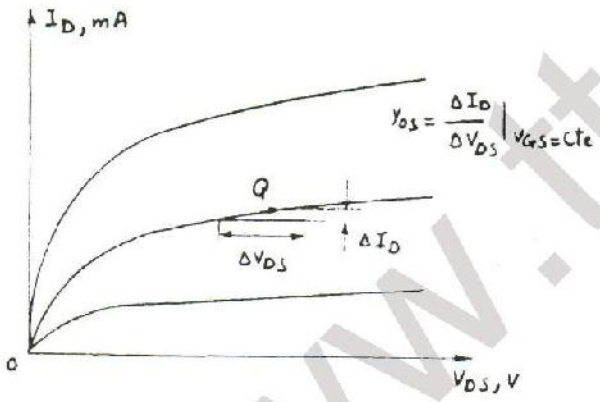
تحریک می‌توان از لحاظ جریان خروجی - ولتاژ خروجی در حالتی که ورودی را AC اتصال کوتاه شده باشد، از رابطه زیر بدست آورد:

$$y_{os} = \frac{I_d}{V_{ds}} \Big|_{V_{gs}=0} \qquad (1-24)$$

با استفاده از مشخصه‌ی خروجی عنصر FET، همانطور که در شکل ۱-۲۹ نشان داده شده می‌توان y_{os} را بدست آورد. با جایگزین کردن ΔI_D و ΔV_{DS} بجای I_d و V_{ds} از رابطه (۱-۲۴) نتیجه زیر بدست می‌آید:

$$y_{os} = \frac{\Delta I_D}{\Delta V_{DS}} \Big|_{V_{GS}=cte} \qquad (1-24)$$

در حالت کلی، ادمیتانس خروجی نیز نتیجه‌ی اکثر مختلط می‌باشد. در ضمیمه (۱) برای 2N3796/7 MOSFET تغییرات $|y_{os}|$ برحسب جریان dc رسم شخص شده است.



شکل ۱-۲۹: روش ترسیمی تعیین y_{os}.

شیب مشخصه در ناحیه‌ی اشباع، I_D را با افزایش I_D، $|y_{os}|$ نیز افزایش می‌یابد، یعنی مقاومت خروجی کاهش می‌یابد.

برای ادمیتانس خروجی y_{os} معمولاً از پارامتر مقاومت خروجی r_d نیز استفاده می‌شود. رابطه‌ی r_d را بدست می‌آوریم:

$$r_d = \frac{1}{y_{os}} \qquad (1-25)$$

علاوه بر پارامترهای یاد شده، با به کارگیری روابط عنصر FET مشخصات دیگری نیز در اوراق سازنده داده می‌شود. در مدارهای سوئیچینگ، مقاومت ON بدین سورس مشخص کننده کیفیت اتصال کوتاه بدین سورس (هنگامی که این عنصر کاملاً ON شده باشد) است. برای عناصری که در حالت تخلیه کار می‌کنند، این پارامتر با $r_{ds(ON)}$ نشان داده می‌شود در حالت $V_{GS}=0$ اندازه گرفته می‌شود. برای افزایش بهره‌ی روشن کردن عنصر، لازم است $r_{ds(ON)}$ در یک لیتوگرافی بسورس مشخص داده می‌شود.

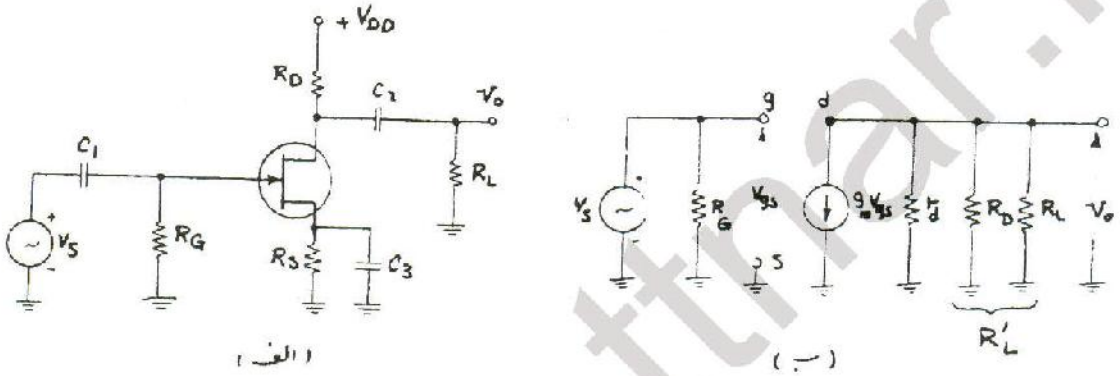
www.itnar.ir

تجزیه و تحلیل مدارهای تقویت کننده FET

در این قسمت ترکیب ؛ مدارهای تقویت کننده FET در سه مقدمتا به آنها اشاره شد مورد بررسی قرار میگیرد . تجزیه و تحلیل این قسمت بر مبنای تجزیه و تحلیل سیگنال کوچک در فرکانس های میانی است .

الف : ترکیب سورس مشترک

مدار نشان داده شده در شکل الف ۴-۱ یک تقویت کننده سورس مشترک FET است . مدار معادل ac این تقویت کننده در شکل ب ۴-۱ نشان داده شده است . در این مدار معادل برای پارامتر y_{os} از پارامتر r_d استفاده شده است .



شکل ۴-۱ : الف) مدار سورس مشترک ؛ ب) مدار معادل مدار (الف) .

حال به بررسی کمیت ؛ امپدانسی مداری، که باید برای این ترکیب بدست بیاوریم ، میپردازیم . به علت اینکه گیت جریان قابل توجهی ندارد ؛ بنابراین به استثنای جریان کمی که از R_G عبور میکند میتوان گفت در منبع سیگنال جریانی به مدار نمیدهد و بنابراین A_i (ضریب تقویت جریان) لحظ بینهایت میل میکند . سایر کمیتهای مدار بصورت زیر بدست میآیند :

مقاومت ورودی . به علت اینکه جریان گیت قابل ملاحظه نیست ، لذا منبع سیگنال تنها مقاومتی در حدود مقاومت R_G است ، لذا میتوان نوشت :

$$R_i = R_G \qquad (۴-۲۶)$$

مقاومت خروجی . این مقاومتی است که از خروجی تقویت کننده مشاهده میشود . اگر منبع سیگنال ورودی V_s اتصال کوتاه شود (طبق تعریف مقاومت خروجی) ، و همچنین $V_{gs}=0$ شده و $g_m V_{gs}$ نیز صفر میشود بنابراین مقاومت

www.ttnar.ir

خروجی معادل مدار ، مقاومت r_d و R_D می‌شود .

$$R_o = r_d \parallel R_d \qquad (۱-۲۷)$$

درجه تقویت ولتاژ . برای بدست آوردن این کمیت داریم :

$$A_V = \frac{V_o}{V_i} = \frac{V_o}{V_{gs}}$$

از طرفی می‌توان نوشت :

$$V_o = -g_m V_{gs} (r_d \parallel R'_L)$$

که در آن $R'_L = R_D \parallel R_L$ می‌باشد . از این رابطه بدست می‌آید :

$$A_V = \frac{-g_m r_d R'_L}{r_d + R'_L} \qquad (۱-۲۸)$$

اگر $r_d \gg R'_L$ باشد ، در اینصورت A_V بصورت ساده شده زیر درمی‌آید :

$$A_V \simeq -g_m R'_L \qquad (۱-۲۸ \text{ الف})$$

مثال ۱-۶ : برای مدارشان داده شده در شکل الف ۱-۵۰ اگر $R_G = 10\ M\Omega$ ، $R_D = 10\ k\Omega$ ، $R_L = 15\ k\Omega$ ، $g_m = 4000\ \mu mho$ و $y_{os} = 10\ \mu mho$ باشد ، کمیتهای R_i ، R_o و A_V را بدست آورید .

حل : الف) .

$$R_i = R_G = 10\ M\Omega$$

ب) .

$$R_o = r_d \parallel R_D$$

$$r_d = \frac{1}{y_{os}} = \frac{1}{10 \times 10^{-6}} = 100\ k\Omega$$

$$R_o = 10^5 \parallel 10^4 = 9.09\ k\Omega$$

www.tnar.ir

ج) .

$$R'_L = R_D \| R_L = 10 \| 15 = 6 \ k\Omega$$

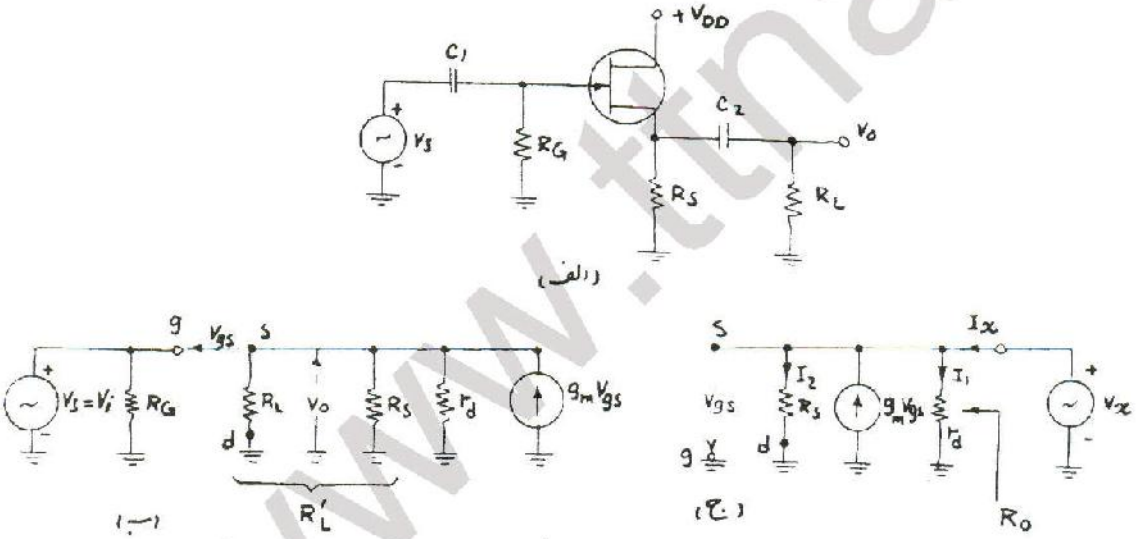
چون $6\ k\Omega \ll 100\ k\Omega$ است لذا مقاومت r_d عرف نظر کرده و داریم :

$$A_U \approx -g_m \cdot R'_L$$

$$A_U \approx -(4000 \times 10^{-6})(6 \times 10^{3}) = -24$$

ب : ترکیب درین مشترک

این ترکیب در ترکیب سورس فلوور[1] نیز نامیده می‌شود شبیه مدار کلکتور مشترک (امیتر فلوور) عنصر BJT است . یک مدار نمونه از این ترکیب و مدار معادل سیگنال - کوچک آن در شکل ۱۵-۱ نشان داده شده است . در این وقت شود که در مدار معادل جهت



شکل ۱۵-۱ : الف) مدار درین - مشترک ؛ ب) مدار معادل ac سیگنال کوچک ؛ ج) مدار معادل برای محاسبه‌ی R_o .

جریان منبع $g_m V_{gs}$ از طرف درین به سورس است و این همان جهتی است که قبلاً برای تجزیه و تحلیل مدار سورس - مشترک نیز انتخاب شد . در این حالت ، درین زمین شده و جهت جریان $g_m V_{gs}$ باعث می‌شود که هنگامی که V_i مثبت است ، V_o نیز مثبت باشد . بنابراین ، در این مدار ، هیچ اختلاف فازی بین ولتاژ ورودی و خروجی نخواهد داشت .

محاسبه‌ی اساسی این مدار بسیار به مدار سورس - مشترک شبیه است .

---

(1) Source - Follower

درجه تقویت جریان . در این مدار نیز بهمان علتی که قبلاً برای مدار سورس مشترک گفته شد ، درجه تقویت جریان بینهایت میل میکند .

مقاومت ورودی . در این مدار نیز مقاومتی که منبع سیگنال مشاهده میکند ، R_G است . بنابراین ،

$$R_i = R_G \qquad (۱-۲۶)$$

درجه‌ی تقویت ولتاژ . در این مدار داریم :

$$V_i = V_o + V_{gs}$$

و

$$V_o = g_m V_{gs} \frac{r_d \cdot R'_L}{r_d + R'_L}$$

در آن $R'_L = R_L \| R_3$ میباشد . بنابراین خواهیم داشت

$$A_V = \frac{V_o}{V_i} = \frac{V_o}{V_o + V_{gs}} = \frac{1}{1 + V_{gs}/V_o}$$

$$A_V = \frac{1}{1 + [(r_d + R'_L)/g_m r_d R'_L]} \qquad (۱-۲۹)$$

اگر $r_d \gg R'_L$ باشد ، در اینصورت A_V بصورت ساده شده زیر در میآید :

$$A_V \simeq \frac{1}{1 + 1/g_m \cdot R'_L} \qquad (۱-۲۹ \text{ الف})$$

ملاحظه میشود که A_V مثبت است یعنی ولتاژ خروجی هم‌فاز با ولتاژ ورودی است .

مقاومت خروجی . برای بدست آوردن R_o ، V_g را اتصال کوتاه کرده و طبق شکل ۱-۱۵ بجای R_L منبع سیگنال قرار داده و با بدست آوردن نسبت $\frac{V_x}{I_x}$ ، مقاومت خروجی R_o را تعیین مینمائیم . داریم ،

$$R_o = \frac{V_x}{I_x} \qquad (I)$$

$$I_x = I_1 - g_m V_{gs} + I_2 \qquad (II)$$

از طرفی داریم :

www.tmar.ir

$$V_x = -V_{gs}$$

بنابراین :

$$I_x = \frac{V_x}{r_d} + g_m V_x + \frac{V_x}{R_S} \qquad (III)$$

با قرار دادن رابطه (III) در رابطه (I) خواهیم داشت :

$$R_o = \frac{1}{1/r_d + g_m + 1/R_S} \qquad (۱-۳۰)$$

اگر $r_d \gg R_S$ باشد خواهیم داشت :

$$R_o \simeq \frac{1}{g_m + 1/R_S} = \frac{R_S}{1 + g_m R_S} \qquad (\text{الف } ۱-۳۰)$$

مثال ۷-۱ : برای مدارشان داده شده در شکل الف ۱-۱ اگر $R_G = 10\ M\Omega$ ، $R_S = 10\ k\Omega$ ، $R_L = 10\ k\Omega$ ، $g_m = 4000\ \mu mho$ و $y_{os} = 10\ \mu mho$ باشد، کمیتهای R_i ، A_V ، R_o را بدست آورید.

حل ، الف) .

$$R_i = R_G = 10\ M\Omega$$

ب) .

$$R'_L = R_S \| R_L = 5\ k\Omega$$

$$r_d = \frac{1}{y_{os}} = 10^5\ k\Omega$$

$$A_V \simeq \frac{1}{1 + (1/g_m R'_L)} = \frac{1}{1 + [1/(4\times10^{-3})(5\times10^3)]}$$

$$A_V \simeq 0.95$$

ج) .

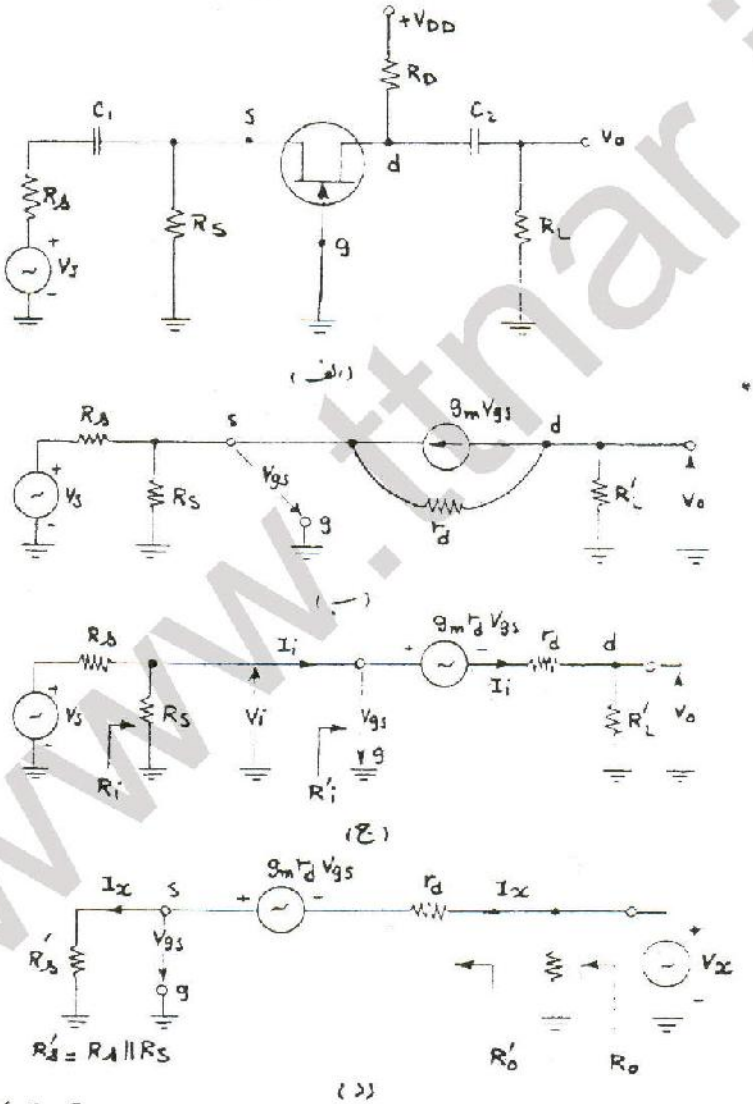
$$R_o \simeq \frac{R_S}{1 + g_m R_S} = \frac{10^4}{1 + (4\times10^{-3})(10^4)}$$

$$R_o \simeq 244\ \Omega$$

www.tmar.ir

ج : ترکیب گیت مشترک

اسولاً در این ترکیب نظیر مدار بیس مشترک در ترانزیستور دوقطبی پیوندی (BJT) ، مقدار کمی است . مدار معادل ac در شکل ۳۲-۱ و شکل ساده شده آن با تبدیل منبع جریان - منبع معادل ولتاژ (توسط تبدیل نورتن - تونن [1]) در شکل ۳۲-۱ ج نشان داده شده است . در این مدار R_g نشان دهنده مقاومت داخلی منبع و R_S مقاومت بایاس سورس است . چون گیت مستقیماً به زمین متصل شده است ، لذا جهت حفظ مقاومت R_G گیت .



شکل ۳۲-۱ : مدار گیت مشترک و مدارهای معادل برای تجزیه تحلیل سگنال کوچک .

مقاومت ورودی - با استفاده از شکل ج ۳۲-۱ سر توان مقاومت ورودی R_i را بصورت زیر بدست آورد :

$$R_i = R_S \parallel R'_i$$

---

(1) Norton to Thevenin transformation

www.ttnar.ir

در مدار :

$$R_i' = \frac{V_i}{I_i} = \frac{-V_{gs}}{I_i} \qquad (I)$$

با نوشتن معادله KVL در مدار خارجی داریم :

$$V_{gs} + g_m V_{gs} r_d + I_i r_d + I_i R_L' = 0$$

$$V_{gs} = \frac{-I_i (r_d + R_L')}{1 + g_m r_d} \qquad (II)$$

با قرار دادن رابطه (II) در رابطه (I) خواهیم داشت :

$$R_i' = \frac{-V_{gs}}{I_i} = \frac{r_d + R_L'}{1 + g_m r_d}$$

بنابراین مقاومت ورودی برابر خواهد بود با :

$$R_i = R_S \parallel \frac{r_d + R_L'}{1 + g_m r_d} \qquad (۱-۳۱)$$

اگر $R_L' \ll r_d$ باشد، در اینصورت R_i بصورت ساده‌تر زیر درمی‌آید :

$$R_i \approx R_S \parallel \frac{1}{1/r_d + g_m} = R_S \parallel \frac{1}{g_{os} + g_m} \qquad (الف\ ۳۱-۱)$$

درجه‌ی تقویت ولتاژ : ولتاژ خروجی بار $I_i R_L'$ بوده و $V_i = -V_{gs}$ می‌باشد، لذا :

$$A_V = \frac{V_o}{V_i} = \frac{I_i R_L'}{-V_{gs}}$$

با قرار دادن رابطه (II) خواهیم داشت :

$$A_V = \frac{R_L' (1 + g_m r_d)}{r_d + R_L'} \qquad (۱-۳۲)$$

اگر $r_d \gg R_L'$ باشد در اینصورت شکل ساده‌شده A_V بصورت زیر درمی‌آید :

$$A_V \approx R_L' \left(\frac{1}{r_d} + g_m \right)$$

مضافاً $g_m \gg 1/r_d$ بوده و بنابراین می‌توان نوشت :

www.tnar.ir

$$A_v \approx g_m R'_L \qquad \text{(الف ۳۲-۱)}$$

مقاومت خروجی . برای منبع سیگنال اتصال کوتاه شده و برای مقاومت بار R_L از منبع سیگنال استفاده می‌شود تا مدار معادل شکل ۳۲-۱ بدست آید. از این مدار، مقاومت خروجی استفاده می‌شود، داریم :

$$R_o = R_D \parallel R'_o$$

که در آن

$$R'_o = \frac{V_x}{I_x}$$

با نوشتن KVL در مدار حاصل، داریم :

$$I_x R'_s - g_m V_{gs} r_d + I_x r_d = V_x$$

از طرفی $V_{gs} = -I_x R'_s$ بنابراین داریم :

$$V_x = I_x R'_s + g_m I_x R'_s r_d + I_x r_d$$

در نتیجه

$$R'_o = \frac{V_x}{I_x} = R'_s + g_m R'_s r_d + r_d$$

لذا :

$$R_o = R_D \parallel [R'_s(1 + g_m r_d) + r_d] \qquad (۳۲-۱)$$

اگر $r_d \gg R'_s(1+g_m r_d)$ باشد در اینصورت داریم :

$$R_o \approx R_D \parallel r_d \qquad \text{(الف ۳۲-۱)}$$

مثال ۸-۱ : برای مدار نشان داده شده در شکل الف ۳۲-۱ اگر $R_D = 2\ k\Omega$ ، $R_G = 10\ M\Omega$ ، $R_S = 0$ ، $R_L = 4\ k\Omega$ ، $g_m = 4000\ \mu mho$ و $y_{os} = 10\ \mu mho$ باشد کمیتهای R_i ، R_o و A_v را بدست آورید.

حل : الف) .

www.ttnar.ir

$$R'_L = R_D \| R_L = 1333\ \Omega \quad , \quad r_d = 100\ k\Omega$$

بنابراین $R'_L \ll r_d$ خواهیم داشت :

$$R_i \simeq R_S \| \frac{1}{g_m + y_{os}} \qquad \text{(الف ۳۱-۱)}$$

$$R_i \simeq 10000 \| \frac{1}{4010 \times 10^{-6}}$$

$$R_i \simeq 10000 \| 250 = 244\ \Omega$$

ب) . $R_s = 0$ خواهیم و بنابراین داریم :

$$R_o \simeq R_D \| r_d \qquad \text{(الف ۳۲-۱)}$$

$$R_o \simeq 2000 \| 100\ k = 1960\ \Omega$$

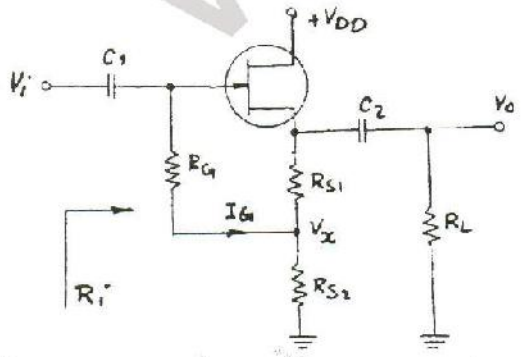
ج) . چنین $r_d \gg R'_L$ می‌باشد ، لذا می‌توان نوشت :

$$A_v \simeq g_m R'_L = 1333 (4 \times 10^{-3})$$

$$A_v \simeq 5.3$$

د : بالابردن مقاومت ورودی

کمی از نوایص عنصر FET نسبت به ترانزیستور BJT مقاومت ورودی زیاد آن می‌باشد . هرچند از ترکیبهای مداری مبدأ مشترک و درین مشترک ، R_i توسط مقاومت R_G تعیین می‌شود . به علت ملاحظات بایاس ، R_G را نمی‌توان خیلی زیاد انتخاب نمود و این مسئله باعث می‌شود که نتوان به مقدار مقاومت زیاد که از خصوصیات FET است ، دست یافت . برای غلبه بر این مشکل اغلب از روش بوت استرپ [1] استفاده می‌شود .



شکل ۳۳-۱ : بالابردن مقاومت ورودی با روش بوت استرپ .

مدار درین مشترک نشان داده شده در شکل ۳۳-۱ را در نظر می‌گیریم . در این مدار مقاومت سورس به دو مقاومت R_{S1} و R_{S2} تقسیم شده است . این عمل تأثیری در روی بایس dc ندارد ، ولی مقدار مؤثر R_G را توسط عمل

---

[1] bootstraping technique

بوت استرابینگ افزایش می‌یابد . چیست اگر خازن خازنی جریانی نمی‌کشد ، مقاومت ورودی را همواره بصورت زیر نوشت :

$$R_i = \frac{V_i}{I_G}$$

در آن

$$I_G = \frac{V_i - V_x}{R_G}$$

بوده و خواهیم داشت

$$R_i = \frac{V_i R_G}{V_i - V_x} = \frac{R_G}{1 - (V_x/V_i)} \qquad (۱-۳۴)$$

چون جریان عبوری کنده از مقاومت R_G در مقایسه با جریان سوری مقدار نسبتاً کمی است ، لذا R_{S1} و R_{S2} را می‌توان بصورت سری در نظر گرفته و مقدار V_x را بصورت زیر بدست آورد :

$$V_x = V_o \frac{R_{S2}}{R_{S1} + R_{S2}}$$

$$\frac{V_x}{V_i} = \frac{V_o}{V_i} \frac{R_{S2}}{R_{S1} + R_{S2}}$$

$$\frac{V_x}{V_i} = A_v \frac{R_{S2}}{R_{S1} + R_{S2}} \qquad (۱-۳۵)$$

در آن A_v از رابطه (۱-۲۹) یا (الف ۱-۲۹) بدست آید .

مثال ۱-۸ : برای مدار نشان داده شده در شکل ۱-۳۲ اگر $R_G = 10\ M\Omega$ ، $R_{S1} = 500\ \Omega$ ، $R_{S2} = 9.5\ k\Omega$ ، $R_L = 10\ k\Omega$ ، $g_m = 4000\ \mu mho$ و $y_{os} = 10\ \mu mho$ باشد ، مقدار R_i را بدست آورید .

حل : مقاومت ماری سرچشمه FET دیده می‌شود برابر است با :

$$R'_L = R_L \| (R_{S1} + R_{S2})$$

$$R'_L = 10^4 \| 10^4 = 5\ k\Omega$$

در اینجا که شرط $R'_L \ll r_o$ نیز برقرار است می‌توان نوشت :

$$A_v = \frac{1}{1 + 1/g_m R'_L} \qquad (الف ۱-۲۹)$$

$$A_v = \frac{1}{1 + [1/(4 \times 10^{-3})(5 \times 10^3)]} = 0.952$$

برای محاسبه R_i ، نسبت $\frac{V_x}{V_i}$ را با استفاده از رابطه (۱-۳۵) بدست می‌آوریم . داریم :

www.tnar.ir

$$\frac{V_x}{V_i} = A_V \frac{R_{S_2}}{R_{S_1} + R_{S_2}} \qquad (۱-۳۵)$$

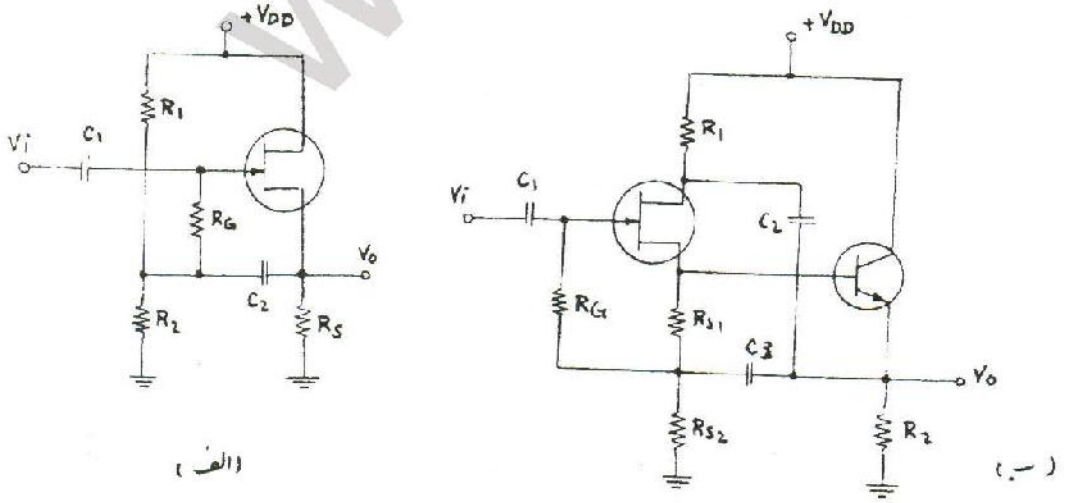
$$\frac{V_x}{V_i} = \frac{0.952\,(9.5\times10^{3})}{10^{4}} = 0.905$$

$$R_i' = \frac{R_G}{1 - V_x/V_i} \qquad (۱-۳۶)$$

$$R_i' = \frac{10\times10^{6}}{1-0.905} = 105\ M\Omega$$

ملاحظه میشود در روش بوت استرابینگ مقدار R_i را افزایش میدهد. اگر R_G بزرگ مقصر گفته، در اینصورت تمام V_i بین R_G قرار گرفته و $I_G = \frac{V_i}{R_G}$ میشود. با اتصال R_G به V_x، فقط دیفرانس بین R_G کم کرده و نهایتاً جریان I_G کم میشود و این نمونه میشود افزایش امپدانس ورودی میشود. همچنین دیده است در بالا گفتن V_x نسبت به V_i باعث داخل R_G کم کرده و R_i بزرگتر میشود. برای افزایش نسبت $\frac{V_x}{V_i}$ باید $R_{S_1}=0$ شود در اینحالت $V_x = V_o$ میشود. اما این عمل باعث میشود در گیت ولتاژ dc کم شده (از افت پتانسیل dc روی مقاومت R_G صرفنظر میشود) و $V_{GS}=0$ گفته. این عمل باعث میشود در گیت تقریباً مقدار بایس نگفته. بنابراین برای R_{S_1} که جریانی داخل دارد در رابطه با مقدار حداقل بایس dc است در عنصر FET باید عملکرد خطی در نظر داشته باشد.

اتصالات دیگری از نوع بوت استرابینگ در شکل ۳۴-۱ نشان داده شده است. مدار در یک شبکه نشان داده شده در شکل الف ۳۴-۱ نظیر مداری است در بای امیتر بلوک بررسی شده است. در شکل ب ۳۴-۱ برای حداقل کردن اثر بار، خازن C_3 نیز بوت استرابینگ شده است.

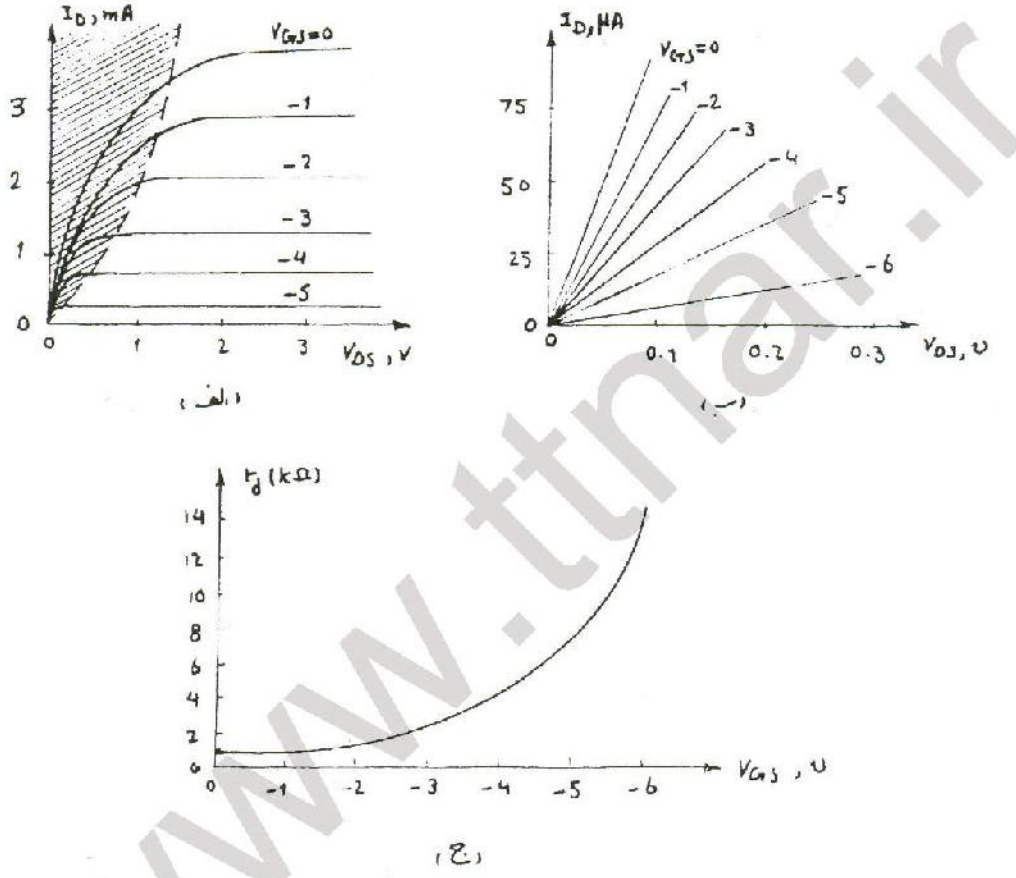


شکل ۳۴-۱ : مدارهای بوت استرابینگ.

www.tnar.ir

۷-۱ : FET به‌عنوان مقاومت متغیر با ولتاژ[1] (VVR)

مقاومت درین سورس یک FET می‌تواند برحسب تابعی از ولتاژ اعمال شده به گیت تغییر نماید . این کنترل مقاومت نسبتاً خطی بوده و در ناحیه ۱ از منطقه کار عضو که در شکل الف ۳۵-۱ نشان داده شده ، صورت می‌گیرد . ملاحظه می‌شود در این ناحیه فقط قسمتی از ناحیه عملکرد FET است و شامل منطقه خطی در آن بصورت تقریبی کشیده عمودی می‌باشد . مخصوص جریان این ناحیه هم نظیری در



(الف) (ب) (ج)

شکل ۳۵-۱ : الف) و ب) عملکرد FET به‌صورت VVR ؛ ج) منحنی مقاومت درین برحسب ولتاژ V_{GS} .

شکل نشان داده شده است در حدود 100 μA و محدوده ولتاژ منطبق بر آن در حدود چند صد میلی ولت است . در این ناحیه محدود می‌توان از FET بعنوان مقاومت متغیر با ولتاژ (VVR) استفاده نمود .

ناحیه عملکرد مقاومت متغیر در FET در شکل ب ۲۵-۱ بتفصیل بزرگتر نشان داده شده است . ملاحظه می‌شود شیب خطوط نشان دهنده این واقعیت است که مقاومت عنصر بصورت تابعی از ولتاژ گیت سورس تغییر می‌نماید . بعنوان مثال ملاحظه می‌شود که برای $V_{GS}=0$ شیب زیادتر و نتیجتاً مقاومت کمتر بوده ، در صورتیکه برای $V_{GS}=-6$ شیب کمتر و مقاومت زیادتر است .

---

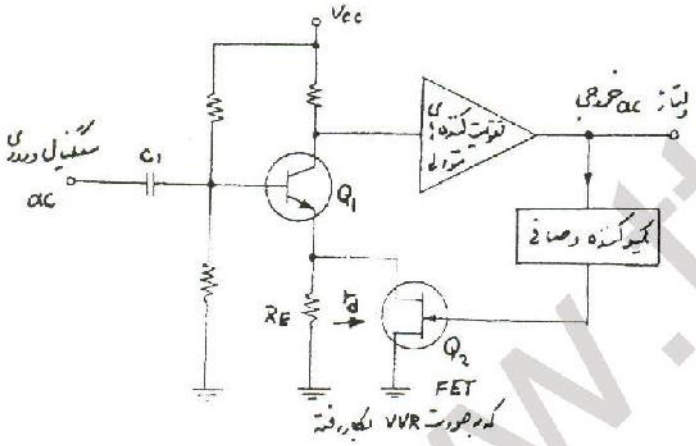
(1) Voltage Variable Resistor

www.ttnar.ir

شکل ۳۵-۱ تغییر مقاومت عنصر را جسب ولتاژ کنترل گیت سورس نشان می‌دهد. همانطور که ملاحظه می‌شود، افزایش مقاومت بازدارندگی ولتاژ کنترل بصورت خطی است. تغییرات مقاومت در مقادیر بالاتر ولتاژ گیت سورس تغییر می‌باشد.

کاربرد VVR

یکی از معمولترین موارد استعمال VVR در تغییر دامنه یک تقویت کننده است که توسط کنترل دامنه تقویت صورت می‌گیرد. اگر این کنترل از ولتاژ خروجی تقویت کننده بدست آید، در اینصورت تقویت کننده دارای کنترل خودکار دامنه تقویت (AGC)[1] خواهد بود. یک مدار ساده برای چنین عملکردی در شکل ۳۶-۱ نشان داده شده است. در این مدار سیگنال ac ورودی توسط ترانزیستور Q_1 اعمال شده و سپس توسط تقویت کننده‌ای متوالی در خروجی بصورت تقویت شده ظاهر می‌شود. برای بدست آوردن نمونه‌ای از سطح سیگنال خروجی، و در صورت افزایش سیگنال ورودی، دامنه تقویت مدار باید کاهش یابد. برای بدست آوردن چنین کنترلی برای دامنه تقویت، سیگنال ac خروجی یکسو و صاف شده و ولتاژ dc حاصل از آن با افزایش دامنه سیگنال افزایش می‌یابد. سپس این ولتاژ به یک FET که بعنوان VVR بکار می‌رود، اعمال می‌شود. همانطور که ملاحظه می‌شود در اینجا FET بصورت یک مقاومت، r_d، در مقابل مقاومت اتمیر R_E عمل می‌کند (فقط برای عملکرد ac) بکار می‌رود. بدینسبب مقاومت درین سورس FET مقاومت فعال[2] اتمیر، در توسط ترانزیستور Q_1 دامنه سیگنال را تغییر می‌دهد. خازن C_2 برای جلوگیری از تاثیر VVR روی بایس dc طبقه‌ی Q_1 بکار می‌رود.



شکل ۳۶-۱ : کاربرد AGC عنصر FET بعنوان VVR.

با افزایش سیگنال خروجی، دامنه تقویت Q_1 کاهش پیدا می‌کند، زیرا افزایش خروجی باعث افزایش ولتاژ dc کنترل FET شده و درنتیجه مقاومت آنرا افزایش می‌دهد. این افزایش مقاومت، مقاومت مؤثر اتمیر ترانزیستور Q_1 را افزایش داده و درنتیجه دامنه تقویت این طبقه کاهش می‌یابد.

---

[1] automatic gain control

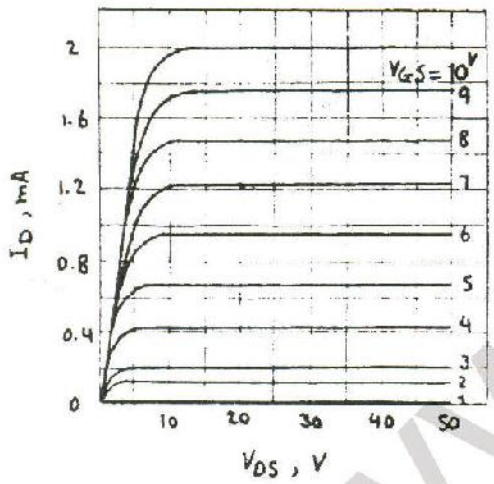
[2] active

www.tnar.ir

افزودن ناحیه نوع n (اپیتاکسیال) به ساختمان V FET در شکل الف ۲۷ - ۱ نشان داده شده ، باعث بهبود ولتاژ شکست و کمتر شدن خازنهای بین[1] این عنصر می شود . عنصر VMOS کوتاه شدن طول کانال جهت ایجاد رابطه خطی بین I_D و V_{GS} می شود .

مشخصات VMOS

منحنی ولت آمپر عنصر FET عمومی در شکل ۳۸ - ۱ نشان داده شده است . طوری که ملاحظه می شود جریان حداکثر VMOS 2 A می باشد . همچنین مشاهده می شود که مشخصات این عنصر در ناحیه اشباع[2] تخت تر از مشخصات یک MOSFET معمولی است (I_D ثابت است حتی در ولتاژ خروجی خیلی کوچک باشد) . برای عنصر VMOS نوع 2N6657 در مشخصات آن در شکل ۳۸-۱ نشان داده شده است : مشاهده می شود که در جریانهای روی بالاتر از 0.4 A فواصل منحنی ها با ازای افزایش V_{GS} ها یکسان و ثابت می باشد . بنابراین ولتاژ اشباع[3] V_{DS} برای این عنصر با $I_D \geq 0.4$ mA ثابت می باشد . g_m برای این عنصر با $I_D \geq 0.4$ mA ثابت می باشد .



شکل ۳۸-۱ : مشخصات خروجی VMOS از نوع کانال n - نوع 2N6657 .

در صورتی که برای عناصر FET معمولی ، g_m تابعی از جریان درین بوده [رابطه (۲۲-۱)] و می تواند ثابت باشد .

VMOS دارای مزایای عمده ای است که از جمله آن می توان به موارد زیر اشاره نمود :

۱ - مشخصه انتقال I_D و جهت V_{GS} برای $I_D \geq 0.4$ mA ثابت است (g_m ثابت است) .

۲ - سرعت قطع و وصل[4] آن خیلی زیاد است ، زیرا در آن ذخیره حامل اقلیت وجود ندارد . به عنوان مثال جریان 2 A می تواند به زمان کمتر از 10 ns قطع و وصل گردد .

---

[1] parasitic capacitances
[2] saturation region
[3] switching

www.tnar.ir

۳ - گسیختگی حرارتی[1] در این عنصر امکان پذیر نیست ، زیرا مقاومت در کانال سورس در این عنصر دارای ضریب حرارتی[2] مثبت بوده و با گرم شدن عنصر جریان کاهش می‌یابد .

۴ - بعلت امپدانس ورودی زیاد آن ، توان ورودی VMOS بسیار ناچیز بوده و می‌تواند توسط عناصری با توان خروجی کم راه‌اندازی[3] گردد . بعنوان مثال در مدارات سنتقطبی می‌توان توسط عناصر CMOS آنرا تحریک نمود . در حالیکه توان این عنصر خیلی زیاد است .

۵ - مقاومت ON این عنصر خیلی کم می‌باشد . با توجه به شکل ۳۸-۱ ملاحظه می‌شود در شیب منفی ، در مدار تخلیه کننده ی $r_{DS(ON)}$ می‌باشد ، در حدود $3\,\Omega$ هستند .

۶ - FET ها توان ، دارای عدد نویز[4] خیلی کمتری می‌باشند .

۷ - بعلت کم بودن ظرفیت خازن بین گیت و درین ، عنصر VMOS می‌تواند در مدارات فرکانس بالا (مانند مدارات با زمان زیاد) مورد استفاده قرار گیرد ($f_T \approx 500\,MHz$) .

۸ - ولتاژ شکست بین درین و سورس در VMOS خیلی زیاد است . این از نظر طراحی لایه اپیتاکسیال[5] n در این عنصر است که ضخامت ناحیه تخلیه را در بایاس معکوس پایین نگه داشته و باعث می‌شود .

کاربردهای VMOS

عنصر VMOS را می‌توان بعنوان طبقه خروجی یک تقویت کننده صوتی[6] یا RF[7] و یا در منبع تغذیه سوئیچینگ[8] بکار برد . البته بعلت اینکه این عنصر بصورت مکمل[9] ساخته نشده است ، نمی‌توان از آن بصورت پوش - پول[10] استفاده نمود . سایر موارد استعمال این عنصر در مدارات کنترل صنعتی ، نظیر کنترل موتور ، تحریک سولنوئید[11] یا رله[12] ، تحریک نشان دهنده ها ، تحریک مبدل اولترا سونیک[13] و غیره می‌باشد . همچنین امروزه VMOS کاربرد وسیعی در سیستمهای ارتباطی سوئیچینگ پیدا کرده است .

---

(1) termal runaway
(2) tempratur coefficient
(3) drive
(4) noise figure
(5) epitaxial
(6) audio
(7) Radio Frequency
(8) Switching power supply
(9) complementary
(10) push-pull
(11) motor-control
(12) Selonoid driver
(13) relay
(14) transducer
(15) ultrasonic

www.tnar.ir

فصل ۲

پاسخ فرکانسی

تقویت کننده های کوپلاژ خازنی در فرکانسهای پائین

۲-۱ : مقدمه

در بیشتر تقویت کننده ها که در مدارهای الکترونیکی مورد استفاده قرار می گیرند، سیگنال ورودی که سیگنال سینوسی نمی باشد، بلکه سیگنال مرکبی است که از مولفه های فرکانسی مختلف تشکیل شده است. به عنوان مثال در تقویت کننده های صوتی[1]، ورودی تقویت کننده، سیگنال صوتی است که مولفه های فرکانسی آن بین 20 Hz تا 20 KHz قرار دارند. برای اینکه تقویت کننده مواد چنین سیگنالی را بدون اعوجاج تقویت کند، باید کلیه مولفه های فرکانسی آن را بطور یکسان تقویت کند.

بر اثر وجود خازن های مداری (خازن های بای پس و کوپلاژ در مدار تقویت کننده و همچنین به علت خازن های داخلی[2] و پراکنده[3] عناصر اکتیو[4] نظیر ترانزیستور BJT و FET) تقویت کننده قادر به تقویت تمام فرکانس ها به یک میزان نیست. به عبارت دیگر بهر تقویت کننده یک محدوده فرکانسی[5] وجود دارد که در صورت آنرا مقدار خازن های فوق کم انتخاب می کنند. با کاربردهای مختلف، عناصر مداری و عناصر اکتیو تقویت کننده باید طوری انتخاب شوند تا محدوده فرکانسی آن قادر به تقویت سیگنال ورودی تقویت کننده بدون اعوجاج[6] قابل ملاحظه ای شود. به عنوان مثال محدوده فرکانسی تقویت کننده های صوتی باید از 20 Hz تا 20 KHz و تقویت کننده های تصویری از 100 KHz[7] تا 6 MHz باشد.

---

(1) audio amplifier
(2) internal capacitance
(3) parasitic capacitance
(4) active
(5) frequency range
(6) distortion
(7) video amplifier

www.ttnar.ir

خازنهای مداری تقویت‌کنندهٔ فرکانس‌های پایین (low-frequency) و کوپلاژ در یک تقویت‌کنندهٔ محدودهٔ فرکانسی را در فرکانس‌های پایین (low-frequency) تعیین می‌نمایند. از طرف دیگر محدودهٔ فرکانسی در فرکانس‌های بالا (high-frequency) توسط خازنهای داخلی عنصر اکتیو تعیین می‌گردد. در یک قسمت بررسی ما محدودهٔ فرکانس‌های پایین توده و اثر خازنهای کوپلاژ و بای پاس در پاسخ فرکانسی (frequency response) تقویت‌کننده‌های ترانزیستوری BJT و FET مورد بحث قرار می‌گیرد.

۲-۲ : اعوجاج فرکانسی (frequency distortion)

اگر ورودی یک تقویت‌کنندهٔ سیگنال سینوسی با دامنهٔ کم (low-level) عمل نماید، در اینصورت خروجی نیز بصورت سینوسی خواهد بود. ولی، برای یک سیگنال ورودی غیر سینوسی، شکل موج خروجی عیناً نظیر ورودی نمی‌شود، زیرا سولفهٔ فرکانسی موجود در سیگنال ورودی، بطور یکسان تقویت نخواهند شد. در یک تقویت‌کنندهٔ ترانزیستوری BJT یا FET بخش اعوجاج بعلت وجود خازنهای داخلی عنصر اکتیو و یا خازنهای مداری، نظیر خازن‌های بای پاس و کوپلاژ، بصورت میگردد. بعلت چنین تراوشی و با در نظر گرفتن اثر این خازنها، دامنهٔ تقویت یک تقویت‌کننده، عموماً بطور متوسط (mid-band) ثابت بوده و دامنه (یا مازاد) (gain) آن نسبت به فرکانس سیگنال ورودی خواهد داشت. نمودار دامنه (یا مازاد) دامنهٔ تقویت یک تقویت‌کننده، دامنهٔ تقویت‌کننده را بصورت پاسخ فرکانسی دامنه (یا مازاد) (gain frequency response) می‌نامند.

بررسی کیفیت یک تقویت‌کننده (fidelity)

حال، بررسی مقدماتی را در مقابله دو تقویت‌کننده باهم، از نظر حفظ شکل موج سیگنال ورودی، دنبال می‌کنیم: تئوری فوریه (Fourier) می‌گوید هر سیگنال را می‌توان توسط سری یا تبدیل فوریه، سولفهٔ فرکانسی مختلف تبدیل کرده و طیف فرکانسی (spectrum) آنرا بدست آورد. اگر سیگنال متناوب (periodic) باشد، در اینصورت طیف فرکانسی آن شامل یک سری از سولفهٔ سینوسی و کسینوسی خواهد بود که فرکانس این سولفهٔ مضرب صحیحی از فرکانس اصلی (fundamental freq.) سیگنال می‌باشد. فرکانس اصلی سیگنال عکس زمان تناوب آن است. اگر شکل موج متناوب نباشد، در اینصورت زمان تناوب از $-\infty$ تا $+\infty$ گسترش خواهد یافت. برای چنین سیگنالی فرکانس اصلی بینهایت کوچک بوده و

---

(1) low-frequency
(2) high-frequency
(3) frequency-response
(4) frequency distortion
(5) low-level
(6) complex number
(7) amplitude
(8) phase
(9) amplitude (phase) frequency-response characteristic
(10) fidelity
(11) Fourier
(12) spectrum
(13) periodic
(14) fundamental freq.

(*) رفتار ترانزیستور در فرکانس‌های بالا و اثر خازنهای داخلی آن در تعیین پاسخ فرکانسی فرکانس‌های بالا در الکترونیک (II) بررسی خواهد شد.

www.itar.ir

و فرکانس را متداول در جهت سری فوریه تقارت نهایت کوچک[1] بعد نگه داشته و بنابراین یک سری فوریه مانند آنچه در انتگرال فوریه استفاده نمود.

در هر حالت طیف فرکانسی یک سیگنال دارای فرکانس یک است در حالت کلی از فرکانس صفر تا ∞ گسترش دارد.

حال یک سیگنال سینوسی با فرکانس زاویه‌ای ω با که بصورت $V_m \sin(\omega t + \phi)$ نشان داده می‌شود، در نظر می‌گیریم. اگر دچار تقویت و یا تضعیف کننده‌ای در برابر تقویت این سیگنال گذر می‌کند، دارای دامنه‌ای A برابر و تغییر فاز سیگنال در حدود θ باشد در این صورت سیگنال خروجی را می‌توان بصورت زیر نوشت:

$$AV_m \sin(\omega t + \phi + \theta) = AV_m \sin\left[\omega\left(t + \frac{\theta}{\omega}\right) + \phi\right]$$

بنابراین اگر در حد تقویت A بستگی به فرکانس نداشته و زاویه θ متناسب با فرکانس باشد (یا صفر باشد)، در این صورت تقویت کننده شکل سیگنال ورودی را علیرغم امتداد و یا تأخیر آن به اندازه θ/ω در خروجی حفظ خواهد کرد.

در این بحث فرض خواهد شد که هر یک فرکانسی را می‌توان یک تقویت کننده تکبهره[2] نامید و تأخیر زمانی[3] آن با تغییر فرکانس ثابت نمی‌ماند. این مقادیر را می‌توان بعنوان معیاری برای کیفیت تقویت کننده تلقی کرد. در حقیقت، در اکثر مدارهای عملی تشخیص کردن هر دو تخصیص یک طیف فرکانسی را می‌دهد و مانند یک تقویت کننده برای بررسی رفتار آن عمل می‌کند، زیرا این دو مقدار بهم وابسته بوده و با بعض اطلاعات یکی، دیگری نیز تعیین خواهد شد. البته، در حالات مخصوص، ممکن است تعیین هر دو تخصیص یک طیف فرکانسی و تأخیر زمانی آن را نشان داد که در این صورت تقویت کننده بهتر باشد.

مشخصات پاسخ فرکانسی

برای یک طبقه تقویت کننده، مشخصات پاسخ فرکانسی را می‌توان به سه ناحیه تقسیم نمود: ناحیه فرکانسهای وسط یا باند[4] که در آن دارای تقویت A_0 نسبتاً ثابت بوده و تأخیر زمانی نیز ثابت است. تقویت کننده‌ای را که در فرکانس صفر بهره گرفته و در آن مدار اثر خازن‌ها صرف نظر شده، به این ناحیه متعلق خواهد بود. در این بحث فرض می‌شود که در ناحیه تقویت A_0 نرمالیزه[5] شده و مقدار آن برابر واحد باشد. در ناحیه دوم در ناحیه فرکانسهای پائین[6] می‌باشد، خازنهای کوپلینگ و یا بای پس دارای اثر قابل ملاحظه‌ای در تعیین پاسخ فرکانسی می‌باشد. یک تقویت کننده RC را از این نظر یک مدار ساده بالاگذر[7] نظیر شکل ۱-۲ عمل می‌کند. در این مدار با کاهش فرکانس،

---

(1) infinitesimally
(2) uniform
(3) time delay
(4) midband frequency
(5) normalized
(6) low frequency
(7) high pass

www.tinar.ir

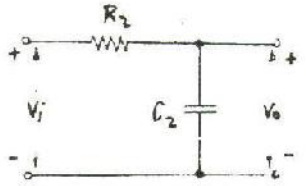
$$\theta_L = \text{arc tg} \frac{f_L}{f} \qquad (۲-۴ ب)$$

در فرکانس $f = f_L$ ، $|A_L| = 1/\sqrt{2} = 0.707$ بوده و در ناحیه فرکانسی وسط باند که در آن $f \gg f_L$ است، مقدار A_L تحت تأثیر قرار نمی‌گیرد. بنابراین f_L فرکانسی است که در آن دامنه تقویت به مقدار 0.707 برابر مقدار A_0 (مقدار دامنه تقویت در فرکانس‌های وسط باند) افت پیدا می‌کند. این افت سطح سیگنال را می‌توان دامنه بر حسب دسی بل[1] (ضمیمه ۲، مراجعه شود) و یا $20\log(1/\sqrt{2})$ که برابر 3^{dB} است بیان نمود. همین علت f_L را فرکانس 3dB یا نیمی[2]* می‌نامند. با توجه به رابطه (۲-۳) ملاحظه می‌شود که f_L فرکانسی است که در آن مقاومت R_1 برابر راکتانس خازن $\left(\frac{1}{2\pi f_L C_1}\right)$ می‌باشد.

پاسخ فرکانس - بالا

در ناحیه فرکانس بالا در بالای ناحیه فرکانسی وسط - باند قرار می‌گیرد، تقویت کننده یک طبقه را فقط می‌توان با یک مدار ساده مانند یک گذر فرکانس پایین ۲-۲ تقریب نمود. با استفاده از متغیر s در این مدار می‌توان نوشت:

$$V_o(s) = \frac{1/sC_2}{R_2 + 1/sC_2} V_i(s) = \frac{1}{1 + sR_2C_2} V_i(s) \qquad (۲-۵)$$



شکل ۲-۲ : مدار پایین - گذر RC که برای بررسی پاسخ فرکانس - بالای یک تقویت کننده بکار می‌رود.

بنابراین در این ناحیه تابع انتقال یک قطب در $s = -\frac{1}{R_2C_2}$ دارد.

برای فرکانس‌های متغیر ($s = j\omega = j2\pi f$) می‌توان مقدار و فاز تابع انتقال را در صورت $j = j2\pi f$ بدست آورد:

$$A_H(jf) \triangleq \left.\frac{V_o(s)}{V_i(s)}\right|_{s=j2\pi f}$$

$$|A_H(jf)| = \frac{1}{\sqrt{1 + (f/f_H)^2}} \qquad (۲-۶ الف)$$

$$\theta_H = -\text{arc tg } f/f_H \qquad (۲-۶ ب)$$

که در آن

$$f_H = \frac{1}{2\pi R_2 C_2} \qquad (۲-۷)$$

---

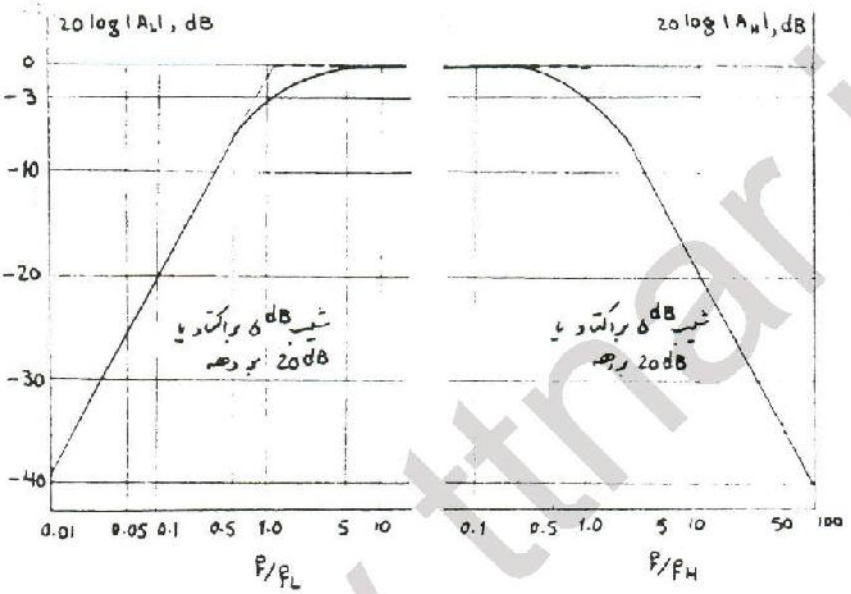
(۱) decibel

(۲) half-power frequency

* این فرکانس را فرکانس قطع (cut-off freq.)، فرکانس گوشه (Corner freq.)، فرکانس نصف توان (half-power) نیز می‌نامند.

www.tnar.ir

می‌باشد. چون در $f = f_H$ مقدار دامنه تقویت $1/\sqrt{2}$ برابر مقدار آن در فرکانس‌های وسط می‌باشد، بنابراین f_H را فرکانس بالا 3dB[1] می‌نامند. با توجه به رابطه (۲-۷) ملاحظه می‌شود در این فرکانس مقدار مقاومت R_2 برابر راکتانس[2] خازن C_2 یعنی $\frac{1}{2\pi f_H C_2}$ می‌باشد. والتیج دامنه تقویت به فرکانس در نواحی فرکانس‌های پایین و بالا در شکل ۲-۳ نشان داده شده است. چنین مشخصاتی را نمودارهای بود[3] می‌گویند که در قسمت بعدی به طور دقیق مورد بررسی قرار خواهد گرفت.



شکل ۲-۳ : نمودار نیم لگاریتمی بلوک فرکانسی دامنه (نمودار بود) یک تقویت کننده با کوپلاژ RC.

خطوط نقطه‌چین نمودار ایده‌آل شده تقویت را نشان می‌دهد.

پهنای باند[4]

محدوده فرکانسی در بین فرکانس‌های f_L و f_H قرار گرفته را پهنای باند تقویت کننده می‌نامند. اگر کلیه سیگنال‌های فرکانسی سینوسی در محدوده تقویت کننده در این محدوده قرار بگیرند، عنوان انتظار داریم در خروجی آن با حفظ اندازه‌های نسبی یکسان باشند.

۲-۴ : نمودارهای بود

بلوک فرکانسی یک تقویت کننده (یا هر شبکه خطی[5]) را می‌توان با دو نمودار مستقل نشان داد : (۱) نمودار مقدار بلوک یا تقویت و

(۱) upper 3dB frequency
(۲) reactance
(۳) Bode plots
(۴) bandwidth
(۵) linear [illegible]

(۲) زاویه فاز این تابع ترجیحاً منفی . این مشخصات ، نمودارهای بود مربوطه . حال نشان دهید که دیاگرام نایکوئیست یک تابع انتقال مرتبه اول ، یک نیم دایره است .

تابع انتقال تک ـ قطبی[۱۵]

یک تابع انتقال تک قطبی دارای مانند خطی مطابق رابطه (۲-۵) می‌باشد . با استفاده از $s = j2\pi f$ و f_p به عنوان فرکانس شکست می‌توان شکل کلی تابع انتقال تک قطبی را بصورت زیر نوشت :

$$A(jf) = \frac{A_0}{1 + j\, f/f_p} \qquad (۲-۸)$$

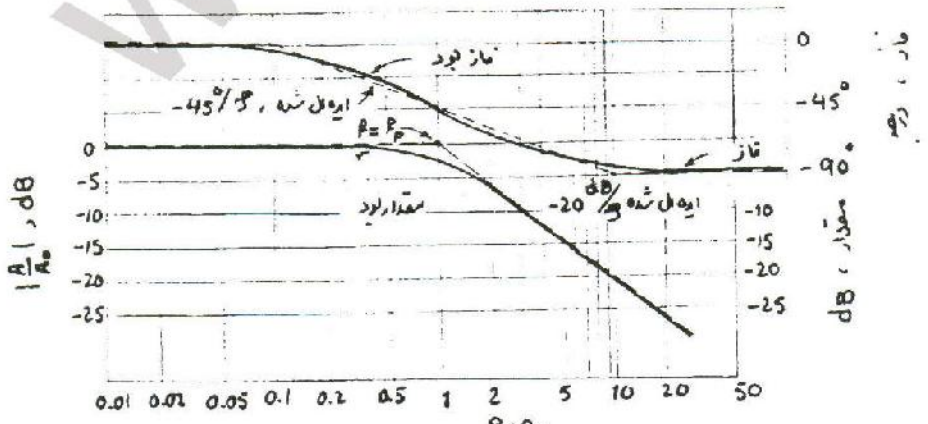
مقدار این تابع ترجیحاً دسی بل به صورت زیر تعریف می‌شود :

$$|A|_{dB} \triangleq 20 \log|A| = 20 \log|A_0| - 20 \log\sqrt{1 + (f/f_p)^2} \qquad (۲-۹)$$

و یا

$$|A|_{dB} = \begin{cases} 20 \log|A_0| & \text{برای } \frac{f}{f_p} \ll 1 \\ 20 \log|A_0| - 20 \log \frac{f}{f_p} & \text{برای } \frac{f}{f_p} \gg 1 \end{cases} \qquad (۲-۱۰)$$

این روابط در شکل ۲-٤ در کاغذ نیمه لگاریتمی[۱۶] رسم شده است (یعنی $20\log|A|$ برحسب $\log \frac{f}{f_p}$) . برای فرکانس‌های بالاتر



شکل ٤-۲ : نمودارهای بود یک تقویت‌کننده با پاسخ تک قطبی .

۱۵) piecewise linear region
۱۶) Semi-log paper
۱۷) Bode plots
۱۸) Simple-pole Transfer function

www.tmar.ir

از فرکانس قطع f_p منحنی بانج با خط افقی $20 \log A_0$ مجانب می‌شود[1]. برای فرکانس‌های بزرگتر از f_p ($f/f_p > 1$) با توجه به رابطه (۲-۱۰) منحنی بانج به سمت یک خط مستقیم با شیب -20^{dB} در دهه[2] ($f/f_p = 10$) یا -6^{dB} در اکتاو[3] ($f/f_p = 2$) میل می‌کند. مشخصات فوق در شکل ٤-٢ نشان داده شده است. خطوط نقطه‌چین روی شکل، مجانب‌ها را مشخص می‌کنند. رفتار فوق را با نمایش $|A|_{dB}$ برابر با $20 \log |A_0|$ برای $f = f_0$ مقدار $20 \log |A|$ برای $f = f_p$ مشخص می‌شود. منحنی واقعی همراه با خطوط مجانب نشان داده شده در شکل ٤-٢ در $f = f_p$ همدیگر را قطع می‌کنند، و فرکانس f_p را فرکانس گوشه[4] می‌نامند.

با مشخص بودن مقادیر A_0 و f_p می‌توان منحنی بانج را رسم نمود. با استفاده از منحنی بانج و با مراجعه به جدول ۲-۱ می‌توان منحنی واقعی را رسم نمود. به عنوان مثال در فرکانس قطع $f = f_p$ منحنی واقعی به اندازه $3dB$ پایین‌تر از خطوط مجانب قرار گرفته است و در $f = 0.5 f_p$ یا $f = 2 f_p$ فاصله آن با منحنی 1^{dB} می‌باشد.

جدول ۲-۱

f/f_p	خطای مقدار، dB	خطای فاز، درجه
0.1	0.04	+5.7
0.5	1	-4.0
1	3	0
2	1	+4.0
10	0.04	-5.7

زاویه انتقال فاز[5] (θ) یک تابع انتقال یک قطبی از رابطه زیر بدست می‌آید:

$$\theta = -\arctan f/f_p \qquad (۲-۱۱)$$

برای $f \ll f_p$، مقدار θ به سمت صفر و برای $f \gg f_p$ مقدار آن به سمت -90° میل می‌نماید. در $f = f_p$، زاویه θ برابر -45° می‌شود. با توجه به این مقادیر، تقریب خطی‌سازی منحنی فاز را می‌توان بصورت زیر انجام داد: مجانب منحنی فاز در خط $\theta = 0^\circ$ و $\theta = -90^\circ$ می‌باشد. در ترتیب برای محدوده فرکانسی $0 < \frac{f}{f_p} < 0.1$ و $\frac{f}{f_p} > 10$ در نظر گرفته می‌شود. این روش

(1) asymptotic
(2) decade
(3) octave
(4) Corner frequency
(5) phase-shift angle

توسط خط با شیب -45° برده که از زاویه $\theta=-45^\circ$ در فرکانس $f=f_p$ عبور کند بهره‌گیر متصل می‌شود. به عبارت دیگر این خط از نقاط $\theta=0^\circ$ ، $f=0.1f_p$ و $\theta=-90^\circ$ ، $f=10f_p$ عبور می‌کند. این شخص نادرست بود در صورت خط تقریب شده، در شکل ۲-۴ خطوط نقطه‌چین مشخص شده است. با مراجعه به جدول ۲-۱ ملاحظه می‌شود که شخص واقعی به نحو ادامه‌آل شده‌ای آن در نزدیکی نقاط، با اندازه کمتر از 6° تفاوت دارد.

"تابع تبدیل تک ـ صفری"

تابع تبدیل شبکه‌ای که یک صفر دارد (f_z)، به صورت زیر می‌باشد:

$$A(jf) = A_0\left(1 + j\,f/f_z\right) \qquad (۲-۱۲)$$

مقدار این تابع تبدیل برحسب دسی‌بل برابر است با:

$$|A|_{dB} \triangleq 20\log|A| = 20\log|A_0| + 20\log\sqrt{1+(f/f_z)^2} \qquad (۲-۱۳)$$

و یا

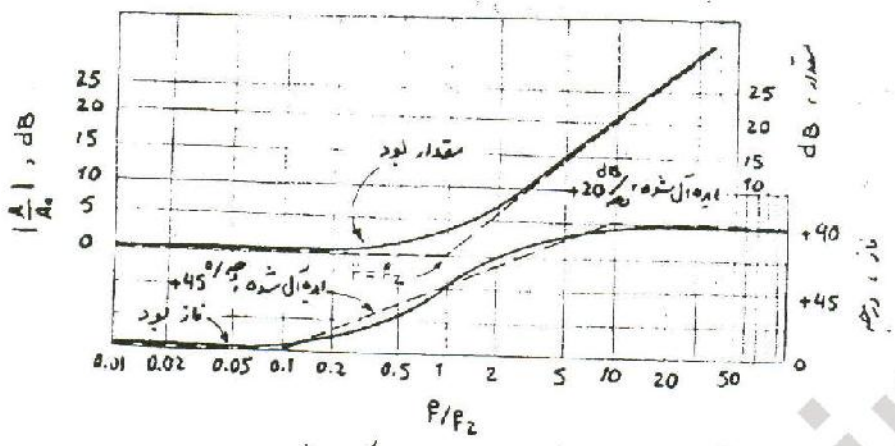
$$|A|_{dB} = \begin{cases} 20\log|A_0| & \text{برای } f \ll f_z \\ 20\log|A_0| + 20\log\dfrac{f}{f_z} & \text{برای } f \gg f_z \end{cases} \qquad (۲-۱۴)$$

در فرکانس‌های پایین‌تر از فرکانس صفر f_z ($\frac{f}{f_z}<1$)، شخص با خط تقریب $20\log A_0$ مطابقت می‌کند. برای فرکانس‌های بالاتر از f_z ($\frac{f}{f_z}>1$)، با توجه به رابطه (۲-۱۴) ملاحظه می‌شود که تابع، خط مستقیمی است با شیب $+20^{dB}$ در دهه، یا 6^{dB} بر اکتاو می‌باشد. شکل ۲-۵ مشخصات بود یک تابع تبدیل تک صفری را نشان می‌دهد. خطوط منقطع نقطه همین در این شکل، مجانب‌های این مشخصات می‌باشند. همانطور که در مورد تابع تبدیل تک قطبی عنوان شد، در اینجا نیز می‌توان مشخصات بود تابع تبدیل تک صفری را با دانستن مجانب‌های آن در توسط A_0 و f_z مشخص می‌شوند، رسم نمود.

---

۱. Single - Zero Transfer Function

www.tmar.ir



شکل ۵-۲ : نمودار بود تابع تبدیل یک صفر.

زاویه فاز θ یک تابع تبدیل یک صفری توسط رابطه زیر داده می‌شود :

$$\theta = \arctan f/f_z \qquad (۲-۱۵)$$

برای $f \gg f_z$ مقدار θ نزدیک صفر و برای $f \gg f_z$ مقدار آن نزدیک $+90^\circ$ میل می‌نماید. بنابراین تقریب خطی‌شده‌ای فاز را می‌توان بصورت زیر بدست آورد : برای $\frac{f}{f_z} < 0.1$ ، $\theta = 0^\circ$ ترتیب می‌توان خطوط $f/f_z > 10$ ، $\theta = 0^\circ$ ، $\theta = +90^\circ$ را بعنوان تقریب در نظر گرفت. این خطوط توسط خطی که $\theta = 45^\circ$ در $f = f_z$ عبور کرده و شیب آن $+45^\circ$ بود بهم می‌رسند، بهمدیگر متصل می‌شوند. نمودار ایده‌آل شده روی بود در شکل ۵-۲ ، برای زاویه فاز تابع تبدیل یک صفری نشان داده شده است.

تابع تبدیل یک صفری یک تابع تبدیل غیر فیزیکی است زیرا بطوری که تابع آن نشان می‌دهد ، برای $f \to \infty$ مقدار آن نامحدود می‌گردد. یک مدار عملی ، دارای تابع تبدیل مرکب از یک یا چندین صفر همچنین یک یا چندین قطب نظیر همتایان می‌باشد ، بطوری که تعداد قطب‌های آن تابع تبدیل کمتر از تعداد صفرهای آن است. قطب‌ها تابع تبدیل کنده فرکانس 3dB پائین و بالای آن می‌باشد.

تابع تبدیل دو قطبی

تابع تبدیل دو قطبی شکلهای دارد که قطب در f_{p_1} و قطب دیگر در f_{p_2} داده می‌شود بصورت زیر می‌باشد :

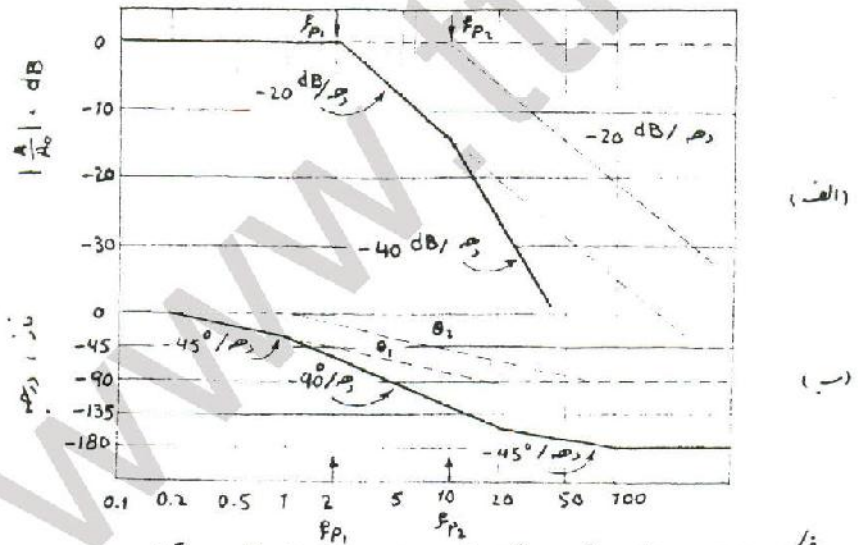
www.tnar.ir

$$A(jf) = \frac{A_0}{[1+j(f/f_{P_1})][1+j(f/f_{P_2})]} \qquad (۲-۱۶)$$

مقدار این تابع برحسب دسی بل برابر است با

$$|A|_{dB} = 20\log|A_0| - 20\log\sqrt{1+(f/f_{P_1})^2} - 20\log\sqrt{1+(f/f_{P_2})^2} \qquad (۲-۱۷)$$

با توجه به مطالبی که ذکر شد، ملاحظه میشود که در جمله اول عبارت فوق که خط افقی بوده و جمله سوم دارای فصلی است که از $f=f_{P_1}$ عبور کرده و دارای شیب -20^{dB} برحسب dB یا -6^{dB} برآکتاو میباشد، و جمله سوم نیز دارای فصلی است که با همان شیب، از نقطه‌ی $f=f_{P_2}$ عبور میکند. این خطوط در شکل الف ۶-۲ با خطوط نقطه چین مشخص شده اند در مجموع آنها همان نمودار ایده آل شده برحسب dB است که با خط پررنگ نشان داده شده است. دقت کنید که در رابطه فرض شده است که $f_{P_2} > f_{P_1}$ باشد. برای $f > f_{P_2}$ شیب خط



شکل ۶-۲ : الف) نمودار ایده آل شده دامنه برحسب برای تابع تبدیل دو قطبی.
ب) نمودار ایده آل شده فاز برحسب برای تابع تبدیل دو قطبی.

حاصر -40^{dB} برحسب یا -12^{dB} برآکتاو است.

تابع فاز این تابع تبدیل بصورت زیر میباشد:

$$\theta = -\text{arc tg}\, f/f_{P_1} - \text{arc tg}\, f/f_{P_2} \qquad (۲-۱۸)$$

www.tnar.ir

دامنه نیز می‌توان با در نظر گرفتن تمام جهات عبارت فوق نظیر شکل ب ۶-۲ دیاگرام مانند لوب را رسم نمود . اثر هریک از قطب‌ها در مقدار مانند θ در این شکل نظیر حد گانه با خطوط نقطه چین نشان داده شده‌اند . بعنوان مثال ، معنی مشخص شده توسط θ_2 اثر قطب p_2 را نشان می‌دهد . با در نظر گرفتن مطالب گفته شده ، نیم مرتبه در برابر $f \ll 0.1 p_2$ ، زاویه مانند θ_2 برابر 0° بوده برای فرکانس‌های $f \gg 10 p_2$ ، زاویه θ_2 برابر -90° می‌باشد و برای $0.1 p_2 \le f \le 10 p_2$ ، θ_2 با افزایش فرکانس با شیب 45° بر دهه کاهش می‌یابد . در $f = p_2$ ، $\theta_2 = -45^\circ$ است . زاویه مقدار تابع تبدیل حاصل از مجموع دو معنی نقطه چین در هر فرکانس لوب در شکل ب ۶-۲ با خط پر نشان داده شده است . (شکل ۶-۲ برای حالت خاصی در آن $p_2 = 5 p_1$ است رسم شده است .)

با استفاده از جدول ۱-۲ می‌توان منحنی دقیق لوب را بدست آورد . برای اینکار ، در معنی دقیق مربوط به هرکدام از فرکانس‌های p_1 و p_2 رسم شده و با افزودن این دو معنی بهم ، منحنی واقعی لوب را بدست آوریم . برای تابع مانند لوب نیز به طریق مشابه عمل کرده و با استفاده از جدول ۱-۲ شکل دقیق این مشخصه را تعیین می‌نمائیم .

قطب غالب[1]

در رابطه (۶-۲) هرگاه p_1 خیلی کوچکتر از p_2 باشد ، در اینصورت با استفاده از مطالب فوق و با توجه به شکل ۶-۲ مشاهده می‌شود که فرکانس 3 dB با تقریب برابر p_1 می‌شود . اگر $p_2 = 4 p_1$ باشد ، در اینصورت با استفاده از منحنی دقیق می‌توان نشان داد که فرکانس 3dB تنها ۶ درصد کمتر از p_1 می‌باشد . بنابراین در هرگاه یک تابع تبدیل دارای چنین قطب در پاسخ فرکانسی - بالا باشد و کوچکترین این قطب‌ها p_1 بوده و هیچکدام از قطب‌های دیگر این تابع حداقل دو اکتاو بالاتر قرار نگیرند ، در اینصورت این تقویت کننده تقریبا یک مدار با ثابت زمانی منفرد[2] که فرکانس قطع آن p_1 است عمل می‌کند . فرکانس p_1 را قطب غالب می‌نامند .

۲-۵ : پاسخ فرکانس - پائین یک تقویت کننده ترانزیستوری

پاسخ فرکانس - پائین یک تقویت کننده ترانزیستوری توسط خازنهای بای پاس و کوپلاژ تقویت کننده تعیین می‌شود . در نظر گرفتن اثر تمام این خازنها بمنظور تعیین تابع تبدیل تقویت کننده در حالت کلی بسیار پیچیده و احتیاج به بررسی دقیق و تجزیه و

---

(1) dominant pole

(2) single-time constant