

# ادوات نیمه هادی

## فصل اول

pn نیمه هادی ها ، اتصالات و پیوند

# MOS عملکرد و بررسی ترانزیستور

- مرجع : کتاب عملکرد و مدل سازی ترانزیستور MOS – انتشارات دانشگاه تهران  
1378

- نسخه جدید :

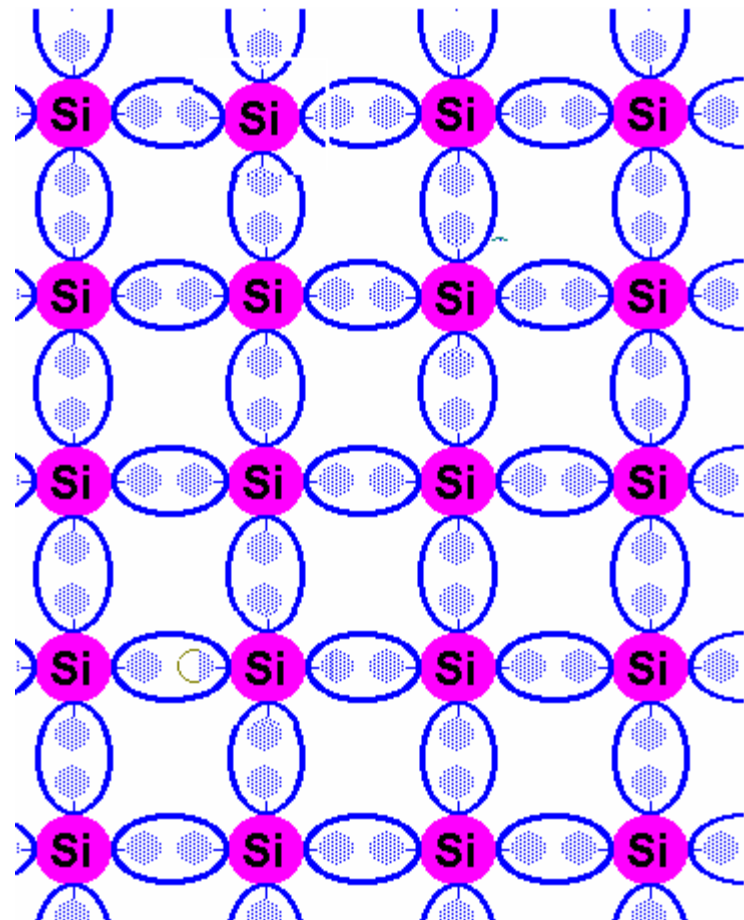
**Operation and Modeling of the MOS transistor**

**” MC Grow Hill 1999 ”**

- تفاوت عمدتاً در فصل 10 است. **Mosfet Modeling for ckt Simulation**

# سر فصل مطالب

- فصل 1 : نیمه هادی ها ، اتصالات و پیوند pn
- فصل 2 : ساختار دو پایانه ای MOS
- فصل 3 : ساختار سه پایانه ای MOS
- فصل 4 : ترانزیستورهای چهار پایانه ای
- فصل 5 : آثار کانال کوتاه و کانال باریک
- فصل 6 : ترانزیستور MOS دارای کانال کاشت یونی
- فصل 7 : ترانزیستور MOS در عملکرد دینامیکی – مدل سیگنال کوچک
- فصل 8 : مدل سیگنال کوچک برای فرکانسهای پایین و میانی
- فصل 9 : مدل سیگنال کوچک برای فرکانس بالا



# نیمه هادی ها

شرط تعادل:

$$np \approx n_i^2$$

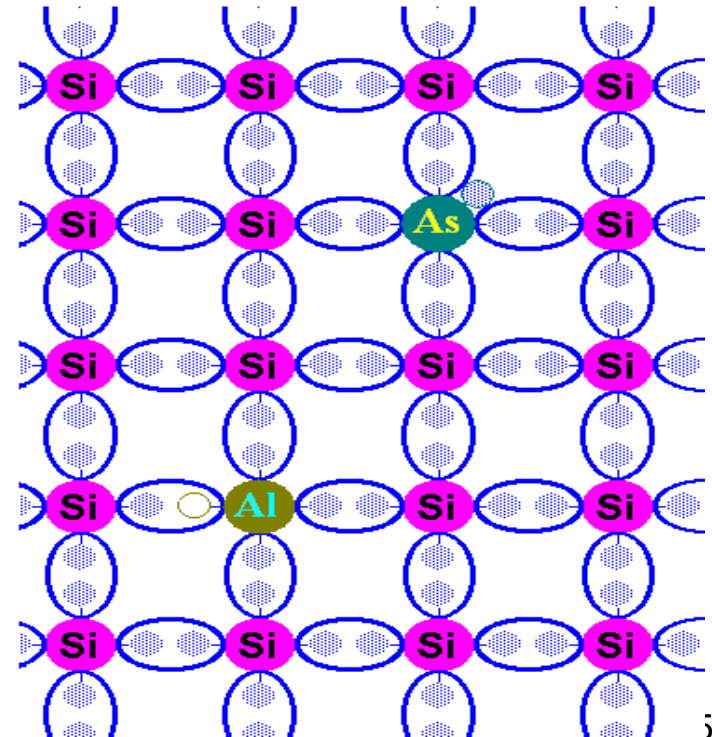
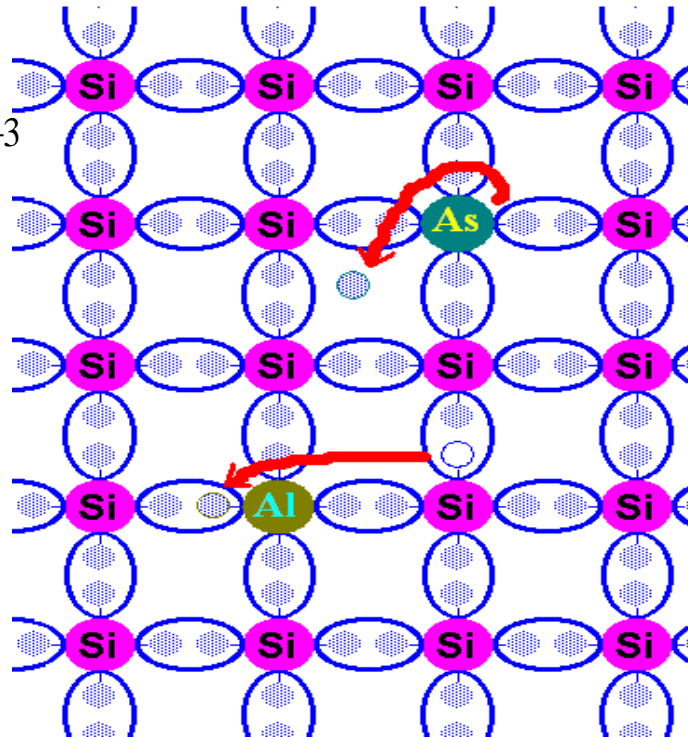
$T > 0^\circ \text{K}$

$T = 0^\circ \text{K}$

$$n_i = p_i = 1.4 \times 10^{10} \text{ cm}^{-3}$$

$$n \approx N_D$$

$$p \approx N_A$$



# ساز و کار جریان

رانشی : به علت قرار گرفتن حاملها در یک میدان الکتریکی  
نفوذی : به علت وجود گرادیان حاملها

$$\frac{n_1}{n_2} = e^{\psi_{12}/\phi_t} \quad \text{حالت تعادل:}$$

$$J_{n,drift} = (-q)n(-v_d) = qn\mu_n E$$

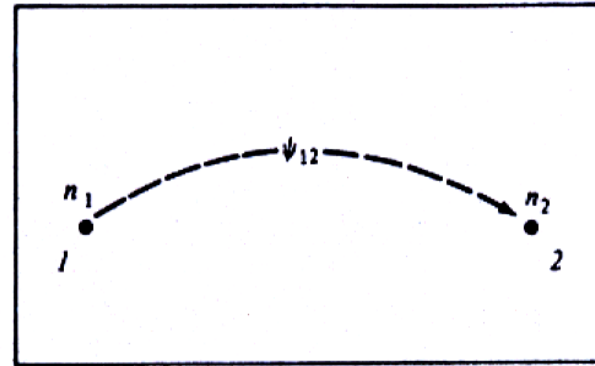
$$J_{n,diff} = (-q)D_n \left( -\frac{\partial n}{\partial x} \right)$$

$$J_{n,total} = J_{n,drift} + J_{n,diff} = 0$$

$$= qn\mu_n E + qD_n \frac{\partial n}{\partial x} = 0 \quad \Rightarrow \quad E = \frac{1}{n} \left( \frac{KT}{q} \right) \frac{\partial n}{\partial x}$$

# ساز و کار جریان

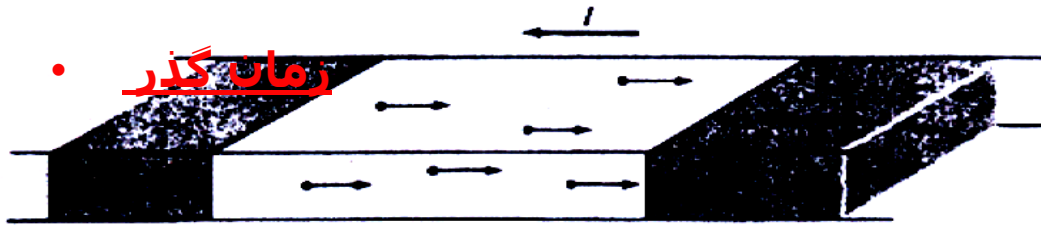
$$E = -\frac{1}{n} \left( \frac{KT}{q} \right) \frac{\partial n}{\partial x}$$



با انتگرال گیری

$$\int_{\psi 1}^{\psi 2} d\psi = \int_{x1}^{x2} E dx = -\frac{KT}{q} \int_{n1}^{n2} \frac{dn}{n}$$
$$\Rightarrow \frac{n_1}{n_2} = e^{\frac{\psi_{12}}{\phi_t}}$$

# هدایت



می گذرد، هیچ گونه بازترکیبی وجود ندارد. فرض کنید از یک قطعه نیمه هادی جریان ندارد. همه الکترون ها در مدت زمان ثابتی که زمان گذر نامیده می شود (به طور متوسط)  $\tau$  قطعه را ترک می کنند

$Q$  بار الکترون ها =

$$\tau = \frac{|Q|}{I}$$

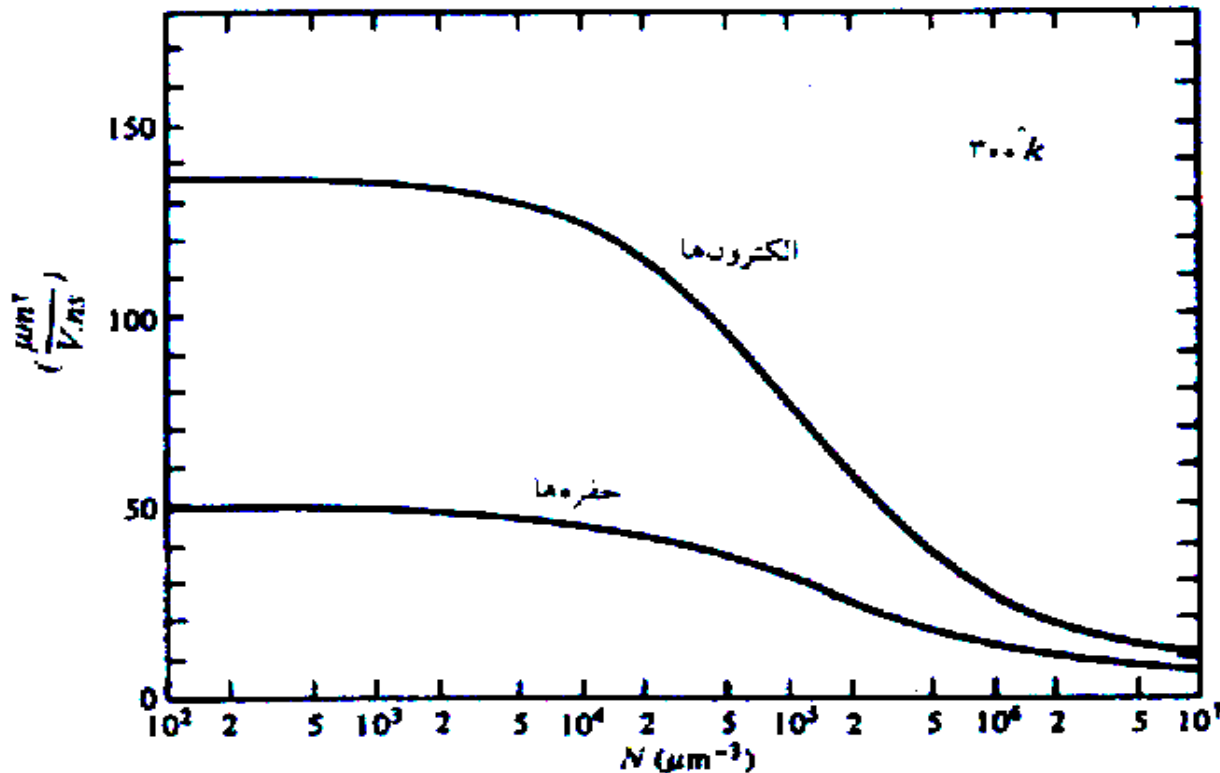
## رانش

در میدانهای بزرگ سرعت حاملها متناسب با میدان افزایش می یابد. در میدانهای بزرگ سرعت حاملها ثابت و مساوی سرعت اشباع است

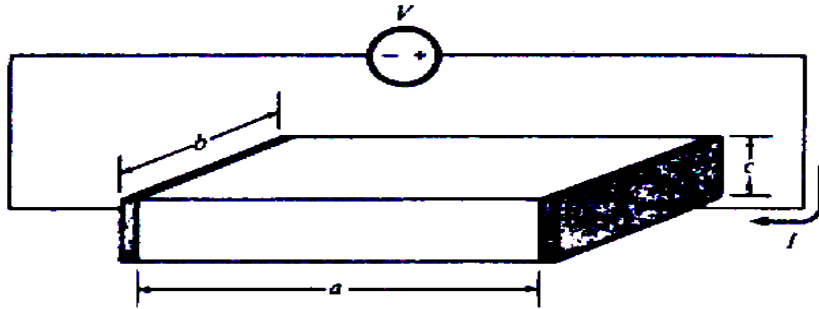


# قابلیت حرکت در دمای ثابت بر حسب تراکم ناخالصی در داخل نیمه هادی

- با افزایش تراکم ناخالصی قابلیت حرکت کاهش می یابد
- در سطح نیمه هادی ساز و کار پراکندگی ناشی از زبری سطح موجب می شود در سطح نیمه هادی ، قابلیت حرکت کمتر از مقادیر حاصل از منحنی باشد.



# محاسبه زمان گذر در ساز و کار رانشی



$V_d$ : سرعت رانشی

$n$ : تراکم حاملها

$\tau$ : زمان گذر

$$Q = nqabc$$

$$I = |Q|/\tau$$

$$\tau = \frac{a}{|v_d|}$$

$$I = nq(bc)|v_d|$$

تعریف بار بر واحد سطح (بالایی)

$$|Q'| = \frac{|Q|}{ab} = nqc$$

$$I = nq(bc)|v_d| = b|Q'| |v_d|$$

$$\left\{ \begin{array}{l} v_d = \mu_B |E| \\ E = \frac{V}{a} \end{array} \right. \Rightarrow \left\{ \begin{array}{l} |v_d| = \frac{\mu_B V}{a} \\ \tau = \frac{a}{|v_d|} \end{array} \right. \left. \vphantom{\left\{ \begin{array}{l} v_d = \mu_B |E| \\ E = \frac{V}{a} \end{array} \right.}} \right\} \tau = \frac{a^2}{\mu_B V}$$

## محاسبه زمان گذر در ساز و کار رانشی

$$\tau = \frac{a^2}{\mu_B V}$$

**$\tau$  با توان دوم  $a$  متناسب است ، زیرا :**

1. با افزایش طول قطعه زمان گذر افزایش پیدا می کند.
2. با افزایش طول قطعه میدان الکتریکی کوچکتر می شود.

# محاسبه جریان رانشی

$$\left. \begin{aligned} I &= \frac{nq(abc)}{\tau} \\ \tau &= \frac{a^2}{\mu_B V} \end{aligned} \right\} \begin{aligned} &\sigma \\ I &= \overbrace{nq\mu_B}^{\sigma} \cdot \frac{bc}{a} \cdot V \\ |Q'| &= \frac{|Q|}{ab} = nqc \end{aligned} \right\} I = \mu_B |Q'| \cdot \frac{b}{a} \cdot V$$

ملاحظه می شود ضخامت به تنهایی نقشی در جریان ندارد  
(حاصلضرب  $n \cdot c$  اهمیت دارد)

# نفوذ

ذرات ضمن حرکت تصادفی از طرفی که تراکمشان بیشتر است به سمتی که تراکمشان کمتر است نفوذ می کنند.

(ثابت نفوذ)

اگر برش  $\Delta x$  در جهت  $x$  در نظر بگیریم :

$$I = -D_n q(bc) \left(-\frac{dn}{dx}\right)$$

$$D_n = \mu_B \frac{kT}{q} = \mu_B \phi_t$$

$$Q = -q(bc)\Delta x.n(x)$$

$$Q' = (-q)c.n(x) \Rightarrow \frac{dn(x)}{dx} = (-1/qc) \frac{dQ'}{dx}$$

$$I = -\mu_B \phi_t q(bc) \left(-\frac{dn}{dx}\right) = \mu_B \phi_t b \frac{dQ'(x)}{dx}$$

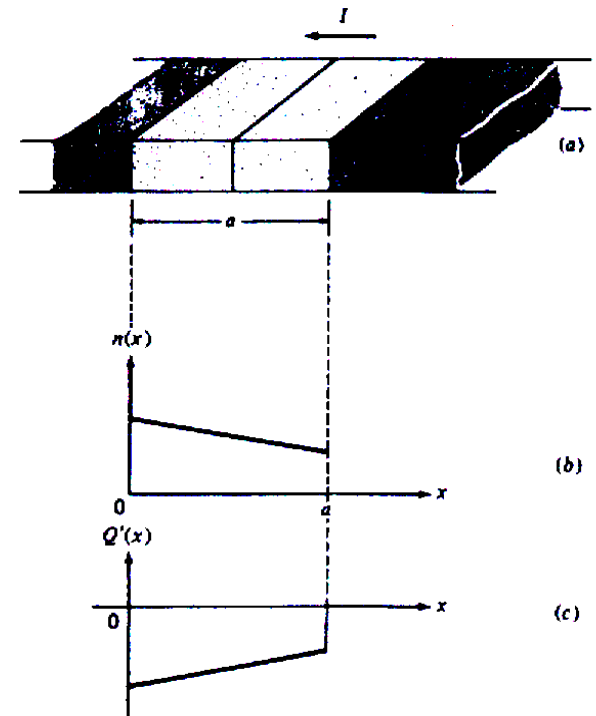
$$\frac{dQ'(x)}{dx} = \frac{Q'(a) - Q'(0)}{a}$$

از روی منحنی

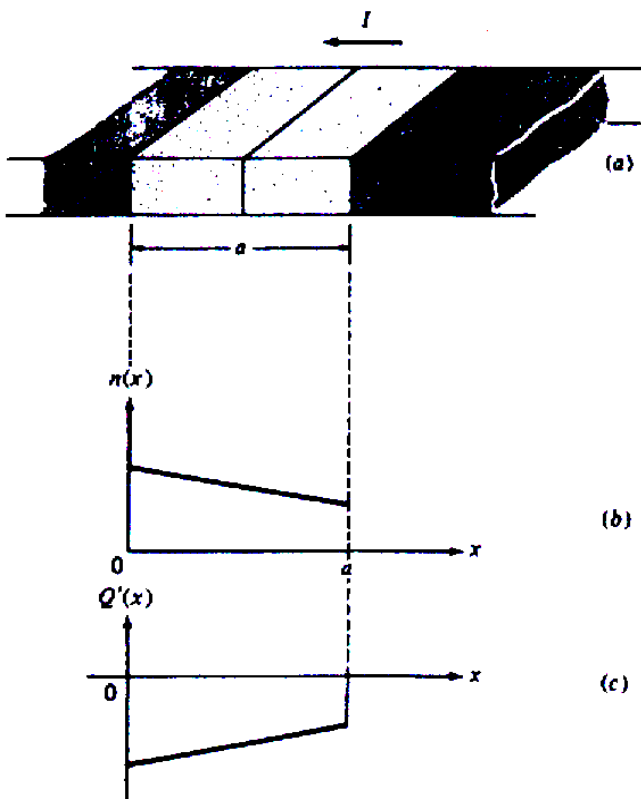
$$I = \mu_B \phi_t \frac{b}{a} [Q'(a) - Q'(0)]$$

$$Q = ab \frac{Q'(a) + Q'(0)}{2}$$

$$\tau = \frac{Q}{I} = \frac{a^2}{\mu_B (2\phi_t)} \cdot \frac{Q'(0) + Q'(a)}{Q'(0) - Q'(a)}$$



# نفوذ



$$\tau = \frac{Q}{I} = \frac{a^2}{\mu_B (2\phi_t)} \cdot \frac{Q'(0) + Q'(a)}{Q'(0) - Q'(a)}$$

در شرایط خاصی که  $Q'(a) = 0$  داریم :

$$\tau = \frac{a^2}{2\mu_B \phi_t}$$

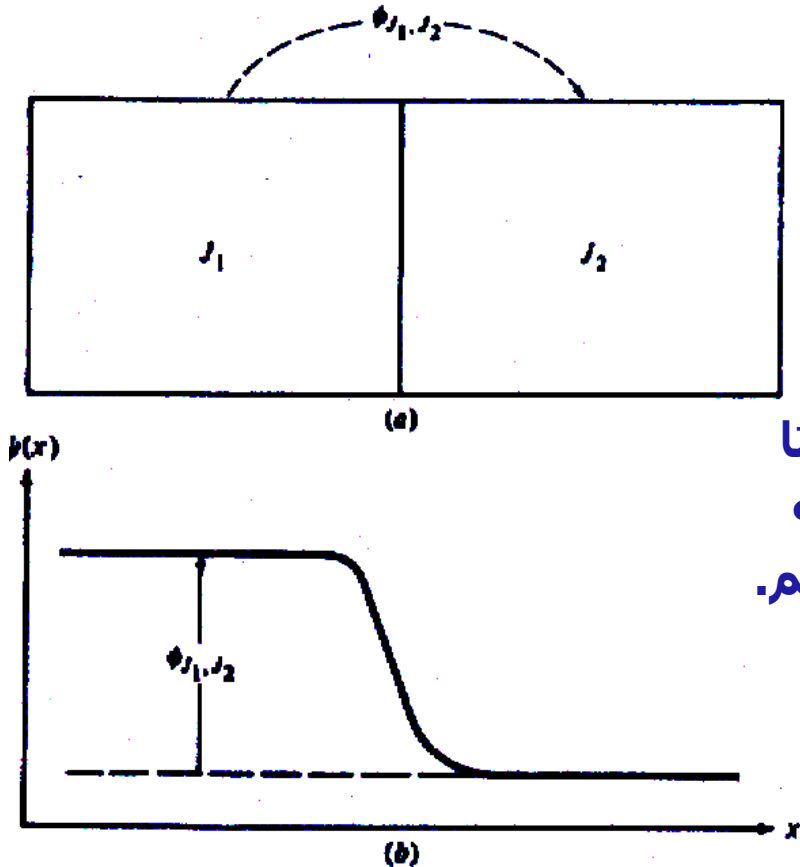
$\tau$  با توان دوم  $a$  متناسب است ، زیرا :

1. با افزایش طول قطعه گرادیان حاملها کوچکتر می شود. (  $I \searrow$  )

2. با افزایش طول قطعه با حاملها بیشتر می شود. (  $Q \nearrow$  )

# پتانسیل اتصال

- انرژی حاملها در  $J_1$  با انرژی حاملها در  $J_2$  متفاوت است.
- هیچگونه میدان الکتریکی مخالف وجود ندارد.
- مقدار افت پتانسیلی که در طول پیوند از  $J_1$  به  $J_2$  اتفاق می افتد را پتانسیل اتصال ماده  $J_1$  نسبت به  $J_2$  مینامند و با  $\Phi_{j_1,j_2}$  نشان داده می شود.
- دانستن مفهوم پتانسیل اتصال به ما کمک می کند تا معادلات اساسی افزاره های MOS را بدون آنکه نیاز به استفاده از نوارهای انرژی داشته باشیم به دست آوریم.



# پتانسیل اتصال

$\Phi_j$ : پتانسیل اتصال بین ماده J و سیلیسیم ذاتی

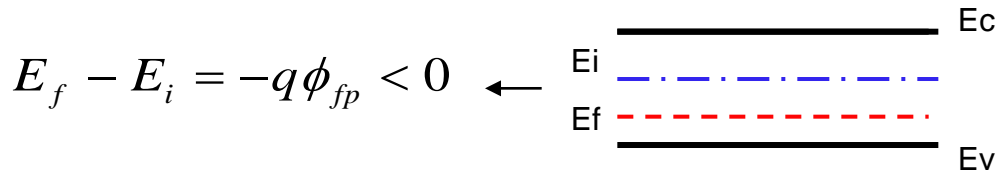
مقادیر تقریبی پتانسیل اتصال مواد با سیلیسیم ذاتی (بر حسب ولت)

$\Phi_j$	ماده
-4/0	<i>Ag</i>
-3/0	<i>Au</i>
0/0	<i>Cu</i>
+15/0	<i>Ni</i>
+6/0	<i>Al</i>
+35/1	<i>Mg</i>
$-\Phi_F$	غیر ذاتی <i>Si</i>
0	ذاتی <i>Si</i>



# پتانسیل اتصال

**پتانسیل فرمی  $\Phi_f$  :** برای سیلیسیم غیر ذاتی پتانسیل اتصالی است که از پیوند میان سیلیسیم ذاتی و غیر ذاتی تحت شرایط تعادل حرارتی بوجود می آید. (پتانسیل نیمه هادی ذاتی نسبت به نیمه هادی غیر ذاتی)



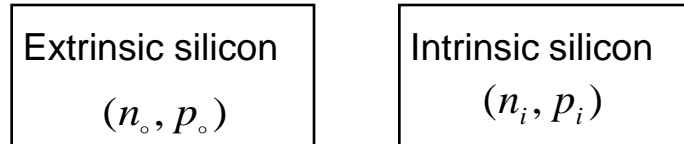
• برای ماده نوع **p** :

$$\phi_{fp} = +\phi_t \ln(N_A/n_i)$$

برای ماده نوع **n** :

$$\phi_{fn} = -\phi_t \ln(N_D/n_i)$$

**مثال:** در مورد پیوند Si ذاتی و نیمه هادی نوع p حفره به طرف نیمه هادی ذاتی می رود.



**P type**

**$\Phi_f$  - از کمیات ذاتی ماده است.**

پتانسیل نیمه هادی ذاتی نسبت به نیمه هادی نوع **p** مثبت تر می شود }  $\phi_{fp} > 0$

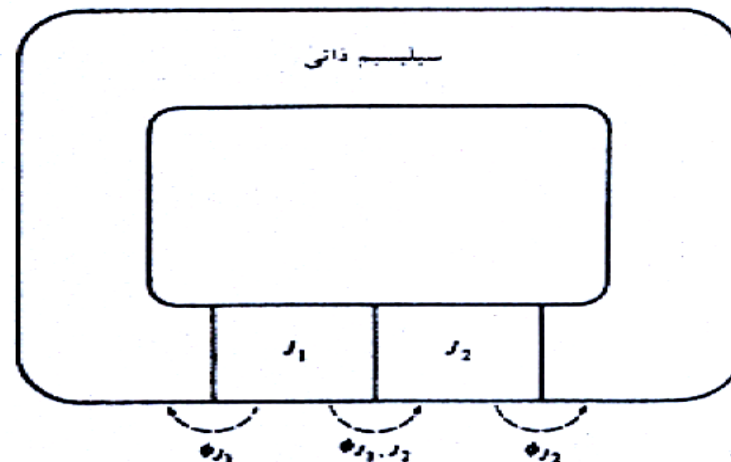
# پتانسیل اتصال

محاسبه پتانسیل اتصال برای هر دو ماده دلخواه

پتانسیل اتصال ماده اول (پتانسیل ماده 1 نسبت به Si ذاتی)  $\phi_{j1,j2} = \phi_{j1} - \phi_{j2}$

پتانسیل اتصال ماده دوم (پتانسیل ماده 2 نسبت به Si ذاتی)

- با استفاده از KVL در حلقه زیر:



$$\phi_{j1,j2} = \phi_{j1} - \phi_{j2}$$

# پتانسیل اتصال

سری کردن چند ماده :

$$\psi_{KL} = \phi_{j1,j2} + \phi_{j2,j3} + \dots + \phi_{jn-1,jn}$$

$$\psi_{KL} = (\phi_{j1} - \phi_{j2}) + (\phi_{j2} - \phi_{j3}) + \dots$$

$$\psi_{KL} = \phi_{j1} - \phi_{jn}$$

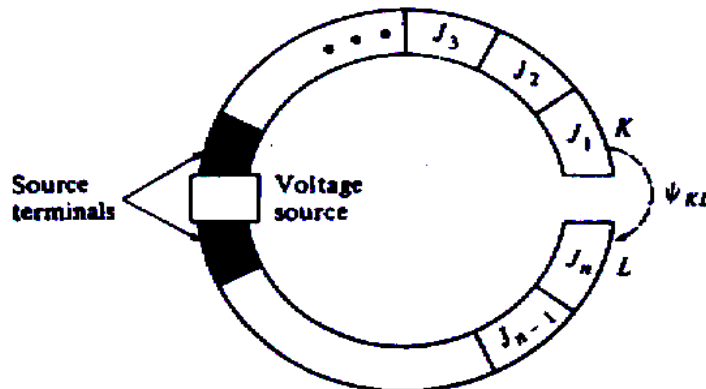
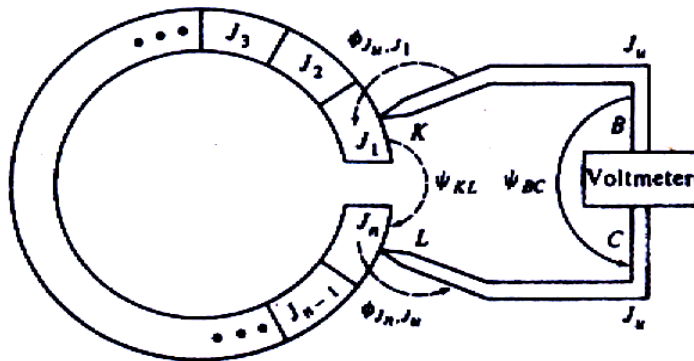
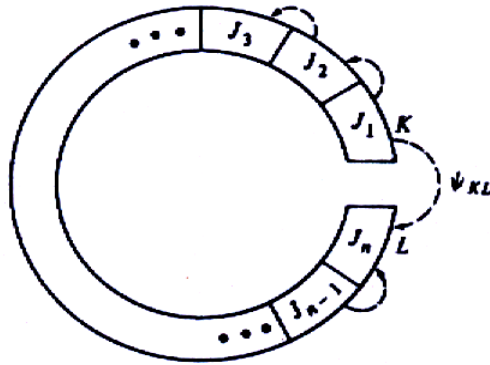
عدم امکان اندازه گیری پتانسیل اتصال با ولتتر :

$$\psi_{BC} = (\phi_{jU} - \phi_{j1}) + \psi_{KL} + (\phi_{jn} - \phi_{jU})$$

$$\psi_{BC} = 0$$

اگر در سیستم منبع ولتاژ نیز موجود باشد :

$$\psi_{KL} = V_{source} + \phi_{j1} - \phi_{jn}$$



# پیوند pn

- اتصال پله ای:** تغییرات ناخالصی از n به p در نزدیکی مرز به صورت تیز رخ می دهد. در شکل تراکم ناخالصی ناحیه n نسبت به ناحیه p بیشتر است.
- الکترونها در طرف n تمایل دارند که در p نفوذ کنند و اتمهای ثابت دهنده را با بار مثبت باقی گذارند.
  - حفره ها از طرف p به طرف n نفوذ کرده و اتمهای پذیرنده غیر متحرک را با بار منفی باقی می گذارند.

## - تقریب تخلیه:

فرض می شود پدیده های فوق منجر به تخلیه کامل حاملها در ناحیه تخلیه گردد.

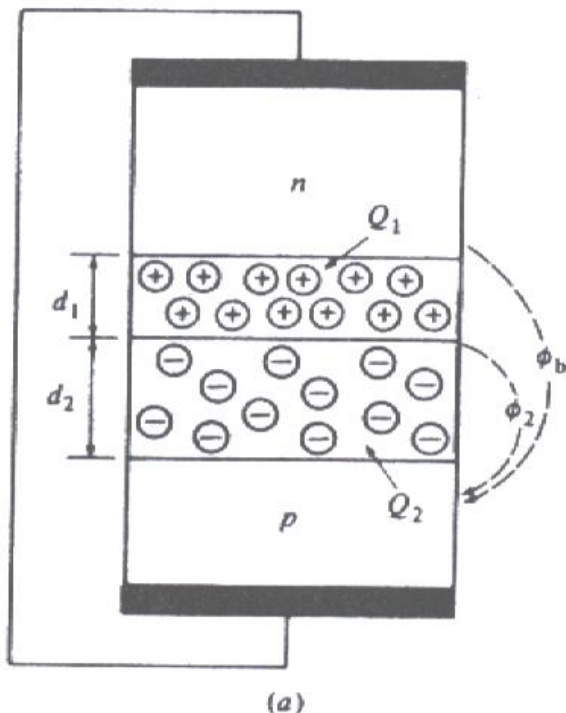
$$\phi_0 = \phi_{Fp} - \phi_{Fn}$$

$$Q_1 = +q(l_1 A) N_D \quad \text{n: بار کل ناحیه تخلیه در طرف}$$

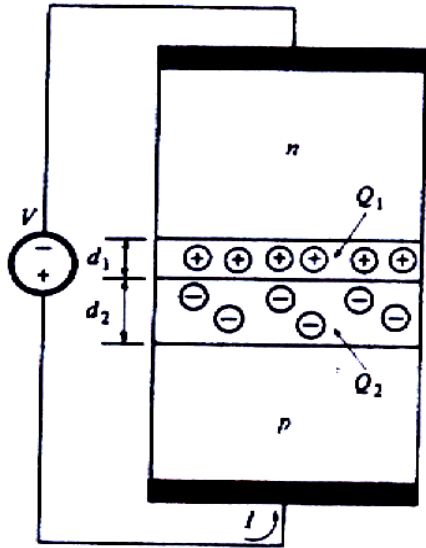
$$Q_2 = -q(l_2 A) N_A \quad \text{p: بار کل ناحیه تخلیه در طرف}$$

$$Q_1 = -Q_2 \quad \text{مجموع بارها صفر بنابراین:}$$

$$n^+ p \Rightarrow N_D \gg N_A \Rightarrow l_1 \ll l_2$$



# پیوند pn



$$l_2 = \sqrt{\frac{2\epsilon_s}{qN_A}} \cdot \sqrt{\phi_0}$$

$$Q' = -F \sqrt{N_A} \sqrt{\phi_0}$$

$$F = \sqrt{2q\epsilon_s}$$

$$Q' = \frac{Q_2}{A}$$

بایاس مستقیم :  $V > 0$  و  $\phi_0 \Rightarrow \phi_0 - V$

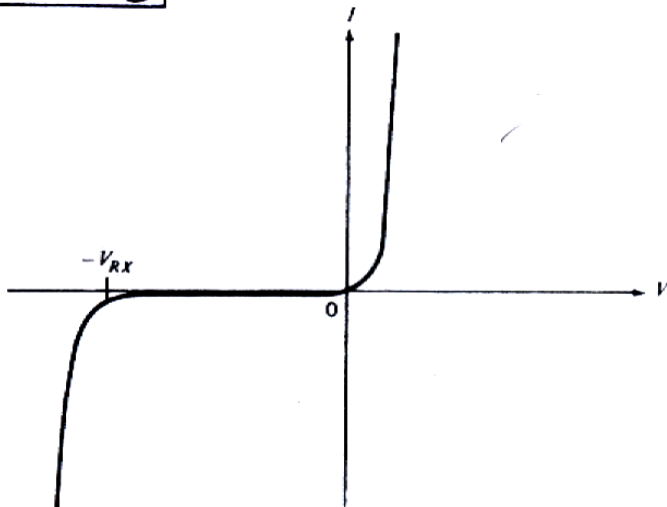
- می توان نشان داد :

$$I = I_0 \left( e^{\frac{V}{\phi_t}} - 1 \right)$$

$I_0$  : کمیت وابسته به جزئیات ساختار و تابعی افزایشی از حرارت

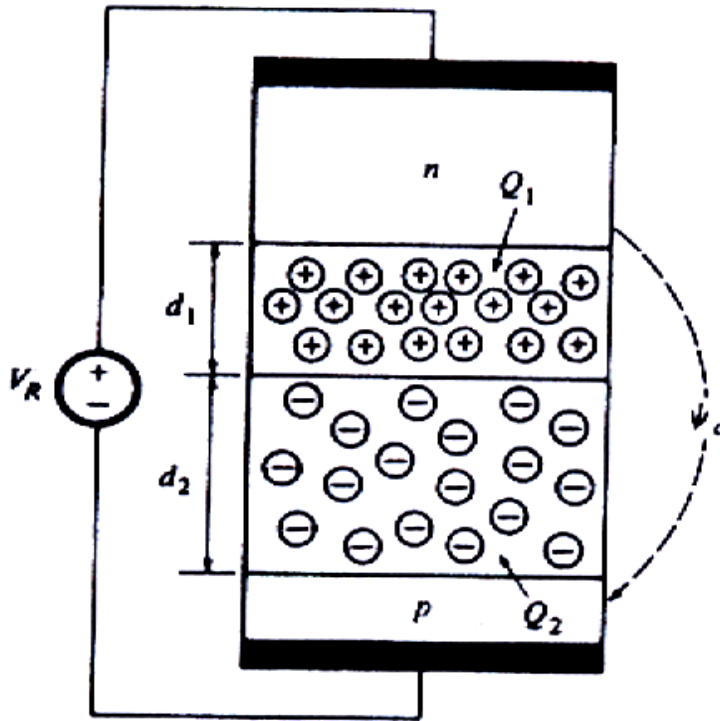
$$\phi_t = \frac{kT}{q}$$

$\Phi_t$  : ولتاژ حرارتی



# پیوند pn

بایاس معکوس :  $V_R > 0$



- شدت میدان در هر نقطه افزایش می یابد.

- پهنای ناحیه تخلیه افزایش می یابد.

- اگر ناخالصی n بیشتر باشد اصل خنثایی بار بیان می کند که افزایش پهنای در طرف p بیشتر باشد.

- تعداد کمی از حاملهای اقلیت هر ناحیه که در لبه ناحیه تخلیه هستند بواسطه میدان ایجاد شده به طرف دیگر می روند و جریان معکوسی ایجاد می کنند.

- $I_0$  وابستگی شدید به حرارت دارد. (برای هر  $10^\circ\text{C}$  افزایش دما دو برابر می شود)

# پیوند pn

شکست معکوس :  $V_R > V_{RX}$

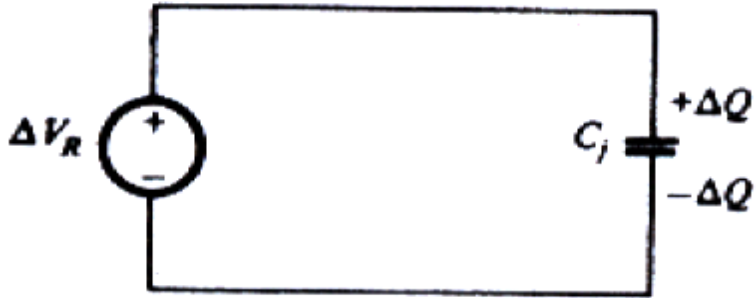
در حالت معکوس دیگر روابط حالت تعادل (  $np \approx n_i^2$  ) ویا (  $n_1/n_2 = \exp(\phi_{12}/\phi_t)$  ) برقرار نخواهد بود.

$$\psi_c = \phi_0 + V_R$$

$$l_2 = \sqrt{\frac{2\xi_s}{qN_A}} \cdot \sqrt{\psi_c}$$

$$Q'_2 = -F \sqrt{N_A} \cdot \sqrt{\psi_c}$$

# خازن سیگنال کوچک پیوند pn در بایاس معکوس:



$$\Delta V_R \Rightarrow \Delta Q_1 = +\Delta Q$$

$$\Delta Q_2 = -\Delta Q$$

$$C_j = \frac{\Delta Q}{\Delta V_R} \rightarrow C'_j = -\frac{dQ'_2}{dV_R}$$

$$C'_j = \frac{F \sqrt{N_A}}{2 \sqrt{V_R + \phi_0}}$$

برای پیوند پله ای یک طرفه:

$$C'_j = \frac{C'_{j_0}}{[(V_R/\phi_0) + 1]^{1/2}}$$

و

$$C'_{j_0} = C'_j(V = 0)$$

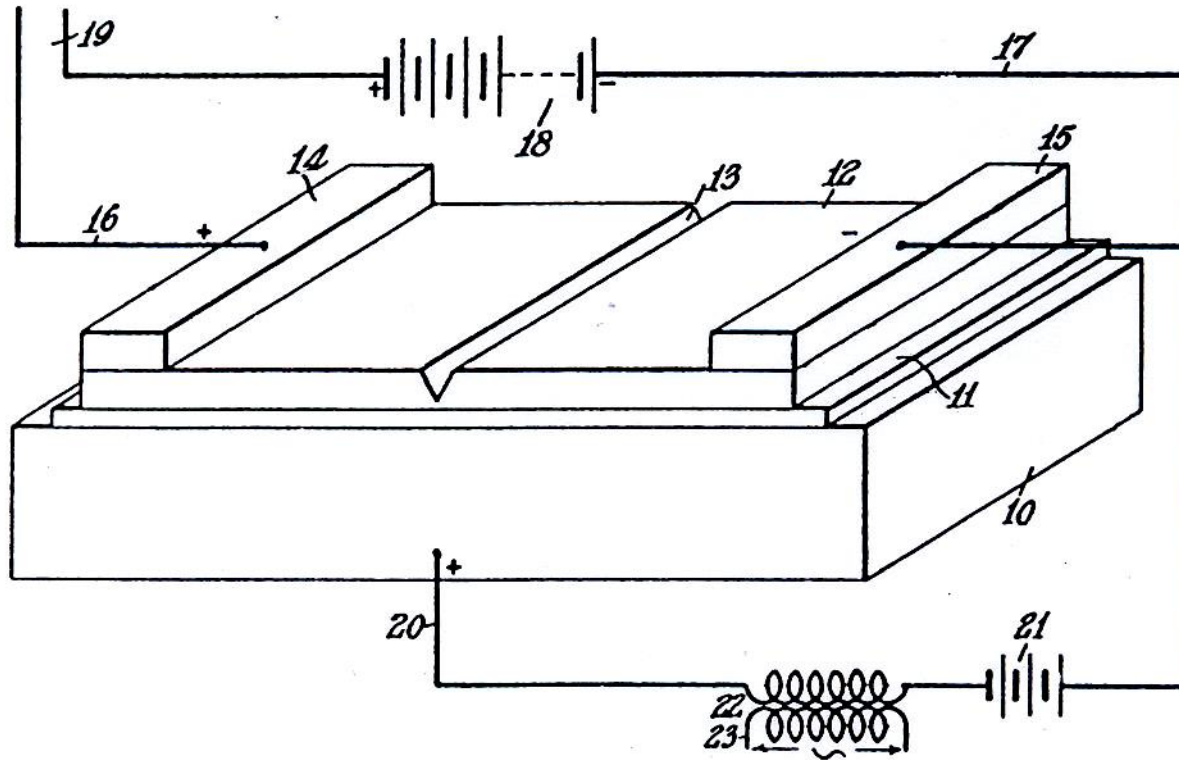
برای توزیع های پیچیده تر:

$$C'_j = \frac{C'_{j_0}}{[(V_R/\phi_0) + 1]^{\alpha_j}}$$



# MOS بررسی ترانزیستور

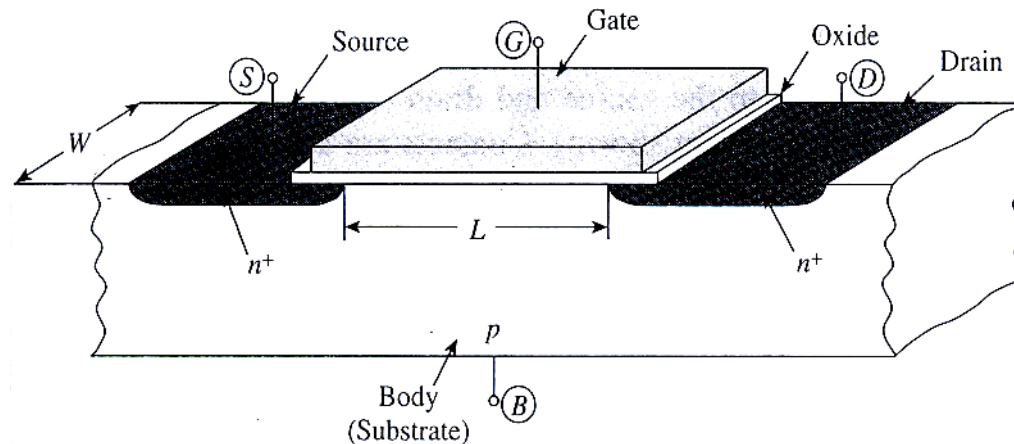
- ایده اساسی آن در سال 1930 توسط جی-ای-لیلیانفلا مطرح شد.



شکل 1- ترانزیستور اولیه

# MOS بررسی ترانزیستور

- با یک بخش مرکزی عایق از p ترانزیستور امروزی بر روی بستر سیلیسیم نوع نوع اکسید سیلیسیم ساخته می شود. چنانچه در شکل مشاهده می شود دو ناحیه در اطراف گیت توسط کاشت یونی اتمهای دهنده تشکیل می گردد این نوع با پتانسیل  $n^+$  می گوئیم. ناحیه سورس به ناحیه  $n$  افزاره را اصطلاحاً کانال با پتانسیل بالاتر اطلاق می شود. این افزاره ،  $n^+$  پایینتر و ناحیه درین به ناحیه نامیده می شود. IGFET و یا MOSFET و یا IMOS اصطلاحاً ترانزیستور

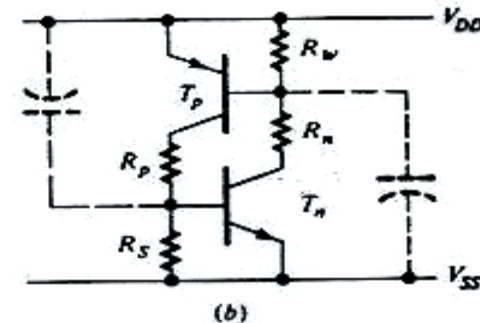
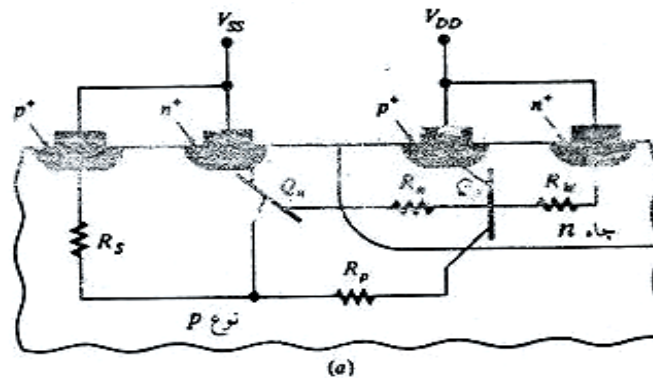


شکل 2- ترانزیستور امروزی

# MOS بررسی ترانزیستور

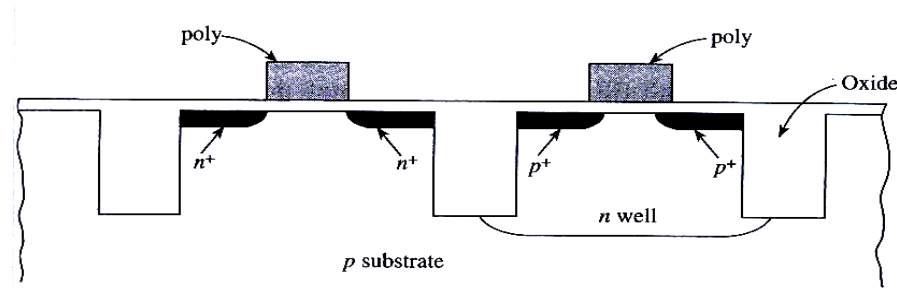
## پدیده قفل شدگی :

- ساخته می شوند بایاس مستقیم شده و p-n دیود هایی که توسط پیوند های سبب ایجاد ترانزیستور دو قطبی و نوعی فیدبک مثبت می شوند. این نوع دیودها در شرایط روشن قفل شده و جریان بسیار زیادی از آنها عبور می کند. جهت جلوگیری از این پدیده از بستر با تراکم ناخالصی بالا استفاده می شود.
- MOS از طرفی این عمل سبب ایجاد تأثیرات نامطلوبی بر روی کار ترانزیستور با ناخالصی p می گردد. در برخی از فرآیندهای ساخت از یک لایه کم عمق نوع رشد داده می شود استفاده می گردد. p+، که بر روی ناحیه EPI کم به نام



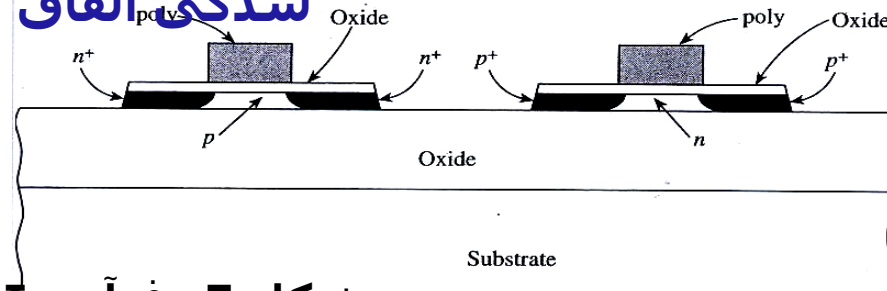
شکل 1-3) ساختار cmos همراه با ترانزیستورهای پیوندی طفیلی (b) مدار معادل

# MOS بررسی ترانزیستور



شکل 4- فرآیند STI (b)

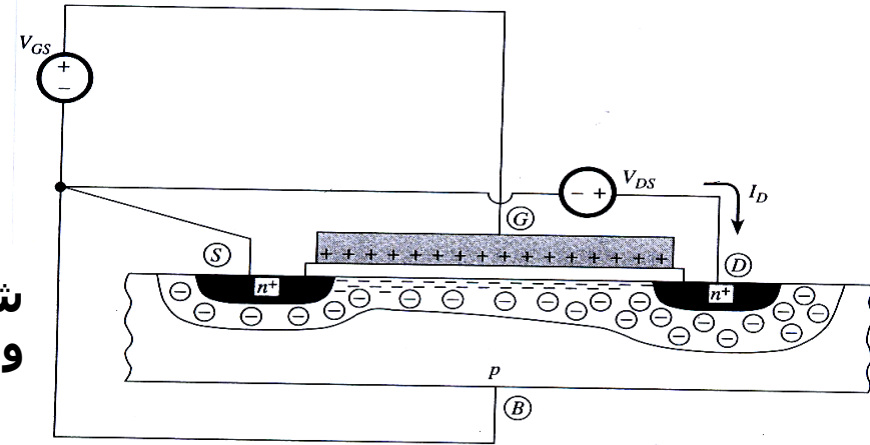
- استفاده STI در این فرآیند از عایق سازی توسط کانالهای کم عمق ( شده است. ایزوله کردن افزاره ها توسط منفذهای پر شده با اکسید انجام می شود. بدین ترتیب می توان تراکم افزاره ها را بدون اینکه قفل شدگی اتفاق بیفتد بالا برد.



شکل 5- فرآیند SOI (c)

- افزاره توسط اکسید محاصره شده است بنابراین از افزاره های مجاورش کاملاً ایزوله می باشد. در این فرآیند که به آن اصطلاحاً SOI گفته میشود بستر هر افزاره به طور معمول شناور رها می شود.

# توضیح کیفی عملکرد ترانزیستور MOS:



شکل 6- یک ترانزیستور NMOS تحت بایاس در ناحیه وارونگی

- که به اندازه کافی مثبت است حفره ها از سطح  $V_{gs}$  وارونگی: با اعمال یک ولتاژ دور شده در نتیجه ناحیه تخلیه شامل یونهای منفی پذیرنده ایجاد می شود. این ولتاژ سبب جذب الکترونها در سطح شده به نحوی که بتوانند وارد یکی یا هر دو شوند. بنابراین لایه ای که شامل الکترون است در سطح ایجاد میشود  $n^+$  ناحیه و به این لایه، لایه وارون گفته می شود.
- (سورس-بدنه و درین-بدنه) که به صورت بایاس p-n در اطراف هر دو اتصال به دلیل تراکم  $n^+$  معکوسند یک ناحیه تخلیه بوجود آمده است که این ناحیه در بالای آن بسیار کم عمق است.
- چون پتانسیل درین خیلی مثبت تر از پتانسیل سورس است بایاس معکوس این پیوند با بدنه زیاد تر بوده و ناحیه تخلیه زیر آن هم عمیق تر خواهد بود.

# MOS: توضیح کیفی عملکرد ترانزیستور

- هر چه مقدار پتانسیل گیت بیشتر باشد الکترونهای بیشتری در ناحیه سورس خواهیم داشت و میزان وارونگی در آن نقطه شدیدتر خواهد بود. تغییر ناچیزی در میزان ولتاژ گیت باعث تغییر بسیار بزرگی در تراکم الکترونهای لایه وارون می شود.
- با زیار شدن ولتاژ گیت افزاره از وارونگی ضعیف به وارونگی متوسط و شدید می سبب حرکت الکترونها از سورس به درون کانال و جمع  $V_{ds}$  رود. اختلاف پتانسیل آوری آن توسط درین می شود.

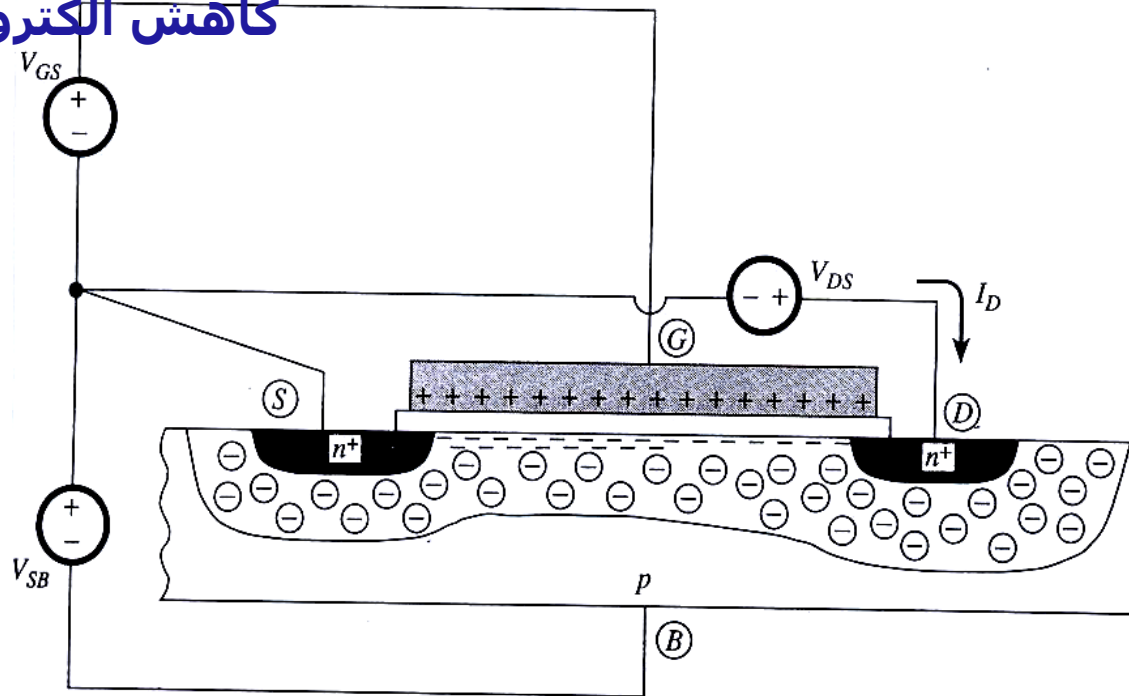


شکل 7-منحنی  $I_d$ - $V_{ds}$

- برای مقادیر کوچک  $V_{ds}$  تأثیر ولتاژ درین روی جریان زیاد است ولی در مقادیر بیشتر این تأثیر کاهش می یابد تا جایی که جریان اشباع شده و در یک مقدار ثابت باقی می ماند یعنی مقادیر بالای ولتاژ درین، تمام الکترونهای کانال را جمع آوری می کند.

# اثر بدنه:

- اگر سورس به بدنه اتصال کوتاه نشده باشد و ولتاژ بدنه منفی تر از ولتاژ سورس باشد، اگرچه میزان الکترونهای کانال کاهش می یابد و این اثر خود باعث کاهش می شود. در اینجا بدنه همانند یک گیت پشتی که توسط یک عایق (ناحیه تخلیه) از کانال جدا شده است عمل می کند بطوریکه اعمال ولتاژ منفی به آن باعث کاهش الکترونها می شود.

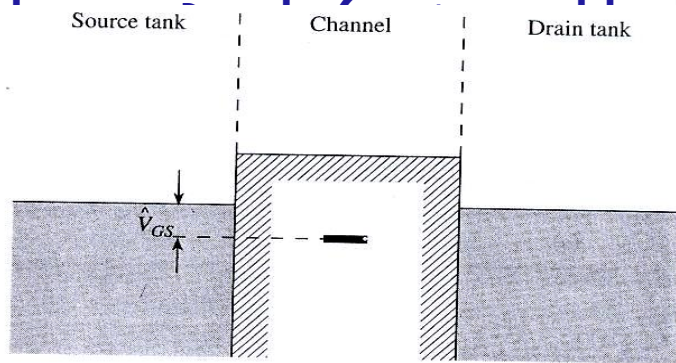


شکل 8- اعمال ولتاژ منفی به بدنه

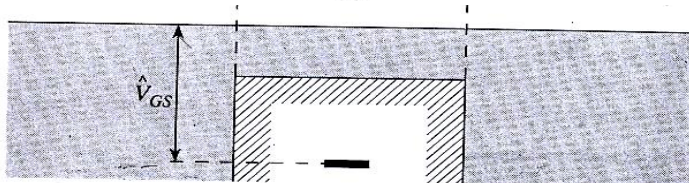
# به سیال MOS تشبیه عملکرد ترازیستور پویا

- فرض می کنیم که الکترونها همانند مولکولهای آب و جریان الکتریکی به منزله جریان آب است و سورس و درین مانند دو مخزن خیلی بزرگ باشند که هر کدام تا سطح معینی با آب پر شده اند.
- دو مخزن با پیستونی که متناظر با گیت ترازیستور است از همدیگر جدا میگردند نشان داده  $V_{gs}$  (مطابق شکل). عمق دستگیره نسبت به سطح سورس توسط شده است. در اینجا اعمال پتانسیل مانند پایین آوردن سطح پیستون میباشد. (پایین آوردن پیستون)  $V_{gs}$  شکل اول نمایانگر حالت قطع در کانال است. با اعمال ارتباط بین سورس و درین برقرار شده (کار)

ی تا  
یکه



(a)



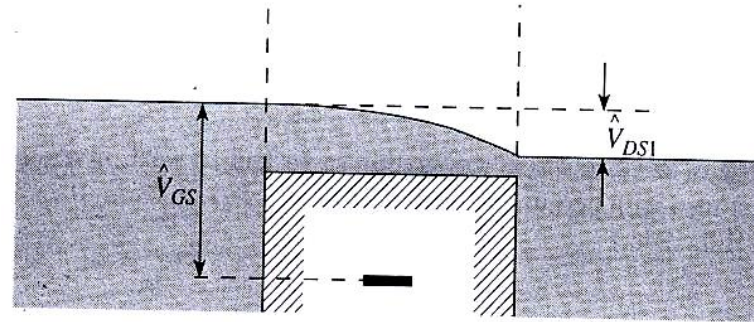
(b)

شکل 9-a) قطع (b) و ارونگی ( $V_{ds}=0, I_{d}=0$ )

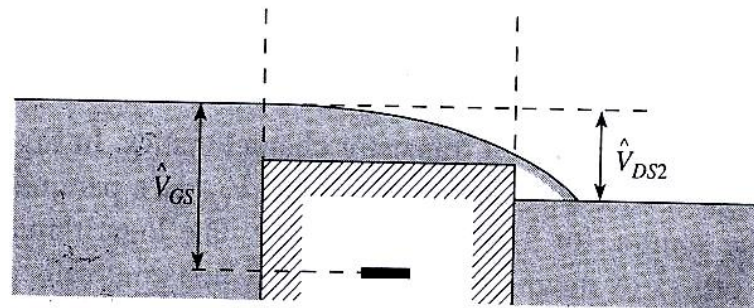


# به سیال MOS تشبیه عملکرد ترازیستور پویا

- جریان برقرار میشود تا جاییکه افزایش  $V_{ds}$  اثرش را بر روی  $V_{gs}$  نداشته باشد. اگر  $V_{ds}$  بیشتر از آن باشد،  $V_{gs}$  کاهش می یابد.



(c)



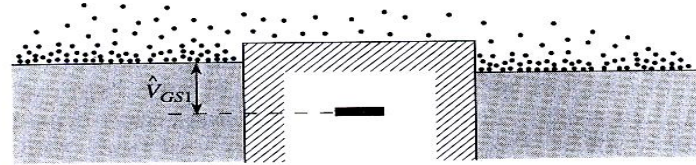
(d)

شکل 9-c) حالت غیر اشباع  $V_{ds} \neq 0$  (d) حالت اشباع

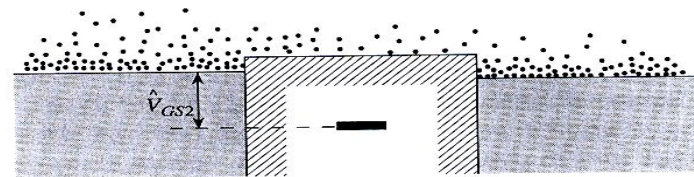
# به سیال MOS تشبیه عملکرد ترازیستور پویا

وارونگی ضعیف:

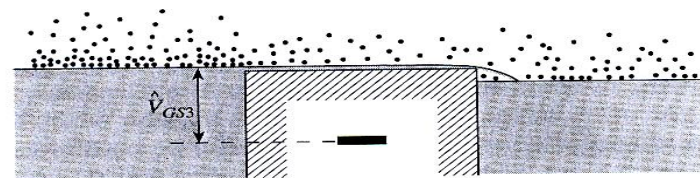
- کاهش یابد به نحوی که سطح پیستون در مقابل یا بالای سطح سورس  $V_{gs}$  اگر قرار گیرد، از جریان مستقیم سیال جلوگیری بعمل می آید ولی مولکولهای آب هنوز میتوانند از چپ به راست جاری شود، این پدیده را می توان بصورت نفوذ بخار آب از سورس به درین تصویر که متناظر با وارونگی ضعیف است.



(a)



(b)



(c)

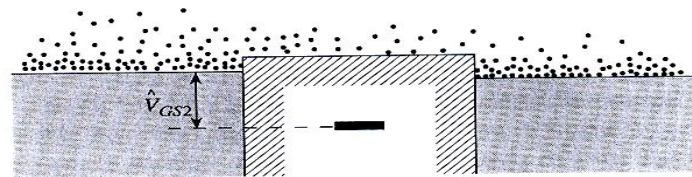
شکل 10- تشابه پویایی سیال عملکرد MOS در (a) وارونگی ضعیف (c) وارونگی متوسط

# به سیال MOS تشبیه عملکرد ترازیستور پویا

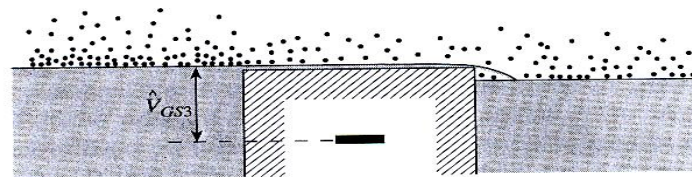
- اگر سطح آب مخزن درین پایینتر باشد چون تراکم مولکولهای بخار آب بصورت عمودی و از پایین به بالا کمتر می شود، مولکولهای بخار آب از چپ به راست نفوذ را کمی افزایش  $V_{gs}$  میکند و جریان ضعیفی را سبب می شوند. حال اگر مقدار ( چون تراکم الکترونها در روی سطح سورس بسیار زیاد است، 9-b-9دهیم (شکل جریان بطور قابل ملاحظه ای افزایش می یابد که این نشان دهنده وابستگی می باشد.  $V_{gs}$ نمایی جریان به



(a)



(b)



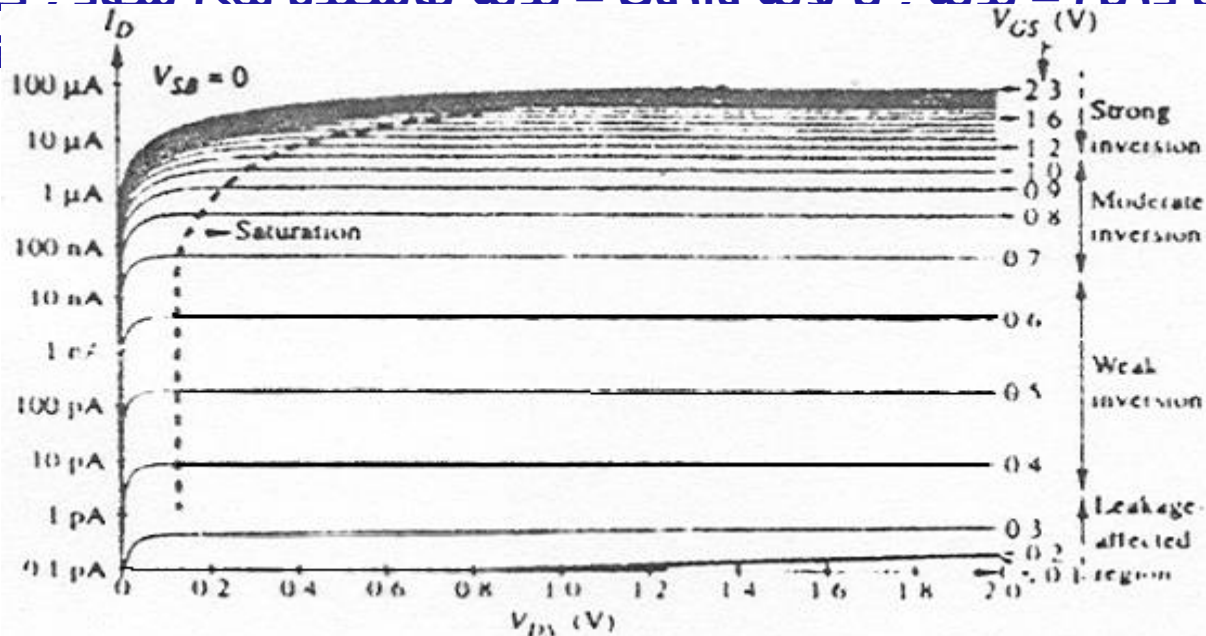
(c)

شکل 10- تشابه پویایی سیال عملکرد MOS در (a) وارونگی ضعیف (c) وارونگی متوسط

# MOS مشخصه الکتریکی ترانزیستور

## MOS مشخصه الکتریکی ترانزیستور:

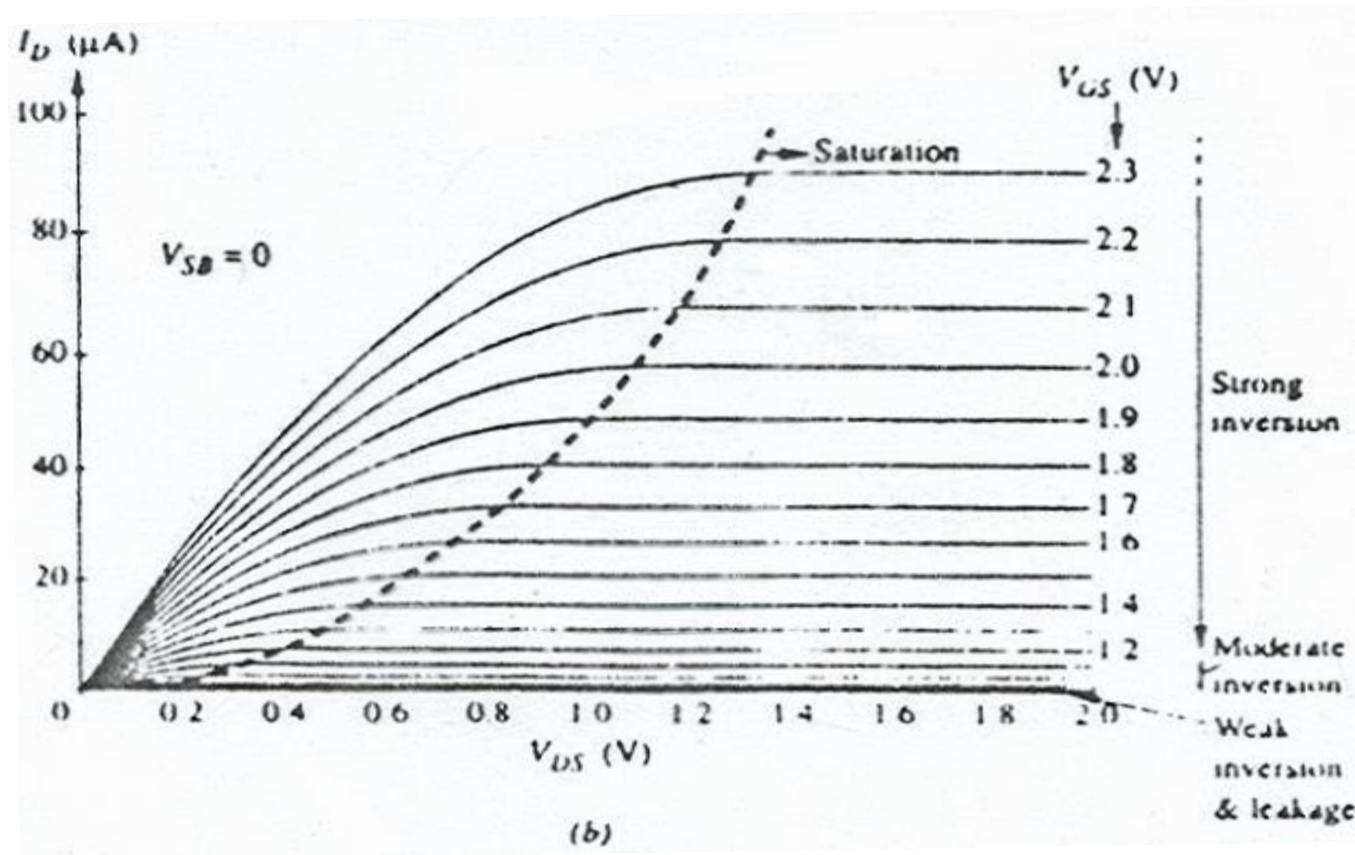
- های مختلف و  $V_{GS}$  به ازای  $V_{DS}$  ( در محور لگاریتمی ) بر حسب  $I_D$  منحنی به سورس برای یک ترانزیستور خاص ترسیم شده است . با کاهش باتصال بدنه شدیداً کاهش یافته و جریان نشتی اتصال بایاس  $I_D$  مقدار جریان  $V_{GS}$  یا  $V_{DS}$  معکوس شده در بدنه - یا لایه ها، من - بدنه به شده می . شود . که در انتهای فده است .



لگاریتمی  $I_D$  : محور  $I_D - V_{DS}$  منحنی مشخصه شکل

# MOS مشخصه الکتریکی ترانزیستور

- نشان داده شده است حالت وارونگی d در شکل زیر که با استفاده از محور خطی ضعیف قابل مشاهده نیست.



خطی  $I_D$  : محور b12 شکل

# MOS مشخصه الکتریکی ترانزیستور

- این ناحیه تا سالها نا معلوم بود تا زمانیکه جریان نشتی در حافظه های دینامیکی مشکلزا شد . همچنین این ناحیه در کاربردهای خاص با توان مصرفی پایین یا جابجایی عملکرد ولتاژ پایین مطلوب است , نقش مهمی را ایفا می کند .
- در ناحیه وارونگی ضعیف جریان خروجی بستگی به نفوذ حاملها داشته و بصورت  $V_{gs}$  در ارتباط است و به همین دلیل است که یک نوسان کوچک در  $V_{gs}$  نمایی با می تواند تغییرات بزرگی ( در دمای اتاق ) در جریان درین حاصل کند .
- در وارونگی شدید جریان درین به رانش بارها بستگی دارد .
- در وارونگی متوسط هر دو حالت نفوذ و رانش در تشکیل جریان شرکت دارند . در این ناحیه جریان با توان دوم دامنه اش تغییر می کند .