

مبانی الکترونیک دیجیتال جلسه هفدهم



DTL

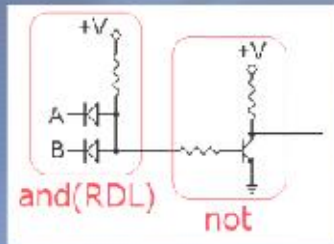
در این گیت ها مشکلات گیت های RDL با استفاده از ترانزیستور برطرف شده.

http://www.play-hookey.com/digital/electronics/dtl_gates.html

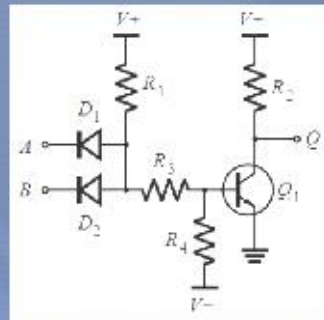
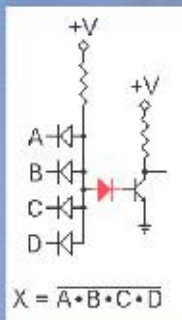
مشخصات خانواده DTL

- $V_{cc} = 5V$
- Power : 15 mW per gate
- $T_p = 30ns$
- Noise Margin : good
- Fan out = 12

DTL : nand

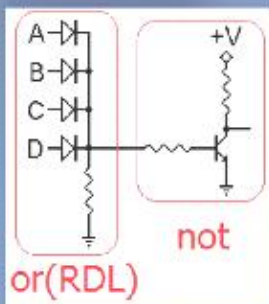


برای برطرف کردن مشکلات RDL از گیت not استفاده می کنیم
 خاصیت تقویت کنندگی ترانزیستور در گیت not مشکلات گیت های RDL را حل می کند
 برای خاموش شدن ترانزیستور از دو روش استفاده می کنند:



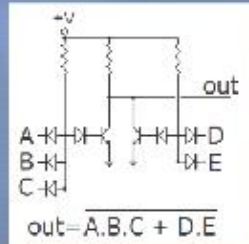
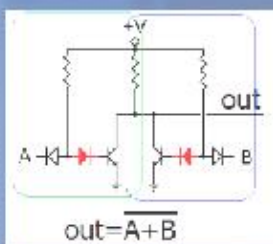
- با قرار دادن دیود قرمز رنگ بین دو مدار، 7 ولت به ولتاژ تحریک ترانزیستور اضافه می شود
- به وسیله ی تقسیم ولتاژ بین دو مقاومت (R3 , R4) ولتاژ کمتری به بیس ترانزیستور اعمال می شود

DTL : nor



- با اضافه کردن not به گیت or از خانواده ی RDL ، گیت nor به دست می آید.
- راه دیگر ساختن گیت nor ، اضافه کردن ترانزیستورهای موازی بیشتر در PDN است. روشن شدن هر کدام از این ترانزیستورهای موازی، باعث صفر شدن خروجی می شود.
- می توان با اضافه کردن دیودهای بیشتر در ورودی، تابع and را در کنار nor به دست آورد.

AOI : And - Or - Invert



DTL بهبود یافته

برای افزایش حاشیه ی نویز صفر، دیود آبی رنگ رو اضافه می کنیم.
برای روشن شدن ترانزیستور باید ولتاژ ورودی حداقل مقدار زیر را داشته باشد:

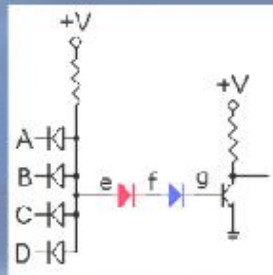
$$V_e - 0.7 - 0.7 = V_g, \quad V_e - 0.7 = V_{in}$$

$$V_{be} = 0.7 \rightarrow \text{diode be: forward bias}$$

$$V_{be} = V_g - 0 = V_g$$

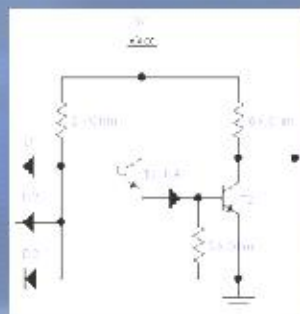
$$V_{be} = 0.7 \rightarrow V_e - 1.4 = 0.7 \rightarrow V_e = 2.1$$

$$V_{in} = V_e - 0.7 \rightarrow V_{in} = 1.4$$

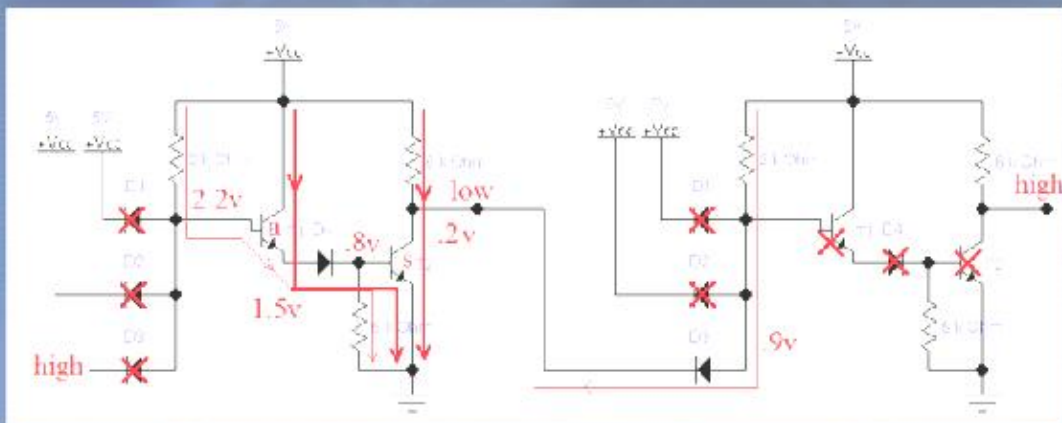


HDTL

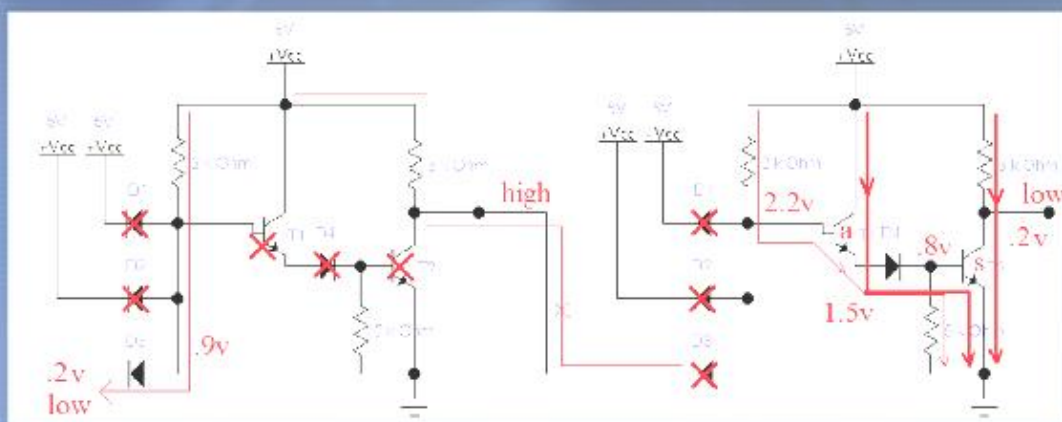
- در مدارهای قبلی، ترانزیستور T2 با جریانی که از مقاومت 2K می گذرد روشن می شود.
- برای افزایش سرعت در روشن شدن T2 از ترانزیستور T1 استفاده می شود. با این روش جریان زیادتری ترانزیستور خروجی را تحریک می کند.
- برای افزایش سرعت در خاموش شدن T2، مقاومت 5K به بیس و زمین وصل شده است. این مقاومت با تخلیه ی سریع بار بیس به زمین باعث زود خاموش شدن ترانزیستور می شود.
- دیود بیس-امیتر T1 به جای دیود افزایش حاشیه نویز صفر کاربرد دارد.



به هم بستن HDTL خروجی صفر



به هم بستن HDTL خروجی یک



جلسه آینده...

✓ بررسی گیت های TTL