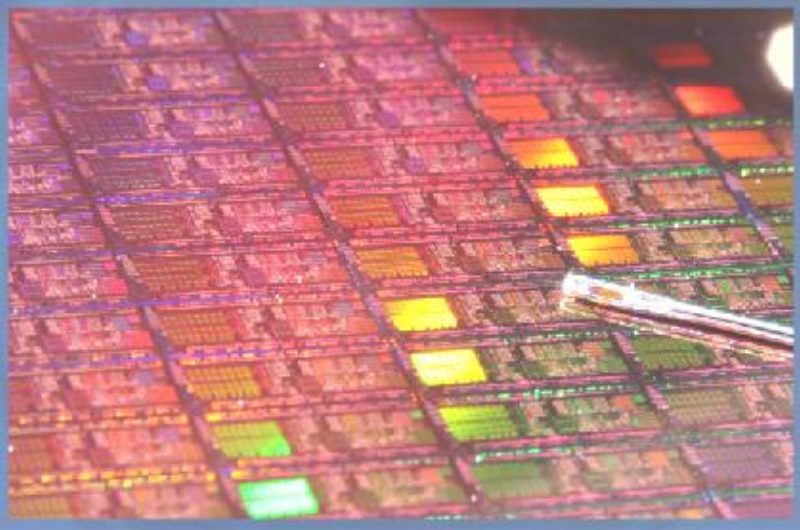
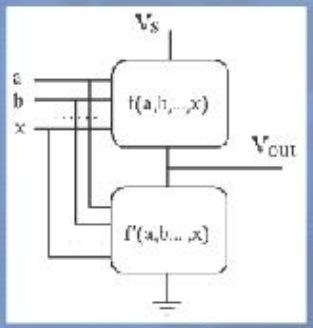
مبانی الکترونیک دیجیتال
جلسه بیست و دوم



طراحی گیت باPUNوPDNفعال

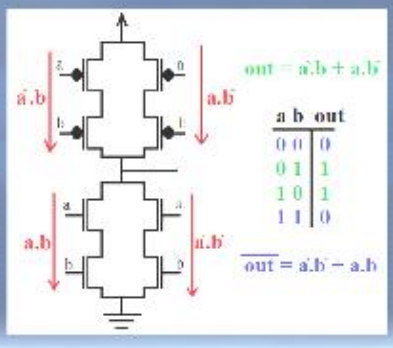
- اگر بخواهیم خروجی مدار منطقی ما فقط مقادیر منطقی (صفر و یک) باشند ، آن گاه باید شبکه ی بالا کشنده و شبکه ی پایین کشنده برعکس هم روشن و خاموش شوند.
- با استفاده از قانون دمورگان و ترانزیستورهای nmos و pmos ، شبکه هایی ساخته می شود که برعکس هم کار می کنند .
- PUN تابع خروجی را تولید می کند . PDN برعکس تابع خروجی را تولید می کند.



PUN	PDN	Out
×	×	High impedance , Z
×	✓	0
✓	×	1
✓	✓	x

به دست آوردن شبکه ها از روی تابع منطقی

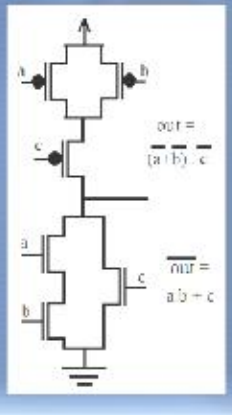
- یک های جدول صحت را شبکه ی بالاکشنده تولید می کند، بنابراین خود تابع (f(x)) را در PUN پیاده سازی می کنیم.
- صفرهای جدول صحت را شبکه ی پایین کشنده تولید می کند، بنابراین برعکس تابع (f`(x)) را در PDN پیاده سازی می کنیم.
- به دلیل هدایت مناسب ولتاژ بالا از کانال pmos ، معمولن در PUN از pmos استفاده می شود
- به دلیل هدایت مناسب ولتاژ پایین از کانال nmos ، معمولن در PDN از nmos استفاده می شود.

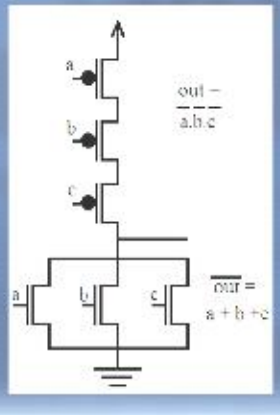


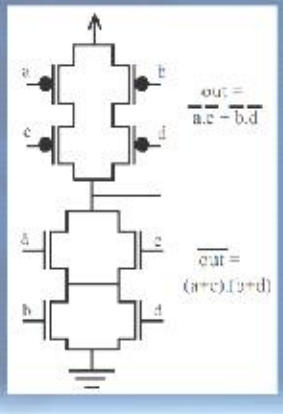
نمونه مدارهای CMOS استاندارد

در خانواده ی CMOS استاندارد :

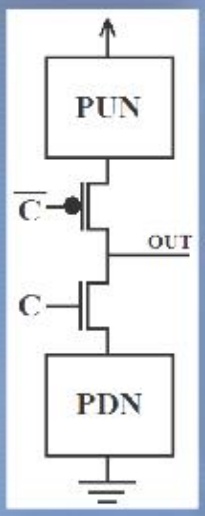
- در PUN فقط pmos و در PDN فقط nmos استفاده می شود.
- مسیرهای موازی در PDN به جای مسیرهای سری متناظر در PUN قرار می گیرند و برعکس.
- تعداد ترانزیستورهای nmos و pmos برابر است.







پیاده سازی گیت سه حالته



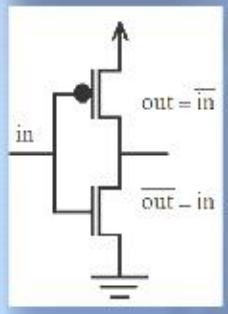
- برای قطع کردن خروجی از صفر و یک منطقی ، از دو ترانزیستور استفاده می کنیم. این دو ترانزیستور بین خروجی و شبکه های بالا و پایین کشنده قرار می گیرند.
- در صورت یک بودن ورودی Control ، خروجی به هر دو شبکه متصل است.
- در صورت صفر بودن ورودی Control ، خروجی از هر دو شبکه قطع است.
- عملکردی که در بالا توضیح داده شد، ورودی active high را توصیف می کند.
- این ورودی اسم های دیگری چون enable می تواند داشته باشد.

گیت CMOS

معایب

- تعداد ترانزیستورهای زیاد.
- سرعت کم نسبت به خانواده هایی که از BJT استفاده می کنند.

مزایا

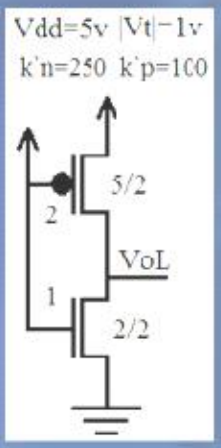


- ولتاژ خروجی یک منطقی ، به Vdd می رسد.
- ولتاژ خروجی صفر منطقی ، به Gnd می رسد.
- توان استاتیک بسیار بسیار ناچیز است.
- محدوده ی ولتاژ کاری بالا
- فرایند ساخت ساده نسبت به خانواده هایی که از BJT استفاده می کنند.
- اندازه ی کوچک مدارها و قابلیت بالای مجتمع سازی.

مزایای زیاد این خانواده باعث شده تا این خانواده بسیار متداول شود.

حل گیت CMOS not

VoL



1: Vgs=5-0=5 , 5>1 ; Vgd=5-VoL ; ➔ t1 : Linear

2: Vgs=5-5=0 , 0>-1 ; ➔ t2 : Cut off

KCL : It1 = It2 = 0

0.5K`(W1/L1) [2(Vgs-Vt)Vds – Vds^2] = 0

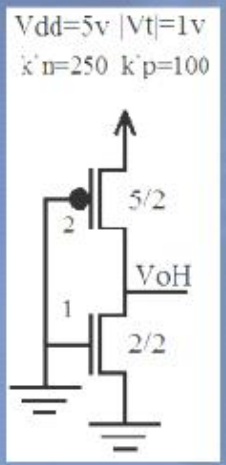
[2(5-0 - 1)Vds – Vds^2] = 0

8Vds – Vds^2 = 0

Vds (8 – Vds) = 0 ➔ Vds = -8 , 0

حل گیت CMOS not

VoH :



1: Vgs=0-0=0 , 0<1 ; ➔ t1 : Cut off

2: Vgs=0-5=-5 , -5<-1 ; Vgd=0-VoH ; ➔ t2 : Linear

KCL : It1 = It2 = 0

0.5K`(W2/L2) [2(Vgs-Vt)Vds – Vds^2] = 0

[2(0-5 - -1)(VoH - 5) – (VoH - 5)^2] = 0

-8(VoH - 5) – (VoH - 5)^2 = 0 ➔ 8(VoH - 5) + (VoH - 5)^2 = 0

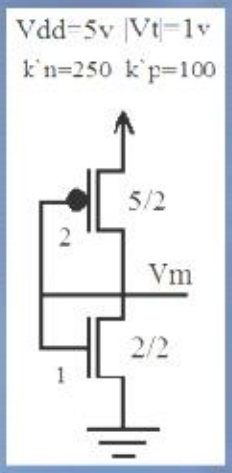
(VoH - 5) (8+(VoH - 5)) = 0

(VoH - 5) (3 + VoH) = 0

VoH = -3 , 5

حل گیت CMOS not

Vm :



1 vgd=Vm-Vm=0 , 0>-1 , ➔ t1 : Saturation

2 vgd=Vm-Vm=0 , 0>-1 , ➔ t2 : Saturation

KCL : It1 = It2

0.5K`n(W1/L1).(Vgs-Vt)^2 = 0.5K`p(W2/L2).(Vgs-Vt)^2

250*(2/2)*(Vm-0 - 1)^2 = 100*(5/2)*(Vm-5 - -1)^2

(Vm - 1)^2 = (Vm - 4)^2

|Vm – 1| = |Vm – 4|

(Vm – 1) = +- (Vm – 4)

Vm = 2.5

گیت متقارن

گیتی که بدترین حالت **PUN** با بدترین حالت **PDN** با هم برابر باشند

جلسه آینده...

- ✓ خانواده ی منطقی **BiCMOS**
- ✓ مقایسه ی خانواده های منطقی