الکترونیک دیجیتال

مراجع

۱ـ الکترونیک دیجیتال تالیف دکتر مهدی صدیقی (امیرکبیر)

۲ـ مدارهای مجتمع دیجیتال تالیف دکتر آیت الهی (دانشگاه آزاد قزوین)

۲ نمره تکلیف و کوئیز (خارج از زمان تحویل داده نشود)

۱۸ نمره پایان ترم

پروژه یا تحقیق (تا ۲ نمره اضافه)

کوئیز ۱۲-۱ گرفته می‌شود.

سرفصل مطالب

۱ـ مقدمات و مفاهیم اولیه

۲ـ دیود

۳ـ ترانزیستورهای MOSFET

۴ـ منطق‌های مبتنی بر NMOS
CMOS

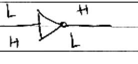
۵- مدارهای منطق پویا

۶- ترانزیستورهای دوقطبی، منطق‌های قدیمی‌تر (RTL, DTL, TTL

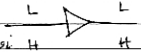
۷- BiCMOS

فصل اول   مقدمات و مفاهیم اولیه

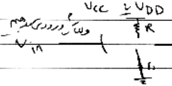
- معکوس کننده (inverter) وارون ساز



بافر
ناوارون ساز

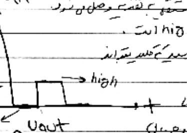


گیت NOT عملاً مانند یک کلید است. وقتی تغذیه



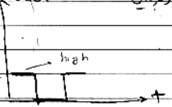
به طوری که اگر یک پیغام داشته باشیم کلید به صورتی عمل می‌کند که وقتی ولتاژ پایین است، منطق low دارد، کلید باز است. وقتی کلید باز است خروجی مستقیم به تغذیه وصل می‌شود جریان ندارد خروجی high است. به محض این که ورودی به حدی برسد که کلید بتواند تغییر جهت دهد بسته می‌شود. در این حالت خروجی low می‌شود به زمین وصل می‌شود و جریان مستقیماً به زمین می‌آید.

(در این درس کلید ایده‌آل فرض می‌شود)



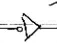
می‌تواند به صورت متناوب تکرار شود.

Low هم می‌تواند ایده‌آل است یعنی تغییر H به L در خروجی H ← L می‌شود.



MOSFET در Drain ولتاژ است

گیت NAND



[illegible] معکوس کننده

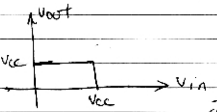
مدار رسم شده حالت ایده آل است. اما در ورودی و خروجی تاخیر وجود دارد.

مقاومت بلوک صفر در نظر گرفته شده در حالی که بلوک در هر حال دارای مقاومت است.

=) خروجی دقیقاً معکوس نمی‌شود.

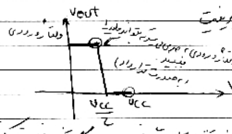
مشخصه انتقال ولتاژ VTC

(منحنی ولتاژ خروجی برحسب ورودی)



گیت NOT ایده آل

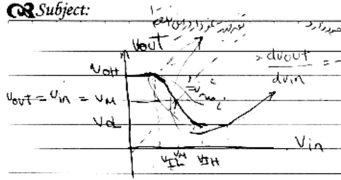
۱ــ تغییر وضعیت سطح در ورودی و خروجی واقعی نیست و حالت ایده آل است و امکان پذیر نیست چون در سیم‌ها تاخیر داریم و خروجی



در منحنی دو عمل یک خازن حضور دارد یک خازن یکباره شارژ امکان پذیر نیست.

(تغییر وضعیت بلوک را قرار دارد) ← ضمناً صفر و یک و حد واسط آن، چون سطوح منطقی [illegible] قرار می‌گیرند و در حالت [illegible] قرار دارند. و در سطح متفاوت می‌شود که [illegible] است ← (خازن) خازن [illegible] بار و [illegible] آید. پس [illegible] خازن زمان می‌برد. یعنی علت تغییر حالت ایده آل نیست.

پس تاخیر انجام می‌شود.



این حالت وجود دارد

$\rightarrow V_{IH}$ در V_{IL} $\frac{dV_{out}}{dV_{in}} = -1$

not واقعی

V_{IL} ورودی منطقی low ← فرض منطق high ← یعنی از اینجا تغییر خروجی از high شروع می‌شود
ناحیه ممنوعه: منطق L یا H است اما در تقسیم‌بندی ما وضعیت مشخص است.
وضعیت در این ناحیه نامشخص است

مثال: ولتاژ H ۵
ورودی ۳
ناحیه ممنوعه
ولتاژ ورودی Low ۲
۰

V_{IL} = ۲ V_{OH} = ۵

V_{IH} = ۳ V_{OL} = ۰

۲- مقاومت خروجی محدود و نقطه صفر (در حالت ایده‌آل) — در حالتی که کلید ما بسته است هم باید یک مقاومت کوچک r_{switch} دارد. که در حالت ایده‌آل آن را صفر فرض کردیم. ولی اگر آن را صفر فرض نکنیم وقتی کلید بسته می‌شود یک مقاومت کوچک داریم که ضعیف به اندازه Σ می‌شود: (تضعیف شدن) و
این دو نکته یعنی شکل مدار به صورت ایده‌آل نباشد هم.

نکته: not واقعی استاندارد بیشترین مقدار را دارد یعنی هر چه بیشتر باشد ورودی فرض کنیم حالت در حد تا مقدار min می‌رسد است و وضعیت واقعی هم متفاوت مقدار است.

بیشترین ولتاژ ورودی که برای منطق low است V_{IL} است که خروجی متناظر high دارد
V_{OH} بیشترین مقدار خروجی
V_{OL} کمترین
V_{IH} high کمترین min است که کمترین مقدار را دارد

Pilavaran V_M: ولتاژ ورودی = خروجی برابر

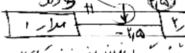
حاشیه امنیت نویز Noise margine

نویز اعمال شود در حساب است

سیگنال های ناخواسته ای که اتفاق می افتد نویز گفته می شود.

مدارات طراحی شده نسبت به نویز باید تحمل نویز داشته باشند. (البته به جای که طراحی می کنید)

باید توجه داشته باشیم که برخی ولتاژهای هم صورت است.

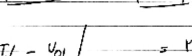


۵ ولت
H
۲٫۵
-۲٫۵
مدار ۱
مدار ۲
در محدوده ی high

زمانی که مدار ۱ ← h هر چیزی بدهد مدار ۲ هم h بگیرد. اگر h نگیرد یعنی نویزی که اعمال می شود ورودی منفی ۱
مدار ۲ هم باید H بگیرد اگر نگیرد یعنی نویز اشکال ایجاد کرده ۵ (بالا در محدوده ی high قرار نمی گیرد. در حالا اشکال می شود)

حاشیه امنیت نویز بالا $NM_H = |V_{OH} - V_{IH}| = 2$ ولت

نهایت نویزی که اعمال می شود به اندازه ی اختلاف آنها

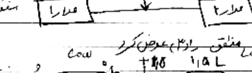


۵
H
-۲
۳
مدار ۱
مدار ۲

در منطق H
در محدوده ی high
مشکلی ایجاد نمی کند

$NM_L = |V_{IL} - V_{OL}| = 2$

جهت نویز اعمال شده اگر در خلاف جهت آن باشد عکس آن در بالا مطرح شد مشکلی ایجاد نمی شود اگر هم جهت باشد باید بررسی شود

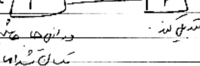


نویز هم جهت ۳
Low
L
high
۴
مدار ۱
مدار ۲

منطق ۳ هم جهت

به طور مثال ۵ ⊕ ۲ = ⑦

تحمل ۷ ولت را دارد؟



Low
L
منطق را (۳) عوض کرد
۱٫۵
۱٫۵ L
Low
۵
۱
۲

حاشیه امنیت نویز پایین

تحمل نویز این است

مدار را طوری طراحی می کنند که ۷ را به ۵ تبدیل کند تا اینکه مدار را نسوزاند.

ولتاژها حاشیه امنیت بالا و پایین تساوی شدند اما همیشه این طور نیست

اما آن چیزی که برای ما مطرح است خلاف جهت است.

به همین طوری است و اگر داریم باید مدار را طراحی کنیم که برای آن منطق تغییر نکند)

اگر هر دو فعال شود حالت خروجی است که معلوم نیست اتفاق بیفتد

در شکل صفحه پیش به بدیهیات نیم سیستم بر عکس اتصال [illegible] اما نویز به اعمال می‌شود.

باعث تغییر ولتاژ می‌شود.

FAN IN FAN OUT

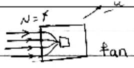
نکته: هر کدام قرار است جریانی وارد کنند که عکس

ظرفیت ورودی ظرفیت خروجی

تعداد ورودی هایی که می‌توانیم داشته باشیم

آن عکس العمل داشته باشد.

AND ۴ ورودی

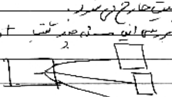


تعداد ورودی هایی که این مدار می‌تواند داشته باشد.

ظرفیت خروجی

تعداد گیت هایی که از این گیت خارج می‌شود.

مثلا فرض کنید خروجی not داریم که می‌خواهیم به سه گیت دیگر وصل کنیم تا جایی که می‌توانیم به آن وصل کنیم. به عمل ورودی [illegible] نقطه وصل می‌شود. مقدار سطح high و low مشخص می‌شود.



در منطق H $N_{high} \leqslant \frac{I_{OHigh}}{I_{inHigh}}$ ، به عدد کوچکتر گرد می‌شود

در حالت اشباع را   جریان ورودی در حالت low

در منطق low $N_{Low} \leqslant \frac{I_{OL}:Low}{I_{inLow}}$

جریان‌ها در منطق H را مثبت فرض می‌کند که این اعداد را مثبت می‌کند.

$Fan\ out = \min(N_H , N_L)$

فرض کنید:

مثال: I_{OH} = ۷۵ mL I_{IH} = ۶۰ mL

I_{OL} = ۶۰ mL I_{IL} = ۱۰ mL

$N_H = \frac{۷۵}{۶۰} = ۵$ $N_L = \frac{۶۰}{۱۰} = ۶$

Fan out = min(۵ , ۶) = ۵   اگر ۶ را انتخاب کنیم در منطق H دچار مشکل می‌شویم مشکلی است هم که نکنیم یعنی ۵ تا نهایتاً می‌کند.

تاخیر انتشار

وقتی سیگنال ضربه می‌خورد ورودی می‌خواهد تغییر کند مقداری تأخیر دارد.

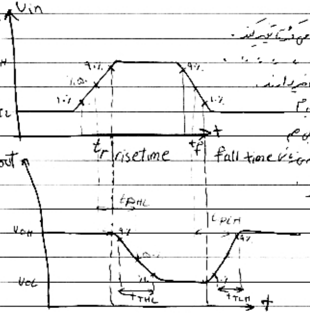
وقتی از ~~H~~ H به H ورودی تغییر می‌کند تغییر خروجی با تأخیر به صورت اعمال می‌شود.

L به H

اندازه‌گیری که تأخیر بالا رفتن و پایین آمدن تعریف باشد.

از ۱۰٪ در ورودی تا ۹۰٪ آن را tr به عنوان زمان صعود تعریف می‌کنند. (حالت استاندارد)

تأخیر انتشار


V_{in}
V_{IH}
V_{IL}
۱۰٪
۵۰٪
۹۰٪
t
t_r risetime
t_f fall time
V_{out}
t_{PHL}
t_{PLH}
V_{OH}
V_{OL}
t_{THL}
t_{TLH}

سیستم‌ها نمی‌توانند لحظه‌ای تغییر کنند.

ضمناً هم زمانی ...

چون هر کدام تأخیر دارند.

از لحظه ۵۰٪ تغییر ورودی تا

شده تا تغییر خروجی

۵۰٪ تغییر شدن خروجی

را تأخیر انتشار می‌نامیم.

$$\text{تأخیر انتشار} \quad t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

اگر لحظه‌ی شروع ورودی واضح نباشد می‌توان از ۱۰٪ تا ۹۰٪ را در نظر گرفت

اما این نحوه تعریف برای ما جواب نمی‌دهد

طول مدتی که طول می‌کشد تا به ۹۰٪ برسد زمانی است که خروجی شروع به تغییر می‌کند.

در حقیقت سیگنال هنگامی که به ۹۰٪ تغییر کرده است) خروجی شروع به صعود می‌کند

از زمانی که ورودی ۵۰٪ تغییر کند تا موقعی که خروجی ۵۰٪ تغییر کند این مدت زمان هم تأخیر انتشار LH یا HL

و طول تأخیر انتشار میانگین این ۲ است.

هر مقدار طول می‌کشد تا موج ورودی تأثیر در خروجی بگذارد.

توان مصرفی

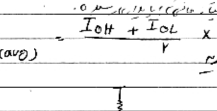
به طور معمول توان ①

ایستا $\boxed{P = VI}$

برای توان وقتی اتفاق L و H شدن به طور کامل انجام شده [illegible] است که [illegible] ایستا [illegible] میرسد.

$$P_{ایستا(avg)} = \frac{I_{OH} + I_{OL}}{2} \times \underset{ولتاژ تغذیه}{V_{CC}} \text{ یا } V_{DD}$$

مدار ۲ حالت دارد $\to$ H / L



وقتی که [illegible] H است

جریان صفر است $I_{OH} = 0$

وقتی که خروجی Low است [illegible]

I_{OL} وقتی خروجی H است جریان صفر است

$V_{OH}: I_{OH} = 0$

$I_{OL} = \frac{V_{CC}}{R}$ $\Rightarrow P_{متوسط} = \frac{V_{CC}^2}{2R}$

اگر P کم باشد [illegible]

[illegible]

مشکل اینست هر دو جریان مقدار داشته باشند یا هر کدام [illegible] این برای ما مهم است که [illegible] هر کدام [illegible] این محاسبه را انجام [illegible]

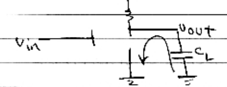
$$P_{کل} = P_1 + P_2 + \dots$$

$I_{OH} \rightarrow$ هنگام $V_{OH} \rightarrow$ مقدار I

$I_{OL} \rightarrow$ هنگام $V_{OL} \rightarrow$ مقدار I

پویا

زمانی اتفاق می‌افتد که خازن کم‌کم در حال شارژ شدن است



خازن با تدریج در حال شارژ شدن است. ضمناً مقدار ثابت ندارد دائماً مقدارش در حال تغییر است.

یا دشارژ دارد اتفاق می‌افتد. ضربه‌ای که از H به صفر می‌رسد به همین خاطر پویا است. برای هر زمان توان را بخواهیم مقدارش متفاوت است.

$$P_{Dynamic} = f \; C_L \; V_{CC}^2$$

f: فرکانس سوئیچینگ فرکانسی که داریم وقتی تغییر داده طبق پالس می‌آید. اینکه به صورت فیزیکی قرار بدهیم

C_L: ظرفیت خازن که عوض می‌شود

V_{CC}: ولتاژ تغذیه

اگر بخواهیم به شکل مقایسه توان مصرف را ببینیم.

$$P_{\text{توان کل}} = P_{\text{ایستا}} + P_{\text{پویا}}$$

دیود فصل ۲ se۲

دیود

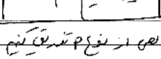
المان الکترونیکی یک المان است معمولاً برای محافظت در ورودی می‌گذارند

برای اینکه دیگر بیش از حدی که ما خواهیم با یک جهت خاص وارد سیستم نشود

یا اینکه نخواهیم سطح DC که داریم آنرا برهم.

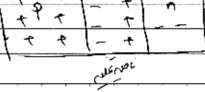
ما در اینجا می‌خواهیم با اتفاق‌ها از دیود تست های منفعل با هم و بیشتر پیوندهای PN را در ترانزیستورها داریم.

دیود شامل پیوندی p و n است.



در مدارهای سیلیکون اگر ناخالصی از نوع p تزریق کنیم. این ناخالصی سرشار از بارهای مثبت است. مثل حفره که حمل کننده الکترون است.

ناخالصی نوع n مثل فسفر سرشار از الکترون است.

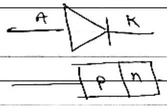


ناحیه تخلیه

از طرفی بارهای ضخیم زیاد مثبت و منفی که این جابجایی دارند باعث میشود در میان (وسط) یک ناحیه‌ای ایجاد شود به اسم ناحیه‌ی تخلیه.

بارهای منفی در کنار بارهای مثبت تجمع می‌کنند و فواصل آن ضخیم میشوند و در عرضش قرار می‌گیرند از طرف دیگر هم بارهای مثبت در کنار بارهای منفی قرار می‌گیرند و یک ناحیه‌ای ایجاد می‌کنند که در حالت عادی هم که دیدار ما اشکال رو ببینیم بارهای مثبت و منفی ۲ طرف با هم برابر است و یک ناحیه‌ی خالی از بار داریم. (خنده، خود دانی چرا این‌جوری می‌آمد)

نماد الکترونیکی و مداری دیود

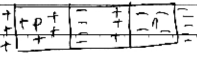


جریان عکسی electron difusion

جریان عادی دیود →

← hole drift

از طرف دیگر حفره‌ها جریان حفره‌ها را ایجاد می‌کنند.



حفره‌های مثبت جریان (→) نشتی را ایجاد می‌کنند ← hole drift

electron drift الکترون‌ها (←) به این شکل جریان ایجاد می‌کنند

زمانی که diffusion ها بیشتر باشد. هم‌زمان دوباره کنترل را داشته باشیم.

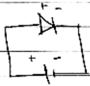
نشانه‌ای که برای بررسی مدارها در نظر گرفتیم

وقتی زمانی که می‌خواهیم بایاس کنیم و ولتاژ بدهیم باید ببینیم در آن صورت

کدام جریان به تقریب غلبه می‌کند و کدام جریان را داریم

الف) بایاس مستقیم

وقتی به دو سر دیود ولتاژ مثبت اعمال کنیم



$v_D > 0$

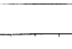
عملاً سر مثبت به مثبت‌تر
سر منفی به منفی‌تر شده.

← در بایاس مستقیم جریان غالب جریان diffusion است.

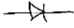
جریان diffusion بر drift غلبه می‌کند. diffusion > drift

جهت قراردادی: هم‌جهت با حرکت حفره‌ها یا

عکس حرکت الکترون‌هاست که طرفی این را می‌دانیم.



و جریان diffusion در رژیم جهت حفره‌ها
خلاف جهت الکترون‌ها



مقدارش را هم اگر بخواهیم :

$$I_D = I_S(e^{\boxed{V_D}/\boxed{\varphi_T}} - 1)$$

I_S ← جریان اشباع معکوس ← جریان دیود در حالت معکوس

V_D ← ولتاژ دیود

φ_T ← [illegible] در دمای اتاق با تقریب خوبی ۲۶ mV

$$\varphi_T = \frac{KT}{q}$$

K ← ثابت بولتزمن که با آن هم که فرمول‌ها را حساب کنیم مقادیرش ثابت داده می‌شود

q ← بار الکترون ⊖

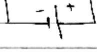
T ← دما بر حسب درجه کلوین

در دمای غیر اتاق

و I_S هم داده می‌شود یا باید بصورت معکوس جریان را محاسبه کنیم.

ب) بایاس معکوس

در بایاس معکوس عکس این اتفاق می‌افتد.



در این حالت ولتاژ منفی اعمال می‌کنیم.

در دو طرف بارهای مثبت و منفی همدیگر را خنثی می‌کنند.

این باعث می‌شود عرض ناحیه‌ی تخلیه بیشتر شود.

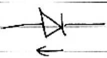
⇐ ناحیه‌ی تخلیه >>
بزرگتر می‌شود.

چون عرض ناحیه‌ی تخلیه بیشتر می‌شود و پتانسیل‌های نواحی کمتر می‌شود که جریان

حالت جریان نشتی غالب است. drift

$$drift > diffusion$$

جهت :



$$|I_D| = I_S$$

خیلی مقدار کمی است چون ناحیه‌ی تخلیه
جریان کمی را عبور می‌دهد معمولاً از آن
صرف نظر می‌کنیم

به همین علت نقطه‌ی بایاس معکوس داریم می‌گوییم دیود ما خاموش است (خیلی
و معکوس 〃 〃 〃 خاموش است مثل

مدار باز یا قطع عمل می‌کند. از این جریان که صرف نظر می‌کنیم مگر در زمانی که محاسبات

دقیق باشد. مقدارش را حساب می‌کنیم و از آن استفاده می‌کنیم.

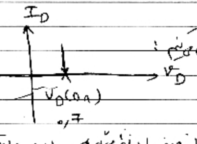
ولی در مدارهایی که در این درس بررسی می‌کنیم، در همین حد که خاموش است یا

روشن با آن کار داریم.

در حالت مستقیم عوامل تشدید تأثیرش را قدری زیاد است ببینیم

مدل خطی تکه‌ای دیود

جریان دیود را برحسب ولتاژ رسم می‌کنیم:



در بایاس مستقیم ولتاژ بزرگتر از صفر را در نظر می‌گیرم. ولی در واقعیت باید ولتاژ مثبت وارد شود که تا حدی برسد که جریان‌های diffusion بر جریان‌های drift غالب شوند. آن مقدار ولتاژ همان است که دیود در بایاس مستقیم روشن شده ← $V_D(on)$ ۰/۷

سیلیکون است مقدارش را با تقریب خوبی فرض می‌کنیم ۰/۷ است.

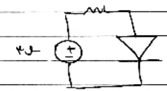
قبل از ۰/۷ و در بایاس معکوس جریان ندارد.

$$\begin{cases} V_D < V_D(on) & I_D = 0 \\ V_D \geq V_D(on) & I_D > 0 \end{cases}$$

قبل از اینکه دیود روشن شود جریان صفر است. به محض اینکه دیود روشن شد جریان [illegible] می‌تواند افزایش پیدا کند.

دیود ولتاژش وقتی روشن شده مقدار ثابت را دارد.

مثال.



$I_D = ?$

$v_D = ?$

۳ ولت مثبت اعمال شده ⇐ حداقل باید ۰٫۷ را اعمال می شد   ۳ > ۰٫۷

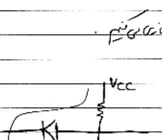
⇐ دیود روشن است.   ۳ > ۰٫۷ ⇐ D: on

$I_D = \frac{۳ - ۰٫۷}{10K} = ۰٫۲۳\ mA$

منطق دیودی.

گیت‌ها را پیاده سازی می‌کنیم.

گیت AND



0 1

L H

[illegible] با منطق

	v_{inA}	v_{inB}	v_{out}
هر دو on	L	L	L
	L_{on}	H_{off}	L
	H_{off}	L_{on}	L
	H معکوس	H_{off}	H

با H یا منطقی سروکار داریم.

با هردو دیودها کاری نداریم

اگر یکی از ورودی ها L باشد (یک طرف را به زمین وصل کردیم) طرف دیگرش به تغذیه

وصل است ⇐ دو سر دیود دیگر بیشتر از ۰/۷ قرار نمی‌گیرد ☺

چون: هر دو ورودی L می‌دهیم ⇐ هر دو دیود روشن می‌شوند.

خروجی می‌شود L + ۰/۷ ⇐ خروجی منطقی L را دارد.

اگر دو تا L را اعمال کنیم خروجی هم Low می‌شود. حالا اگر یکی از ورودی ها H باشد.

A ← L است B ← H است ⇐ دو سرش دیگر یک ۰ اعمال می‌شود.

اختلاف به اندازه‌ی ۰/۷ ندارند ⇐ B نمی‌تواند روشن شود ولی A چون ورودی‌اش

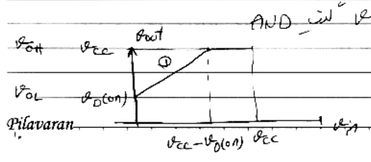
L هم روشن است. کافی است یکی از دیودها روشن شود تا خروجی از طریق آن بتواند

مقدار L بگیرد.

اگر همه‌ی دیودها ورودی H بگیرند یعنی همه‌شان خاموش باشند خروجی از طریق مقاومت

متصل به V_{CC} که وصل است مقدار H می‌گیرد

منحنی VTC گیت AND



فرض می‌کنیم ولتاژهای ورودی یکسان باشند.

$v_{inA} = v_{inB} = v_{IN}$

طبق این ورودی منحنی رسم شده.

در صورتی که اختلاف ولتاژ دو سر D $v_{CC} - v_{in} > v_{D(on)}$

$\Downarrow$

D روشن $\Rightarrow v_{in} < v_{CC} - v_{D(on)}$

$\Rightarrow v_{out} = v_{in} + v_{D(on)}$

از منحنی که بدین شکل مشخص است می‌توانیم استفاده کنیم تا v_{out} را به دست بیاوریم.

D خاموش $v_{in} > v_{CC} - v_{D(on)}$ جریان نداریم $\Rightarrow v_{out} = v_{CC}$

برای رسم منحنی

$v_{in} = 0 \Rightarrow v_{out} = v_{D(on)}$

$v_{in} = v_{CC} - v_{D(on)} \Rightarrow v_{out} = v_{CC}$

با شیب یک

نقطه v_{in} از $v_{CC} - v_{(on)}$ بیشتر شود دیود خاموش می‌شود.

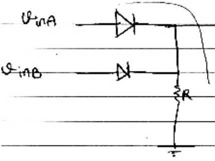
ولتاژ خروجی را بستگی به منبع تغذیه v_{CC}

$v_{OH} \to v_{CC}$

$v_{OL} \to$ دقیقاً صفر نیست به اندازه
ولتاژ دیود است

منحنی انتقالی که داریم ایراداتی است v_{OH} خوب است دقیقاً v_{CC} است اما
v_{OL} دقیقاً صفر نیست. به طور تئوری پیشنهاد شده که v_{OL} با ولتاژ v_{in} min برابر باشد. ما در ادامه می‌بریم تا جای ممکن

گیت OR



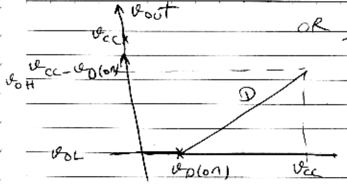
v_{inA}	v_{inB}	v_{out}
L	L	L
L_{off}	H_{on}	H
H_{on}	L_{off}	H
H_{on}	H_{on}	H

اگر هر دو ورودی ۰ باشند.
ورودی A یا هر دو طرفش ولتاژ پایین است که نمی‌تواند روشن شود.
B هم همین طور وقتی دو تا با هم هر دوشان خاموش است.
حالا که دیودها خاموش هستند به دو خودشان تاثیری ندارد و ولتاژ خروجی می‌تواند
از طریق مقاومت به زمین وصل شود که مقدار L را می‌گیرد.

اگر به یکی از ورودی‌ها مقدار H بدهیم B ← H
دو سر طرف به اندازه‌ی ۰/۷ اختلاف پتانسیل قرار می‌گیرد.
که دیود مرتبط با ورودی B روشن می‌شود.
A روشن نمی‌شود. به محض اینکه یکی از دیودها روشن شد خروجی از طریق
آن دیود به ورودی وصل شود. به اندازه ۰/۷ افت می‌کند. + خروجی
به منطق ⊙ H است.

وقتی هر دو ورودی H هر دو دیود روشن می‌شوند خروجی از طریق آنها
می‌تواند به ورودی وصل می‌شود H می‌شود.
دقت کنید H باید خیلی بالاتر از ⊙ ۰/۷ باشد.

منحنی VTC گیت OR



برای رسم منحنی در دو حالت امکان منطقی داریم

$v_{in} > v_{D(on)} \Rightarrow$ D روشن

به محض اینکه بالاتر برود ولتاژ دیود هم می‌تواند روشن شود

$\Rightarrow v_{out} = v_{in} - v_{D(on)}$

$v_{in} < v_{D(on)} \Rightarrow$ D خاموش $\Rightarrow v_{out} = 0$

منظور $v_{D(on)}$ است.

$v_{in} = v_{D(on)} \Rightarrow v_{out} = 0$

$v_{in} = v_{CC} \Rightarrow v_{out} = v_{CC} - v_{D(on)}$

برای رسم ۲ نقطه نیاز داریم

اگر ولتاژ ورودی برابر $v_{D(on)}$ باشد v_{out} صفر است.

به محض اینکه از آن بیشتر شود مقدار خطی تا وقتی که v_{in} = v_{CC} باشد.
خروجی به اندازه مقدار $v_{CC} - v_{D(on)}$ می‌شود.

v_{inA} و v_{inB} نمی‌توانند v_{cc} باشند.

فقط وقتی ورودی کمتر از $v_{D(on)}$ باشد خروجی صفر است.

$v_{OH} \to v_{cc} - v_{D(on)}$
$v_{OL} \to 0$ صفر

برعکس حالت قبل v_{OL} خوب است صفر است اما $v_{OH} \leftarrow v_{cc}$

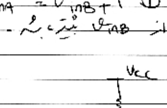
نتیجه کمی مقدار افت دارد. (مدارهای ترکیبی دیگر که در جزوه نشان داده شده

که بعداً در کلاس گفته می‌شود. که مدام مدارهای دیگر در نظر گرفته شده)

مثال. گیت AND دو ورودی

$v_{inA} = v_{inB} + 1$ ①
اگر ولتاژ ورودی A به اندازه یک ولت از v_{inB} بیشتر باشد.

نشان دهید D_A قطع است.



اگر هر دو وصل باشند D_A روشن D_B روشن
$v_{DB} = v_{out} - v_{inB}$
ولتاژ دیود B را در نظر می‌گیریم
در این جا آن را اثبات می‌کنیم یا نقض می‌کنیم

برهان خلف (اثبات کردن‌ها) — و فرض را دقیقاً عکس می‌آوریم و ثابت می‌کنیم غلط

عکسش را ثابت می‌کنیم از نقض آن می‌رسیم

ثابت می‌کنیم D_A روشن نیست خاموش است.

دیودها چون دو دیود وجود دارد هر کدام می‌توانند روشن یا خاموش

باشند ۴ حالت می‌شود، ولی اگر بخواهد D_A روشن باشد.

فرض A حالت روشن است.

قرار است B نسبت به A مثبت‌تر باشد ⇐ اگر A روشن باشد B هم حتماً روشن است

آنقدر ولتاژ دارد که روشن باشد.

$$v_{DB} = v_{out} - v_{inB} = v_{inA} + 0.7V - v_{inB}$$

②

$$v_{out} = v_{inA} + \underbrace{v_{D(on)}}_{0.7V}$$

کـ) $\cancel{v_{inB}} + 1 + 0.7V - \cancel{v_{inB}} = 1.7V$

فرض اولیه را نقض کرده که D_B روشن باشد.

چون ۰٫۷ نیست ۱٫۷ است.

فرض کردیم هر دو دیود روشن است ⇐ و مقدار هر دو باید ۰٫۷ باشد.

۰٫۷ یا کمتر

۱- فرض D_A $v_{DA} = v_{out} - v_{inA} = v_{inB} + 0.7V - v_{inA}$

$v_{out} \rightarrow v_{inB} + 0.7V$

فرض D_B

ج) $v_{inB} + 0{,}7V - (v_{inB} + 1) =$

$\cancel{v_{inB}} - \cancel{v_{inB}} - 0{,}3 = -0{,}3$

فرض ✓ <= D_A قطع است.

< ۰٫۳ - منفی شده <=

دیود وقتی روشن است ولتاژش ثابت و ۰٫۷ است.

اگر با این فرض هم نتوانستیم اثبات کنیم به سراغ حالتی می‌رویم که هر دو قطع باشند.

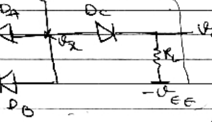
اگر فقط دو حالت داشته باشیم نقض یکی را ببینیم کافی است.

گیت AND اصلاح شده

با استفاده از ولتاژ منبع تغذیه منفی مقادیر v_{OL} و v_{OH} که داشتیم را تغییر دادند.

مدار همین گیت AND بدین صورت می‌شود. یک ولتاژ مثبت داریم یک دیود

که هم اضافه شد این تغییر ایجاد شد. یک ولتاژ منفی هم در طرف دیگر.



[illegible]

جایگزینی که در BJT

رسم منحنی VTC

$v_{inA} = v_{inB} = v_{in}$

روشن D_A $\quad v_{CC} - v_{in} > v_{D(ON)}$

$\Rightarrow v_{in} < v_{CC} - v_{D(on)}$

شرط روشن و خاموش بودن برای ۲ تا دیودمان هم هست.

یعنی D_A و D_L داریم.

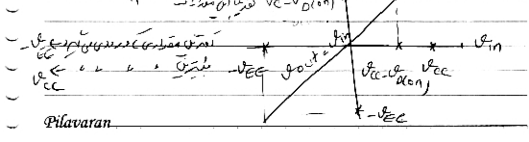
خاموش D_A $\quad v_{in} > v_{CC} - v_{D(on)}$

روشن D_L $\quad v_x - (-v_{EE}) > v_{D(on)}$
برای v_x مشخص کنیم

$\Rightarrow v_x > -v_{EE} + v_{D(on)}$

خاموش D_L $\quad v_x < -v_{EE} + v_{D(on)}$

پس: روشن یا خاموش بودن D_A را می‌بینیم که مقدار v_x چقدر است.



روشن D_A $v_{in} < V_{CC} - v_{D(on)} \Rightarrow v_X = v_{in} + v_{D(on)}$

روشن D_L $v_{in} + v_{D(on)} > -V_{EE} + v_{D(on)} \Rightarrow$

شرط روشن بودن D_L این بود که $v_X > -V_{EE} + v_{D(on)}$

در مجموع هر D_A و D_L روشن هستند $\boxed{v_{in} > -V_{EE}}$

در ناحیه‌ای که ولتاژ ورودی از $V_{CC} - v_{D(on)}$ کمتر باشد و از $-V_{EE}$ بیشتر باشد.

$$v_{out} = v_{in} + v_{D(on)} - v_{D(on)} = v_{in}$$

در این محدوده ورودی و خروجی برابر است.

$$-V_{EE} < v_{in} < V_{CC} - v_{D(on)}$$

روشن D_A $v_{in} < -V_{EE}$

ولتاژ خروجی نهایتاً به $-V_{EE}$ می‌رسد

خاموش D_L $v_{out} = -V_{EE}$

اگر ولتاژ ورودی را کاهش دهیم و ولتاژ ورودی منفی‌تر

بدهیم، خواهیم دید مقدار خروجی تغییری نکرده و نهایتاً برابر $-V_{EE}$ است.

خاموش D_A $v_{in} > V_{CC} - v_{D(on)}$

روشن D_L $\longrightarrow$ از یک طرف جریان را می‌کشد / از طرف دیگر جریان را می‌دهد $\Big\}$ $\Leftarrow$ v_X اختلاف پتانسیل دو طرف $\Leftarrow$ روشن D_L

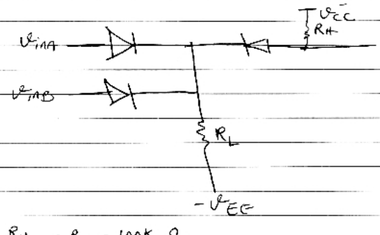
$$v_{out} = v_{CC} - R_H \underset{\displaystyle \downarrow \atop \displaystyle \frac{v_{CC} - v_{D(on)} - (-v_{EE})}{R_H + R_L}}{(I)} - v_{D(on)}$$

در نقطه مرزی برابر $v_{CC} - v_{D(on)}$ است.

در صورت اصلاح نشده ولتاژ H دقیقاً v_{CC} یعنی ۵ ولت v_{CC} نیست.

نهایت ولتاژ $v_{D(on)} - v_{CC}$ است (در این حالت)

✓ ساختن ، گیت CR



$R_H = R_L = 100K\ \Omega$

$-v_{EE} = -$ ۵ ولت

$v_{CC} =$ ۵ ولت

$v_{D(on)} =$ eV

Se۳

ترانزیستورهای MOSFET

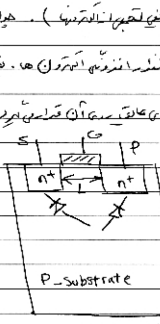
Metal oxide semi conductor field effect transistor

ترانزیستورهای اثرمیدان فلز اکسید نیمه رسانا گفته می‌شود

فیزیک ساخت NMOS

NMOS افزایشی

یک زیرلایه‌ای از P داریم یعنی در ماده‌ی سیلیکون ناخالصی P تزریق شده تجمع حفره‌های مثبت. اگر بخواهیم حامل‌های الکترون را داشته باشیم. در ناحیه می‌توانیم ایجاد کنیم با تزریق ناخالصی n (یعنی تجمع الکترونها). چون حد زیادی از الکترونها است یعنی n+ با مشخص می‌گذاریم یعنی افزونی الکترون ها. یعنی بار در ناحیه بین دو ناحیه منفی است هم n سپس یک ماده‌ی عایق بین آن قرار می‌گیرد.



Source _ gate _ drain

معمولاً اکسید عایق SiO_2

وسایلی که به بیرون ارتباط

داشته باشند. ۳ پایه داریم

برای این که اتصال

نمی‌توانیم ولتاژ بدهیم جریان بگیریم . با آن ارتباط داشته باشیم .

ارتباط از طریق فلز یا هادی است . ۴ پایه در نظر می‌گیرند

D و الکترودهای اتصالی L دارد
source
gate
drain

پایه‌ی چهارمی که داریم پایه‌ی BulK یا بدنه است . که معمولاً به پایه Source وصل می‌شود و از آن صرف نظر می‌شود . بود و نبودش تأثیری ندارد .

معمولاً می‌خواهیم جریانی از D به S داشته باشیم . نیروهایی که اعمال می‌کنیم طوری است که جهت جریان از D به S باشد .

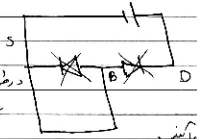
p و n برای ما یک پیوند دیودی ایجاد می‌کند .

B وصل می‌شد به P . از طرف دیگر دیود دیگری داریم به S .

می‌خواهیم وقتی کار می‌کند . برای اینکه جریان D به S برقرار شود . ترجیح می‌دهیم این دو دیود همیشه خاموش باشند . (باید معکوس باشند) تا اشکالی در کار ایجاد نکنند . بنابراین پایه‌ها را به S وصل می‌کنیم . با این کار دیودها هیچ وقت نمی‌توانند روشن شوند چون دو طرف اختلاف پتانسیل ندارند .

از طرفی ولتاژ $V_{DS} > 0$ را هم مثبت می‌دهیم.

منبع تغذیه به صورت زیر اعمال می‌شود.



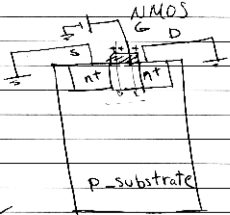
در هر دو جا بار منفی اعمال می‌شود نمی‌تواند روشن شود.

D بار مثبت سمت D است.

دیودها بی‌عمل می‌کنند.

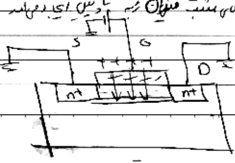
ولی میزان فاصله‌شون نسبت تأثیری هم ایجاد ندارد.

عملکرد NMOS



D, S را زمین کرده و به G ولتاژ مثبت اعمال می‌کنیم.

بارهای مثبت میدانی که بار منفی ایجاد می‌کنند



وقتی ولتاژ G چون میدان رو به پایین داریم مثبت‌ها را به سمت پایین هل می‌دهد.

از ناحیه‌های مثبت که خالی می‌شود. شارژ بارهای منفی می‌شود. مثبت‌ها پایین

می‌روند. باعث می‌شود تک کانال به وجود بیاید.

(حفره هم هستند P را صرفاً هستند ما عایق نداشتیم)

با اعمال ولتاژ مثبت در G میدانی به وجود می‌آید مثبت‌ها به سمت پایین

هل داده می‌شوند. خالی شدن ان مثبت‌ها باعث می‌شود در آنجا بتوانند

الکترون‌های ضعیف O در نقاط آنها پر شوند. یک کانال به وجود می‌آید.

که باعث می‌شود انتقال الکترون بهتر برقرار شود.

ولتاژ آستانه

وقتی که ولتاژ داریم تا کانال بتواند درست شود. ولتاژ آستانه گفته می‌شود.

$V_T > 0$

در صورتی می‌تواند O روشن بشود V_T با اندازه ولتاژ آستانه اعمال شود

از طریق V_{GS} نفی $V_{GS} > V_T$

ترانزیستور روشن شده.

در ناحیه خطی است یا اشباع

ناحیه خطی

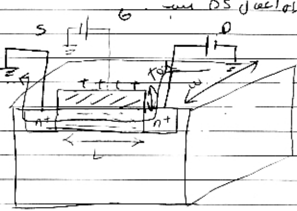
S زمین است ⇐ v_{GS} همان ولتاژ G است.

عملاً فرض می‌خواهد کنیم v_{DS} باید مثبت باشد.

DS با مثبت حرکت الکترون‌ها به طرف D می‌شود. حرکت الکترون‌ها به علت v مثبت است.

قرارداد می‌شود جریان عکس حرکت الکترون‌ها ⇐ جهت جریان از سمت D به S است.

با اعمال DS مثبت.



tox ضخامت
لایه اکسید -

$v_{DS} > 0$

$v_{GD} > v_t$

سطح مقطع کانال
در طرف چالاک است طرف تنگ‌تر D
است.

⇐ G نسبت به D باید از v_t آستانه بیشتر باشد
میدان در ناحیه خطی عمل کند.

$v_{GS} - v_{DS} > v_t$

$\Rightarrow v_{DS} < v_{GS} - v_t$ ← v_{DS} کم باشد

مقدار کوچکی دارد.

تا وقتی که این جریان DS داریم در ناحیه خطی عمل می‌کند.

شبیه مقاومت عمل می‌کند.

$$I_{DS} = K_n[(v_{GS} - v_t) v_{DS} - v_{DS}^2/2]$$

فرمول جریان در ناحیه خطی

$$K_n = \underbrace{\mu_n}_{\text{تحرک پذیری الکترون‌ها}} \underbrace{C_{ox}}_{\text{خازن واحد سطح}} W/L$$

$$\frac{\varepsilon_0 \varepsilon_x}{t_{ox}}$$

ε_0 ضریب گذردهی

L ← طول کانال به وجود آمده

t_{ox} ← تقریبا مقدار ضخامت اکسید قرار می‌دهیم

ضخامت ماده اکسید.

w ← عرض کانال

اکسید که داریم خازن ایجاد می‌کند. با مثبت در یک طرف

با منفی در طرف دیگر } خازن

عایق در وسط

مقاومت بی‌نهایت دارد.

چون ناحیه اکسید داریم (عایق) جریان G نداریم $I_G = 0$

یعنی ضریب تقویت جریان بالا باشد.

می‌توانیم با استفاده زیاد از G در MOSFETها

v_{DS} مقدار کمی دارد (محدوده ترایودی)

$v_{DS}^{2}/2 \rightarrow$ خیلی کوچک می‌شود <<

اگر از توان ۲ صرف‌نظر کنیم. رابطه مقابل را می‌توانیم داشته باشیم.

$$I_{DS} = \frac{1}{r_{ds}} v_{ds}$$

$$r_{ds} = \frac{1}{\underset{\text{ثابت}}{K_n}(\underline{v_{GS}} - v_t)} \rightarrow \text{متغیر}$$

و ما ثابت در نظر گرفته‌ایم

یعنی در v_{ds} های پایین می‌توانیم بگوییم شبیه یک مقاومت عمل می‌کند.

در محدوده غیر خطی که به مثل یک خط عمل می‌کند. به جای این که مثل یک منحنی درجه ۲ عمل کند.
ناحیه اشباع {

$v_{GS} > v_t$ این شرط باید برقرار باشد.

$v_{GD} < v_t$ یعنی v_{DS} زیاد باید باشد یعنی وقتی v_{DS}

باز زیاد می‌کنیم وارد ناحیه اشباع می‌شویم

در منحنی‌های ولتاژ GD با GS بیشتر از ولتاژ آستانه هستند و اندازه‌ی مهم‌تری هستند.

کانال یعنی در طرف کانال، به محض این که تنگ شده جای پینچ‌شدگی ولتاژ G نسبت به

ادامه دارد . تا جایی که ولتاژ آستانه برسد یعنی شرط تقارنی که داشتیم

به هم بخورد . GS همچنان ثابت است
چون G ولتاژ ثابت می دهیم
که هم زمین است

DS را داریم زیاد می کنیم . یعنی چه منحنی به دست می آوریم

D هر چقدر زیاد می شود . D و G اختلاف ولتاژشان تغییر می کند باعث

می شود میدان عمود می شود در دو طرف فرق کند در نتیجه کانال شکل مخروطی

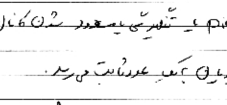
پیدا می کند ادامه پیدا می کند تا زمانی GD به اندازه ولتاژ آستانه برسد

پدیده pinch-off یعنی تنگ شدگی یا مسدود شدن کانال اتفاق افتاده.

حالت ثابت پیدا می کند جریان D یک عدد ثابت می رسد.

هر چقدر هم DS را بالا ببریم به نهایت حد خودش رسیده . مهم تر اینکه

کانال اینجا تغییر می دهد.



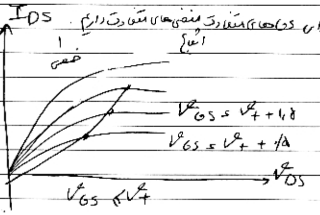
$I_{DS} = K_n/۲ (v_{GS} - v_t)^۲$

رابطه ثابت پیدا می‌کند. v_{DS} در این رابطه تأثیر ندارد.

$v_{GD} < v_t \Rightarrow v_{GS} - v_{DS} < v_t \Rightarrow$

v_{DS} زیاد است: $\boxed{v_{DS} > v_{GS} - v_t}$

به ازای v_{GS}های متفاوت منحنی‌های متفاوت داریم.



مرز این دو ناحیه: $v_{DS} = v_{GS} - v_t$

$v_{GD} = v_t$

اگر GS دقیقاً پایین‌تر از آستانه باشد (یا مرز) ($v_{GS} < v_t$) جریان صفر است. بنابراین DS هر قدر زیاد شود، اصلاً کانال نداریم که جریان داشته باشیم.

به محض اینکه ولتاژ GS را زیاد کنیم در ناحیه خطی یک منحنی داریم و در ناحیه اشباع یک خط صاف داریم.

هرکدام از منحنی ها از یک نقطه ای شروع می کنند به ثابت شدن .

این نقطه مرز خطی و اشباع است .

saturation linear

تریودی

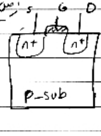
ناحیه خطی DS ها ما می توانیم مقاومت درنظر بگیریم جاهایی که منحنی خط صاف کم است .

جهت بالا رفتن . این ها هست . (شکل این را نشان می دهد)

به ازای چه ولتاژ GS می توانیم جریان را در ناحیه اشباع یا خطی بدست آوریم .

مثال . مقدار جریان را بدست آورید $I_{DS} = ?$

$v_t = 1v$ $K_n = 10\ mA/v^2$



باید این حالت باشد $v_{GS} > v_t$ تا روشن باشد .

$v_{GS} = ۳$

$v_t = 1 \Rightarrow ۳ > ۱$

ضمنا در اینجا قدر v_t را می دهند .

در NMOS افزایشی $v_t > 0$ است .

v_{DS} $v_{GS} - v_t$ سپس باید بین این دو را باید بسنجیم

$۴,۵ > ۳ - ۱$

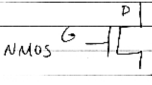
$\Rightarrow$ اشباع است

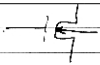
= در رابطه اشباع داریم

$$I_{DS} = K_n/۲(V_{GS} - V_t)^۲$$

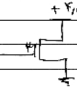
$$= \frac{۱۰ \times ۱۰^{-۶}}{۲}(۴-۱)^۲ = ۲۰\,MA$$

نمادهای NMOS افزایشی





NMOS سوال.



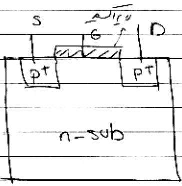
در این مثال تمام ولتاژها را داده. اگر نداده باشه باید با نقض کردن و نقض آن فرض‌ها ناحیه‌ها را بدست آوریم.

NMOS افزایشی نوع P ≡ PMOS

ناخالصی تزریق شده در نوع n ، n بود. کانال ایجاد شده هم n بود.

حال می‌خواهیم نوع p داشته باشیم.

فرق با قبلی این است که تمام n ها به p تبدیل می‌شوند
p ها به n ها .



تجمع p ها را داریم. در قسمت عایق هم ترتیب برعکس بارش هم مثبت است .

می‌خواهیم کانال ایجاد شده که حفره با بار مثبت داشته باشد باید GS ولتاژ منفی اعمال کند تا بتواند کانال با بار مثبت ایجاد کند . $v_{GS} < 0$

در v_t به جهت آنکه مقدارش منفی است .

GS باید از آستانه منفی‌تر شود

$$\boxed{\text{خطی} \quad v_{DS} > v_{GS} - v_t}$$

$$I_{DS} = K_p[(v_{GS} - v_t)v_{DS} - v_{DS}^2/2]$$

اشباع

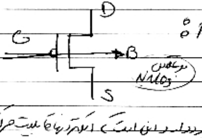
$$\begin{cases} v_{GS} < v_t \\ v_{DS} < v_{GS} - v_t \\ I_{DS} = K_p/2(v_{GS} - v_t)^2 \end{cases}$$

خطی
$$\begin{cases} v_{GS} < v_t \\ v_{DS} > v_{GS} - v_t \\ I_{DS} = K_p\left[(v_{GS} - v_t)v_{DS} - v_{DS}^2/2\right] \end{cases}$$

معمولاً طراح مدار عرض کانال را معلوم می‌کند تا بتواند طراحی‌های مختلف را انجام دهد.

$K_p = \mu_p C_{ox} W/L$

نماد مداری PMOS:



نکته‌ای که راجع به μ_p هست دلیل این است که الکترون‌ها قابلیت حرکت‌شان بیشتر (تحرک‌پذیری حفره‌ها) از حفره‌ها است. این بیشتر بودن، این شکل است که تقریباً الکترون‌ها ۲ تا ۳ برابر بیشتر از حفره‌ها می‌توانند حرکت کنند. تقریباً می‌گیریم ← الکترون‌ها ۲٫۵ برابر حفره‌ها می‌توانند حرکت کنند.

در PMOS معمولاً S را ولتاژ بالا می‌دهیم.

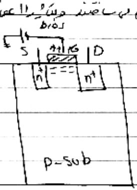
یا اینکه می‌توانیم S را زمین کنیم و ولتاژ منفی به D اعمال کنیم.

در NMOS S را زمین می‌کنیم.

MOS.FET تخلیه‌ای کاهشی

NMOS کاهشی

فرق با افزایشی این است که کانال از قبل وجود دارد.
یعنی هنگامی که می‌سازند دوپینگ را عمل می‌کنند.



لازم نیست ولتاژ GS بدهیم تا کانال به وجود بیاید.

حتی اگر $v_{GS}=0$ داشته باشیم
اگر DS ≠ ۰ باشد. } کانال را داریم سپس با v_{DS}

$I_{DS}>0$ است.

v_{GS} را اگر بالا ببریم $v_{GS}>0$.
کانال را داریم. کانال پهن‌تر می‌شود یعنی بیشتر می‌شود.

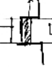
اگر $v_{GS}<0$ بدهیم. چون کانال دارد. عملاً باعث می‌شود کانال کم شود. جریان تا موقعی داریم که کانال داریم.
کانال بارهای مثبت را جذب می‌کند که با آن‌ها جبران
یعنی کانال از بین می‌رود.

حداکثر GS که دیگر کانال نداریم یعنی کانال از بین می‌رود. ← v_{th} آستانه

v_t ولتاژ آستانه حدی است که از آن کمتر کانال از بین می‌رود.
v_{GS}

به غیر از این بقیه تمام موارد و تعاریف شبیه NMOS افزایشی است.

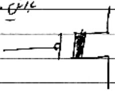
چون کانال از قبل وجود دارد



$v_{GS} > v_t$ شرایط قبلی کار می‌کند.
1. ناحیه خطی $v_{DS} < v_{GS} - v_t$
2. اشباع $v_{DS} <$ "
3. همان فرمول‌ها

PMOS کاهشی

عکس NMOS کاهشی است. همان روابط PMOS افزایشی. با این تفاوت که $v_t > 0$



تفاوت مربوط
ولتاژهای آستانه چه مقداری دارند و چه روابطی را باید اعمال کنیم.