الکترونیک دیجیتال

مراجع

۱ـ الکترونیک دیجیتال تألیف دکتر مهدی صدیق (امیرکبیر)

۲ـ مدارهای مجتمع دیجیتال تألیف دکتر آیت الهی (دانشگاه آزاد قزوین)

۲ نمره تکلیف و کوئیز (خارج از زمان تحویل داده نشود)

۱۸ نمره پایان ترم

پروژه یا تحقیق (تا ۲ نمره اضافه)

کوئیز ۱-۱۲ گرفته می‌شود.

سرفصل مطالب

۱ـ مقدمات و مفاهیم اولیه

۲ـ دیود

۳ـ ترانزیستورهای MOSFET

۴ـ منطق‌های مبتنی بر NMOS
CMOS

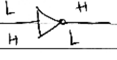
۵- مدارهای منطقی پویا

۶- ترانزیستورهای دوقطبی، منطق‌های مبتنی بر آن RTL, DTL, TTL

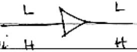
۷- BiCMOS

فصل اول   مقدمات و مفاهیم اولیه

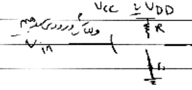
- معکوس‌کننده (invertor)   وارون‌ساز



بافر
ناوارون‌ساز

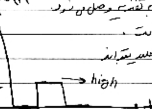


گیت NOT عملاً مانند یک کلید است. و یک تقویت‌کننده



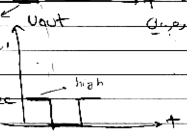
به طوری که اگر یک سیگنال [illegible] داشته باشیم
کلید به صورتی عمل می‌کند که تغییر ولتاژ پایین
است. منطق low دارد کلید باز است
وقتی کلید باز است خروجی مستقیم به تغذیه وصل می‌شود
جریان ندارد خروجی high است.
و هنگامی که ورودی به حدی برسد که کلید بتواند
تغییر حالت دهد ... بسته شود
زمانی حالت خروجی low
می‌شود یعنی وصل می‌شود و جریان
مستقیماً به زمین می‌آید.

(در صورت کلید ایده‌آل اجرا می‌شود)



متناوب به صورت متناوب
تکرار شود.

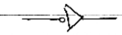
Low می‌شود در حالت ایده‌آل
H به H است یعنی تغییر
در خروجی H ← L می‌شود.



MOSFET در
Drain ولتاژ است

Subject: Date:

گیت NAND



فقط در تغییر معکوس کننده

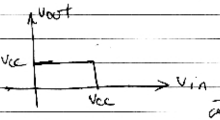
عنصر ذکر شده حالت ایده‌آل است. اما در مورد ورودی و خروجی تأخیر وجود دارد.

مقاومت عملیه صفر در نظر گرفته شده در حالی که عملاً هر حال دارای مقاومت است.

=) خروجی دقیقاً صفر نمی‌شود.

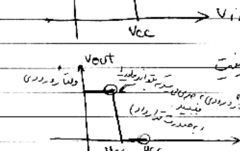
مشخصه انتقال ولتاژ VTC

(منحنی ولتاژ خروجی بر حسب ورودی)



گیت NOT ایده‌آل

۱- تغییر وضعیت سطح در ورودی و خروجی واقعی نیست و حالت ایده‌آل است و امکان پذیر نیست چون همیشه تأخیر داریم
و خروجی



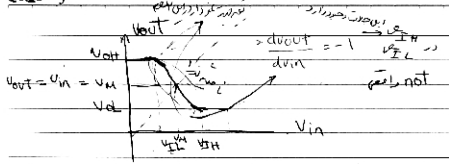
در منحنی در عمل یک خط افقی وجود دارد

یک خط افقی با یک شیب ایده‌آل نیز نیست.

(تغییر وضعیت ملایم‌تر قرار دارد)

خط عمودی و عمودی آن نیز چون نمونه‌های مختلفی تحت تأثیر قرار می‌گیرند و در طول تأثیر زمانی قرار دارند. در هر سطح متفاوت می‌شود که در سطح عملی است به (ق ق) خط عمودی یک خط کامل با یک شیب همراه است. ما شده و رفت این خط‌ها زمان می‌برد. یعنی علت عبور از حالت ایده‌آل نیست.

بنابراین تأخیر انجام می‌شود.



v_{IL} ورودی منطق low به خروجی منطق high می‌دهد. از اینجا به بعد خروجی از high بودن خارج می‌شود.
ناحیه ممنوعه: منطق بین L تا H است اما در بقیه نواحی وضعیت مشخص است.
وضعیت در این ناحیه نامشخص است.

مثلاً: برای H ولتاژ ورودی ۵ تا ۳؛ ناحیه ممنوعه؛ برای Low ولتاژ ورودی ۲ تا ۰

$V_{IL} = ۲$ $V_{OH} = ۵$

$V_{IH} = ۳$ $V_{OL} = ۰$

۲- مقاومت خروجی صفر (نقطه ضعف در حالت ایده‌آل) ـ در حالی که کلیدهای ما یک سیم صاف نیستند
هم به شکل یک مقاومت کوچک r_{switch} دارند. که در حالت ایده‌آل آن را صفر فرض
می‌کنیم. ولی در واقع آن صفر نیست و وقتی کلید بسته می‌شود یک مقاومت کوچک داریم
که ضعیف به اندازه ۱k می‌شود. (تضعیف شود)
که این ویژگی عنصر غیر ایده‌آل می‌باشد.

نسبت به not واقعی است که بیشترین مقدار را دارد یعنی هر چه ولتاژ ورودی خروجی کم
حالت در نهایت کمتر min می‌شود در حالت واقعی صفر مقدار نیست.

v_{OH} بیشترین مقدار خروجی ولتاژ — v_{IL} بیشترین ولتاژ ورودی low است که خروجی متناظر high دارد

v_{OL} کمترین — v_{IH} کمترین (min) ولتاژ high است که خروجی متناظر low دارد

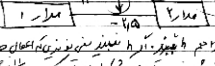
Pilavaran v_M: ولتاژ ورودی و خروجی برابر

حاشیه امنیت نویز Noise margine نویز اعمال می‌شود در چه حد است

سیگنال‌های ناخواسته‌ای که اتفاق می‌افتد نویز گفته می‌شود.

مدارات طراحی شده نسبت به نویز باید تحمل نویز را داشته باشند. (البته به جای [illegible] طراحی می‌شود)

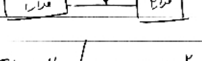
باید توجه داشته باشیم که سطح ولتاژی ۲ هم جزو [illegible] است.


۵ ولت
H
۲/۵
-۲/۵
مدار ۱
مدار ۲
در محدوده‌ی high

زمانی که مدار ۱ ← h هم برسد باید مدار ۲ هم h ببیند. اگر h نبیند یعنی نویزی که اعمال می‌شود بیش از حد مجاز است. مدار ۲ هم باید H ببیند اگر نبیند یعنی نویز اشکال ایجاد کرده ۲٫۵ در محدوده‌ی h هم نیست. در واقع اشکال می‌شود.

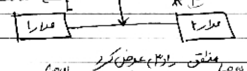
حاشیه امنیت نویز بالا $NM_H = |V_{OH} - V_{IH}|$ = ۲ ولت

نهایت نویزی که اعمال می‌شود به اندازه‌ی اختلاف اینها


۵ H
-۲
۳
مدار ۱
مدار ۲
در منطق H
در محدوده‌ی high
مشکلی ایجاد نمی‌کند

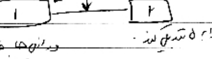
$NM_L = |V_{IL} - V_{OL}|$ = ۲

جهت نویز اعمال شده اگر در جهت مخالف جهت آن عکس باشد مطرح شد، سؤال می‌شود اگر هم جهت باشد باید بررسی شود


Low ← L
نویز هم جهت +۳
high
۴
مدار ۱
مدار ۲
منطق L هم جهت

به طور مثال ۵ + ۲ = ۷ تحمل ۷ ولت را دارد؟

تحمل نویز است


Low
L
+۱٫۵
۱٫۵ L
Low
منطق را (۳) عوض کرد
۱
۲
حاشیه امنیت نویز پایین

مدار همه را طوری طراحی می‌کنند که ۷ را به ۵ تبدیل کند یا اینکه مدار را می‌سوزاند.

و ولتاژها حاشیه امنیت بالا و پایین تعریف شده اما همه این طور نیست

اما آنچه که برای ما مطرح است جهت مخالف است.

لذا طوری است که در این جا باید مدار را طراحی کنیم که برای آن هم منطق تغییر نکند)

اگر هر دو همزمان یک شود حالت خروجی‌اش ثابت و ممکن است اتفاق نیفتد

در شکل صفحه پیش به دلیل تنظیم سیستم به عمل اتصال ۱ اینجا ۳ هم اما نوشتن به اعمال می‌شود.

باعث تغییر ولتاژ می‌شود.

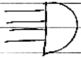
FAN IN FAN OUT

نکته: هر کدام قرار است جریانی وارد کند که عکس

ضریب ورودی ضریب خروجی

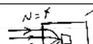
تعداد ورودی هایی که می‌توانیم داشته باشیم

آن عکس العمل داشته باشد.



گیت ۴ ورودی AND

box



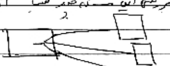
fan in

تعداد ورودی های یک گیت که این مدار می‌تواند داشته باشد.

ضریب خروجی

تعداد گیت‌هایی که از یک گیت خارج می‌شود.

حداکثر تعداد گیت not را که می‌توانیم به خروجی یک گیت not وصل کنیم. به عنوان ورودی هر گیت فقط وصل می‌شود. سطح منطقی high و low تعیین می‌شود.



Subject: جریان خروجی در حالت high Date:

در منطق H $N_{high} \leqslant \frac{I_{OHigh}}{I_{inHigh}}$ ؛ به عدد کوچکتر گرد می‌شود

در حالت انتشاری جریان ورودی در حالت low

در منطق low $N_{Low} \leqslant \frac{I_{OL\ Low}}{I_{inLow}}$

جریان‌ها در منطق H را مثبت در نظر می‌گیریم که این اندازه‌ها را در نظر می‌گیرد.

$Fan\ out = \min(N_H, N_L)$

فرض کنید:

مثال: I_{OH} = ۷۵ mL IIH = ۴۰ ml
I_{OL} = ۴۰ ml I_{IL} = ۱۰ ml

$N_H = \frac{۷۵}{۴۰} = ۵$ $N_L = \frac{۴۰}{۱۰} = ۴$

$Fan\ out = \min(۵, ۶) = ۵$ اگر ۶ را انتخاب کنیم در منطق H دچار مشکل می‌شویم ممکن است هم که نتوانند جریان را تأمین کنند.

تأخیر انتشار

وقتی سیگنال ضربه برخورد ورودی می‌خواهد تغییر کند مقداری تأخیر دارد
وقتی از H به H ورودی تغییر می‌کند کمی تأخیر بین تغییر خروجی اعمال می‌شود.
L ; H

اندازه‌ای است که تغییر پالس در زمان آمدن تغییر یابد.

از ۱۰٪ ورودی تا ۹۰٪ آن را tr به عنوان زمان صعود تعریف می‌کنند. (حالت استاندارد)

تأخیر انتشار

سیستم‌ها لحظه‌ای تغییر نمی‌کنند.

همیشه زمانی ...

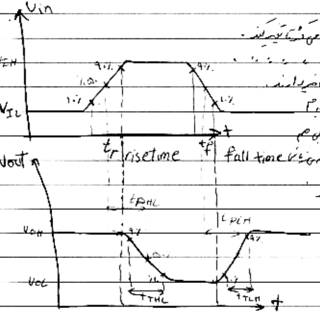
چون هر کدام خودشان تأخیر دارند.

از لحظه ۵۰٪ تغییر ورودی تا ۵۰٪

شدن تغییر خروجی هم

۵۰٪ تغییرات خروجی را

را تأخیر انتشار می‌نامیم.



تأخیر انتشار $t_p = \frac{t_{PHL} + t_{PLH}}{2}$

اگر لحظه‌ی شروع و پایان تغییر ورودی واضح نباشد معمولاً از ۱۰٪ تا ۹۰٪ را در نظر می‌گیرند
از لحظه شروع تغییر تا پایان تغییر را هم در نظر می‌گیرند

حول و حوش این که مثلاً ۹۰٪ به سطح برسد خروجی شروع به تغییر می‌کند.
یعنی تا ۹۰٪ تغییر کرده است) خروجی شروع به عوض شدن می‌کند

از زمانی که ورودی ۵۰٪ تغییر کرد تا وقتی که خروجی ۵۰٪ تغییر کند این مدت زمان هم تأخیر انتشار LH یا HL
و هر کدام تأخیر انتشار میانگین این ۲ است.

هر مقدار طول می‌کشد تا وقتی ورودی تغییر کرد خروجی تغییر کند.

توان مصرفی

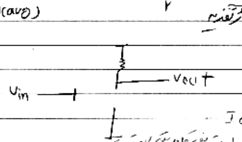
بطور معمول توان ①

ایستا $\boxed{P = VI}$

برای توان وقتی اتفاق L و H شدن به طور کامل انجام شده یعنی به میزان انرژی ثابت
است که ایستا است، ایستا مانند یا پایدار رسیده.

$$P_{\text{ایستا}(avg)} = \frac{I_{OH} + I_{OL}}{2} \times \underset{\text{ولتاژ تغذیه}}{V_{CC}} \text{ یا } V_{DD}$$

مدار ۲ حالت دارد H / L



زمانی که خروجی H است

جریان صفر است $I_{OH} = 0$

وقتی که خروجی Low است یعنی ترانزیستور روشن است

وقتی خروجی H است جریان صفر است I_{OL}

$V_{OH} : I_{OH} = 0$

$I_{OL} = \frac{V_{CC}}{R}$

$$\Rightarrow P_{\text{متوسط}} = \frac{V_{CC}^2}{2R}$$

اگر P کمتر باشد می‌خواهیم ... بیشتر باشد
...

قابل توجه است هر چه جریان مقدار داشته باشد به هر کدام نباشد، این موضوع قابل اهمیت است
که ... در مدار داریم ... داشته باشیم
کدام ... این محاسبه را انجام ... جمع کنیم.

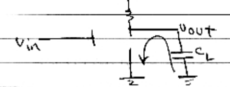
$$P_{\text{کل}} = P_1 + P_2 + \cdots$$

$I_{OH} \rightarrow$ هنگام V_{OH} $\rightarrow$ مقدار I

$I_{OL} \rightarrow$ هنگام V_{OL} $\rightarrow$ مقدار I

پویا

زمانی اتفاق می‌افتد که خازن کم‌کم در حال شارژ شدن است



خازن با بار تدریجی در حال شارژ شدن است. خروجی مقدار ثابت ندارد دائماً مقدارش در حال تغییر است.

با دشارژ دارد خاموش می‌شود. خروجی که از H به صفر می‌رسد در حال مقدار پویا است. مدار هر زمانی که توان را بخواهیم مقدارش متفاوت است.

$$P_{Dynamic} = f\, C_L\, V_{CC}^{2}$$

f: فرکانس سوئیچینگ نوسانی که داریم وقتی تغییر داده بطور سیستم مؤثر

C_L: ظرفیت خازن که عوض می‌شود

V_{CC}: ولتاژ تغذیه

می‌آید. این را به صورت فیزیکی قرار بدهیم

$$P_{\text{توان کل}} = P_{\text{ایستا}} + P_{\text{پویا}}$$

آنوقت این دو با هم جمع شود مقدار توان مصرفی را به دست می‌دهند.

دیود فصل ۲ se۲

دیود

این قطعه الکترونیکی یک المان است معمولاً برای محافظت در ورودی می‌گذارند

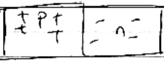
برای اینکه دیگر بیش از حدی که می‌خواهیم یا برخلاف جهت وارد سیستم نشود

یا اینکه نخواهیم سطح DC که داریم آنرا تغییر بدهیم .

ما در اینجا می‌خواهیم با استفاده از دیود تست‌های مختلف بزنیم و بیشتر پیوندهای

PN را در ترانزیستورها داریم .

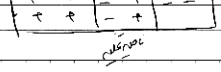
دیود شامل پیوند P و N است .



در ماده‌ی سیلیکون اگر ناخالصی از نوع P تزریق کنیم . این ناخالصی حامل بار

از بارهای مثبت است مثل بور که گیرنده‌ی الکترون است .

ناخالصی نوع n مثل فسفر حامل بار منفی است .



از طرفی بارهای منفی زیاد مثبت و منفی که الان جابجا شده اند باعث میشود

در میان (وسط) یک ناحیه ای ایجاد شود به اسم ناحیه تخلیه.

بارهای منفی در کنار بارهای مثبت تجمع می کنند و فاصله آن طرف بشوند

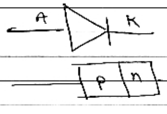
و در عرضش قرار می گیرند از طرف دیگر هم بارهای مثبت در کنار بارهای

منفی قرار می گیرند و یک ناحیه ای ایجاد می کنند که در حالت عادی هم وجود دارد

حالا اگر دقت بکنیم بارهای مثبت و منفی ۲ طرف با هم برابر است و یک ناحیه ی

خالی از بار داریم . (خنثی و خود دیود حالت پیوندی پیدا می کند)

کار الکتریکی و مداری دیود

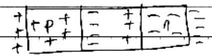


جریان عکس electron difusion

جریان عادی دیود →

← hole drift

از طرف دیگر حفره ها جریان حفره ها را ایجاد می کنند.



بارهای مثبت جریان ⟶ نشتی را ایجاد می‌کنند ← hole drift

electron drift الکترون‌ها ⟵ با این شکل جریان ایجاد می‌کنند

زمانی که diffusion ها بیشتر باشد. حامل‌های اکثریت زیاد داشته باشیم.

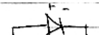
نشانه اینکه برای دیودها در نظر گرفتیم

ولی زمانی که می‌خواهیم بایاس کنیم و ولتاژ بدهیم باید ببینیم در آن صورت

کدام جریان به تغییری غلبه می‌کند و کدام جریان را داریم

الف) بایاس مستقیم

وقتی به دو سر دیود ولتاژ مثبت اعمال کنیم



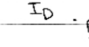
$v_D > 0$

عملاً سر مثبت به مثبت‌تر

سر منفی به منفی‌تر شده.

در بایاس مستقیم جریان غالب جریان diffusion است.

جریان diffusion با drift عکس drift. diffusion > drift

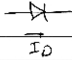


جهت قراردادی: هم جهت با حرکت حفره‌ها

عکس حرکت الکترون‌ها است به طرفی این را می‌دانیم.

و جریان diffusion در هم جهت حفره‌ها

مخالف جهت الکترون‌ها



معادله‌اش را هم آوردیم :

$$I_D = I_S(e^{\boxed{V_D}/\boxed{\varphi_T}} - 1)$$

I_S ← جریان اشباع معکوس ← جریان دیود در حالت معکوس

V_D ← ولتاژ دیود

φ_T ← پتانسیل حرارتی

در دمای اتاق با تقریب برابر ۲۶ mV

در دمای غیر اتاق

$$\varphi_T = \frac{KT}{q}$$

K ← ثابت بولتزمن که در تمام فرمول‌ها حساب کنیم مقادیر ثابت داده می‌شود

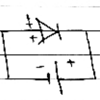
q ← بار الکترون ⊖

T ← دما بر حسب درجه کلوین

و I_S ها را می‌شود با دید به صورت معکوس جریان را محاسبه کنیم.

ب) بایاس معکوس

در بایاس معکوس عکس این اتفاق می‌افتد.



در این حالت ولتاژ منفی اعمال می‌کنیم.

در دو طرف بارهای مثبت و منفی همدیگر را خنثی می‌کنند.

این باعث می‌شود عرض ناحیه‌ی تخلیه بیشتر شود.

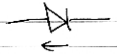
<< ناحیه‌ی تخلیه ⇐ بزرگتر می‌شود.

چون عرض ناحیه‌ی تخلیه بیشتر می‌شود و توانایی ناحیه کمتر می‌شود که جریان

حالت جریان نشتی غالب است . drift

drift > diffusion

جهت :



$|I_D| = I_S$

خیلی مقدار کمی است چون ناحیه تخلیه
جریان نشتی را ایجاد می‌کند معمولاً از آن
صرف نظر می‌کنیم.

بر همین علت وقتی بایاس مستقیم داریم می‌گوییم دیودمان روشن است وقتی
〃 معکوس 〃 〃 〃 خاموش است مثل

مدار باز یا قطع عمل می‌کند. از این جریان که صرف نظر می‌کنیم مگر در زمانهای که محاسبات

دقیق باشد. مقدارش را حساب می‌کنیم و از آن استفاده می‌کنیم.

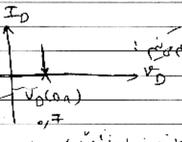
ولی در مدارهایی که در این درس بررسی می‌کنیم. در همین حد که خاموش است یا

روشن با آن کار داریم.

در حالت مستقیم عامل تشدید اثرش را قدری با دقت ببینیم

مدل خطی تکه‌ای دیود

جریان دیود را بر حسب ولتاژ رسم می‌کنیم :



در بایاس مستقیم ولتاژ زیر ۰٫۷ را صفر در نظر می‌گیریم. ولی در واقعیت باید ولتاژ مثبت وارد شود که تا حدی برسد که جریان‌های diffusion بر جریان‌های drift غالب شوند. آن مقدار ولتاژ همان است که دیود در بایاس مستقیم روشن شده ← $V_D(on)$ ۰٫۷

ممکن است مقدار بیش یا کم باشد هر چند فرض می‌کنیم ۰٫۷ است.

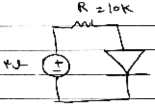
قبل از ۰٫۷ در بایاس مستقیم جریان ندارد.

$$\begin{cases} V_D < V_D(on) & I_D = 0 \\ V_D \geq V_D(on) & I_D > 0 \end{cases}$$

قبل از اینکه دیود روشن شود جریان صفر است. به محض اینکه دیود روشن شد جریان به سرعت می‌تواند افزایش پیدا کند.

دیود ولتاژش وقتی روشن شده همان مقدار ثابت را دارد.

مثال.



$I_D = ?$

$v_D = ?$

۳ ولت مثبت اعمال شده ⇐ حداقل باید ۰٫۷ را اعمال می شد   ۳ > ۰٫۷

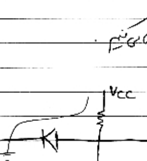
⇐ دیود روشن است.   ۳ > ۰٫۷ ⇐ D: on

$I_D = \frac{۳ - ۰٫۷}{10K} = ۰٫۲۳\ mA$

منطق دیودی.

گیت ها را پیاده سازی می کنیم.

گیت AND



0	1
L	H

از منطق مثبت

	v_{inA}	v_{inB}	v_{out}
هر دو on	L	L	L
	L_{on}	H_{off}	L
	H_{off}	L_{on}	L
	H [illegible]	H_{off}	H

با H ها منطق سروکار داریم.

با هر دو دیودها کار نداریم

اگر یکی از ورودی ها L باشد (یک طرف را به زمین وصل کردیم) طرف دیگرش به دیگری تقدیم

وصل است. ⇐ دو سر دیود دیگر بیشتر از ۰/۷ مقدار نمی گیرد ②

مثال: هر دو ورودی L می دهیم ⇐ هر دو دیود روشن می شوند.

خروجی می شود L + ۰/۷ ⇐ خروجی منطقی L را دارد.

اگر دو تا ورودی را L کنیم خروجی هم Low می شود حالا اگر یکی از ورودی ها H باشد.

A ← L است B ← H است ⇐ دو سر دیود دیگر یکی L اعمال می شود.

اختلاف پتانسیل به اندازه ی ۰/۷ ندارند ⇐ B نمی تواند روشن شود ولی A چون ورودی اش

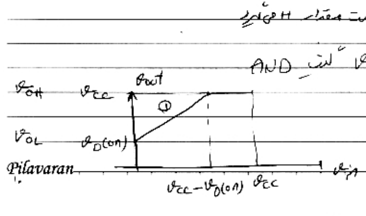
L هم روشن است. کافی است یکی از دیودها روشن شود تا خروجی از طریق آن بتواند

مقدار L بگیرد.

اگر همه دیودها ورودی H بگیرند فقط وقتی همه آن خاموش باشند خروجی از طریق مقاومت

متصل به v_{cc} که وصل است مقدار H می گیرد

منحنی VTC گیت AND



فرض می‌کنیم ولتاژهای ورودی یکسان باشند.

$v_{inA} = v_{inB} = v_{IN}$

طبق این ورودی منحنی رسم شده.

در صورتی که اختلاف ولتاژ دو سر آن $v_{CC} - v_{in} > v_{D(on)}$

$\Downarrow$

D روشن $\Rightarrow v_{in} < v_{CC} - v_{D(on)}$

$\Rightarrow v_{out} = v_{in} + v_{D(on)}$

از مسیر پایینی شکل مشخص است می‌توانیم استفاده کنیم تا v_{out} را بدست بیاوریم.

D خاموش $v_{in} > v_{CC} - v_{D(on)}$ جریان نداریم $\Rightarrow v_{out} = v_{CC}$

برای رسم منحنی

$v_{in} = 0 \Rightarrow v_{out} = v_{D(on)}$

$v_{in} = v_{CC} - v_{D(on)} \Rightarrow v_{out} = v_{CC}$

[illegible]

وقتی v_{in} از $v_{CC} - v_{(on)}$ بیشتر شود دیود خاموش می‌شود.

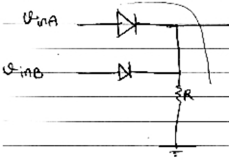
ولتاژ خروجی ثابت می‌شود معادل v_{CC}

$v_{OH} \to v_{CC}$

$v_{OL} \to$ دقیقاً صفر نیست به اندازه ولتاژ دیود است

منحنی اشکالی که دارد این است v_{OH} خوب است دقیقاً v_{CC} است اما v_{OL} دقیقاً صفر نیست. بعد از شکست پیشنهاد شده که v_{OL} را با ولتاژ min [illegible] برابر باشد.

گیت OR



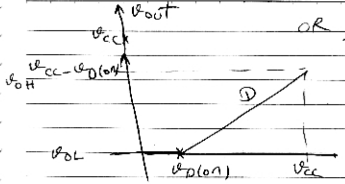
v_{inA}	v_{inB}	v_{out}
L	L	L
L_{off}	H_{on}	H
H_{on}	L_{off}	H
H_{on}	H_{on}	H

اگر هر دو ورودی L باشند.
ورودی A چون دو طرفش ولتاژ یکی است دیود نمی‌تواند روشن شود.
B هم همین طور. وقتی دو تا دیود هر دوشان خاموش است.
حال که دیودها خاموش هستند بود و نبودشان تأثیری ندارد و ولتاژ خروجی می‌تواند
از طریق مقاومت به زمین وصل شود که مقدار L را می‌گیرد.

اگر به یکی از ورودی‌ها مقدار H بدهیم B ← H
دو سر دیود به اندازه‌ی ۰/۷ اختلاف پتانسیل قرار می‌گیرد.
که دیود مرتبط با ورودی B روشن می‌شود.
A روشن نمی‌شود. به محض اینکه یکی از دیودها روشن شد خروجی از طریق
آن دیود به ورودی وصل می‌شود. به اندازه ۰/۷ افت می‌کند. خروجی
با منطق مثبت H است.

وقتی هر دو ورودی H هر دو دیود روشن می‌شوند و خروجی از طریق آنها
می‌تواند به ورودی وصل می‌شود H می‌شود.
وقتی ورودی H باشد همیشه یک ولتاژ عبوری ۰/۷ دارد.

منحنی VTC گیت OR



برای رسم منحنی دیود ها را ایدیال در نظر می‌گیریم

$v_{in} > v_{D(on)} \Rightarrow$ D روشن

به محض اینکه بیشتر بود ولتاژ بیشتر هم می‌تواند روشن شود

$\Rightarrow v_{out} = v_{in} - v_{D(on)}$

$v_{in} < v_{D(on)} \Rightarrow$ D خاموش $\Rightarrow v_{out} = 0$

منظور $v_{D(on)}$ است.

$$\begin{cases} v_{in} = v_{D(on)} \Rightarrow v_{out} = 0 \\ v_{in} = \underline{v_{cc}} \Rightarrow v_{out} = v_{cc} - v_{D(on)} \end{cases}$$

برای رسم ۲ نقطه نیاز داریم

اگر ولتاژ ورودی برابر $v_{D(on)}$ باشد v_{out} صفر است.

به محض اینکه از آن بیشتر شود دیود روشن می‌شود تا وقتی که v_{in} برابر v_{cc} باشد. خروجی برابر به مقدار $v_{cc}-v_{D(on)}$ می‌شود.

v_{inA} و v_{inB} نمی‌توانند v_{cc} باشند.

فقط وقتی دیودها کمتر از $v_{D(on)}$ باشد خروجی صفر است.

$v_{OH} \rightarrow v_{cc} - v_{D(on)}$
$v_{OL} \rightarrow 0$ صفر

برعکس حالت قبل v_{OL} خوب است صفر است اما $v_{OH} \leftarrow v_{cc}$

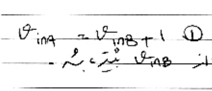
نتیجه: تک مقدار ثابت دارد. (مدارهایی که تعریف دقیقی برحسب بخش‌ها شده

که بعداً در مدارهای منطقی گفته می‌شود. که بعداً هم برای کارهای دیگر استفاده شده)

مثال. گیت AND دو ورودی

$v_{inA} = v_{inB} + 1$ ①
اگر ولتاژ ورودی A به اندازه‌ی یک ولت از v_{inB} بیشتر باشد.

نشان دهید D_A قطع است.



اگر هر دو وصل باشند D_A روشن D_B روشن
$v_{DB} = v_{out} - v_{inB}$
ولتاژ دیود B را در نظر می‌گیریم
و این که آن را ثابت می‌کند یا نقض می‌کند

(اثبات کردن ها)

در حل فرضی معادل — و بعد را دقیقاً ثبت می‌آوریم و ثابت می‌کنیم قطعی

عکسش را ثابت می‌کنیم از نقض آن می‌رسیم

ثابت می‌کنیم D_A روشن نیست خاموش است.

در اینجا چون دو دیود وجود دارد هر کدام می‌توانند روشن یا خاموش

باشند ۴ حالت می‌شود. ولی اگر بخواهد D_A روشن باشد.

نفی A — حالت روشن است.

قرار است B کمیت از A کمتر باشد. ⇐ اگر A روشن باشد B هم حتماً روشن است

آنقدر ولتاژ دارد که روشن باشد.

$$v_{DB} = v_{out} - v_{inB} = v_{inA} + 0.7 - v_{inB}$$

②

$$v_{out} = v_{inA} + \underbrace{v_{D(on)}}_{0.7}$$

(ک) $\cancel{v_{inB}} + 1 + 0.7 - \cancel{v_{inB}} = 1.7$

فرض اولیه را نقض کرده که D_B روشن باشد.

چون ۰٫۷ نیست ۱٫۷ است.

فرض کردیم هر دو دیود روشن‌اند و دیگر هر دو باید ۰٫۷ را باشد.

۱- فرض D_A $\overset{\text{دیگر } 0.7}{}$ $v_{DA} = \underset{v_{inB}+0.7}{\boxed{v_{out}}} - v_{inA} = v_{inB} + 0.7 - v_{inA}$

فرض D_B

⇒ $v_{inB} + ۰٫۷ - (v_{inB} + ۱) =$

$\cancel{v_{inB}} - \cancel{v_{inB}} - ۰٫۳ = -۰٫۳$

فرض ✓ ⇐ D_A قطع است.

$< ۰٫۳ -$ منفی شده ⇐

دیود وقتی روشن است ولتاژش ثابت و ۰٫۷ است.

اگر با این فرض هم نمی‌توانستیم اثبات کنیم به سراغ حالتی می‌رفتیم که هر دو قطع باشند.

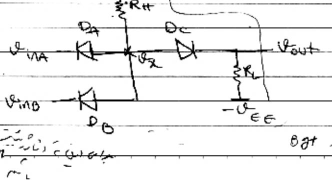
چون فقط دو حالت داشته باشیم نقض را گرفتیم کافی است.

گیت AND اصلاح شده

با استفاده از ولتاژ منبع تغذیه منفی و مقاومت v_{OL} که داشتیم را تغییر داد.
v_{OH}

برای همین گیت AND بدین صورت می‌شود. یک ولتاژ مثبت داریم یک دیود

[illegible] تحلیل [illegible]. یک ولتاژ تغذیه منفی هم در طرف دیگر.



[illegible]

[illegible] در Bgt

رسم منحنی VTC

$v_{inA} = v_{inB} = v_{in}$

روشن D_A $\quad v_{CC} - v_{in} > v_{D(ON)}$

$\Rightarrow v_{in} < v_{CC} - v_{D(on)}$

شرط روشن و خاموش شدن برای ۲ تا دیود ما مهم است.

عیناً D_A و D_L داریم.

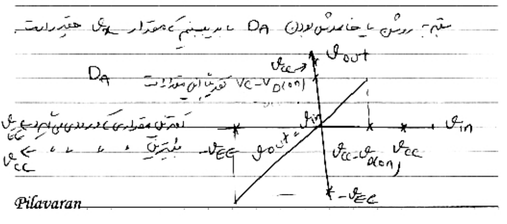
خاموش D_A $\quad v_{in} > v_{CC} - v_{D(on)}$

روشن D_L $\quad v_x - (-v_{EE}) > v_{D(on)}$
برای v_x مشخص کنیم

$\Rightarrow v_x > -v_{EE} + v_{D(on)}$

خاموش D_L $\quad v_x < -v_{EE} + v_{D(on)}$

سپس: روشن یا خاموش بودن D_A را می‌بینیم که مقدار v_x چقدر است.



D_A روشن $\quad v_{in} < v_{CC} - v_{D(on)} \Rightarrow v_X = v_{in} + v_{D(on)}$

D_L روشن $\quad v_{in} + v_{D(on)} > -v_{EE} + v_{D(on)} \Rightarrow$

شرط روشن بودن D_L این بود که $v_X > -v_{EE} + v_{D(on)}$

در نتیجه D_A و D_L روشن هستند $\quad \boxed{v_{in} > -v_{EE}}$

در ناحیه‌ای که ولتاژ ورودی از $v_{CC} - v_{D(on)}$ کمتر باشد و از $-v_{EE}$ بیشتر باشد.

$$v_{out} = v_{in} + v_{D(on)} - v_{D(on)} = v_{in}$$

در این محدوده ولتاژ خروجی با ورودی برابر است.

$$-v_{EE} < v_{in} < v_{CC} - v_{D(on)}$$

D_A روشن $\quad v_{in} < -v_{EE}$

ولتاژ v_o تا $-v_{EE}$ می‌رسد

D_L خاموش $\quad v_{out} = -v_{EE}$

اگر [illegible] ولتاژ ورودی [illegible] بیشتری

[illegible] [illegible] کرد، به نهایت می‌رسد v_o = $-v_{EE}$ است.

D_A خاموش $\quad v_{in} > v_{CC} - v_{D(on)}$

D_L روشن $\longrightarrow$ از یک طرف به ولتاژ مثبت / از طرف دیگر به ولتاژ منفی } $\Rightarrow$ V را اختلاف بین دو طرف

D_L روشن $\Leftarrow$

$$v_{out} = v_{CC} - R_H\,(I) - v_{D(on)}$$

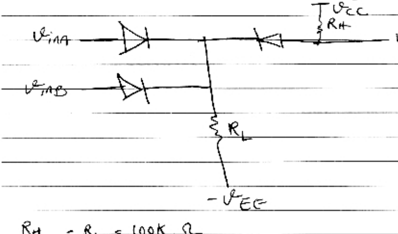
$$I = \frac{v_{CC} - v_{D(on)} - (-v_{EE})}{R_H + R_L}$$

در نقطه مرزی برابر با $v_{CC} - v_{D(on)}$ است.

در صورت اصلاح نشده ولتاژ H دقیقاً v_{CC} نبوده ۵ ولت v_{CC} نیست.

نهایت ولتاژ $v_{CC} - v_{D(on)}$ است (در این حالت)

✓ گیت ، نیت CR


v_{CC}
R_H
v_{inA}
v_{OUT}
v_{inB}
R_L
$-v_{EE}$

$R_H = R_L = 100K\ \Omega$

$-v_{EE} = -$ ۵ ولت

$v_{CC} =$ ۵ ولت

$v_{D(on)} =$ eV

Set ۳

ترانزیستورهای MOSFET

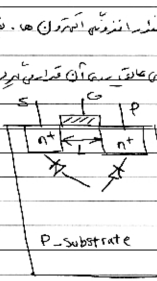
Metal oxide semi conductor field effect transistor

ترانزیستورهای اثر میدانی فلز های نیمه رسانا گفته می‌شود

فیزیک ساخت NMOS

NMOS افزایشی

یک زیربنای از P داریم یعنی در ماده‌ی سیلیکون ناخالصی P تزریق شده تجمع حفره‌های مثبت. اگر بخواهیم حامل‌های الکترون را داشته باشیم. در ناحیه‌ای می‌توانیم ایجاد کنیم با تزریق ناخالصی n (یعنی تجمع الکترون‌ها). چون حد زیادی از الکترون‌ها است تحت + برچسب می‌گذاریم یعنی مقدار افزونی الکترون‌ها. یعنی بار در ناحیه‌ی مورد نظر منفی است هم n سمبل یک ماده‌ی عایق روی آن قرار می‌گیرد.



یک لایه‌ی الکتریکی عایق SiO_2

و برای این که با بیرون ارتباط

داشته باشد. ۳ پایه داریم

برای این ترانزیستور.

بدنه_Bulk

Source _ gate _ drain

نتوانیم دیگه بدهیم جریان بگیریم. با آن ارتباط داشته باشیم. ارتباط از طریق فلز با هادی است. ۴ پایه در نظر می‌گیرند.

در الکترودهای اندازه L دارد
source
gate
drain

پایه‌ی چهارمی که داریم پایه‌ی Bulk یا بدنه است. که معمولاً به پایه Source وصل می‌شود و از آن صرف‌نظر می‌شود. بودن نبودنش تأثیری ندارد.

معمولاً می‌خواهیم جریانی از D به S داشته باشیم. پس ولتاژهایی که اعمال می‌کنیم طوری است که جهت جریان از D به S باشد.

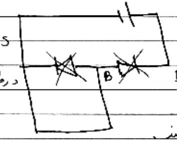
P , n برای ما یک پیوند دیودی ایجاد می‌کند.

B وصل می‌شد به P. از طرف دیگر پیوند دیودی داریم به S.

می‌خواهیم وقتی کار می‌کند. برای اینکه جریان D به S برقرار شود. ترجیح می‌دهیم این دو دیود همیشه خاموش باشد. (بایاس معکوس) باشند تا اشکالی در کار ایجاد نکنند. معمولاً پایه‌ی چهارم را به S وصل می‌کنیم. با این کار دیودها هیچ وقت نمی‌توانند روشن شوند چون در طرفین اختلاف پتانسیل ندارند.

از طرفی نیز $V_{DS} > 0$ را هم مثبت می‌دهیم.

منبع تغذیه به صورت زیر اعمال می‌شود.

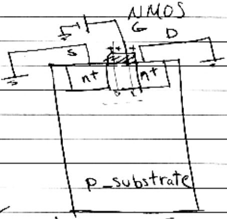


در اینجا بار منفی اعمال می‌شود نمی‌تواند روشن شود.

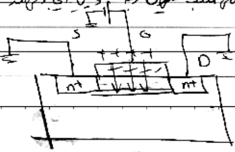
بار مثبت سمت D است.

دیودها بی‌عمل می‌کنند.
چون میدان خاصی نیست، تاثیری در جریان ندارد.

عملکرد NMOS



D, S را زمین کرده و روی گیت مثبت اعمال می‌کنیم.
بارهای مثبت میزانی بار منفی ایجاد می‌کنند.



چون

وقتی ولتاژ می‌دهیم میدان رو به پایین داریم مثبت‌ها را به سمت پایین هل می‌دهد.

از جاهای مثبت که خالی می‌شود. شارژ با بارهای منفی پر می‌شود. مثبت‌ها پایین می‌روند. باعث می‌شود یک کانال به وجود بیاید.

(حذف کردیم p را صرفاً هستند ما عایق گذاشتیم)

با اعمال ولتاژ مثبت در (+) میدانی به وجود می‌آید مثبت‌ها به سمت پایین هل داده می‌شوند. خالی شدن (این) مثبت‌ها باعث می‌شود در آن جاها بتوانند الکترون‌های آزاد منفی در فضای آن‌ها قرار بگیرند پر شود. یک کانال به وجود می‌آید.

که باعث می‌شود انتقال الکترون بهتر انجام شود.

ولتاژ آستانه

ولتاژی که لازم داریم تا کانال بتواند درست شود. ولتاژ آستانه گفته می‌شود.

$V_T > 0$

در صورتی می‌توان روشن بشود که V_T به اندازه ولتاژ آستانه اعمال شود

از طریق V_{GS} یعنی $V_{GS} > V_T$

ترانزیستور روشن شده.

در ناحیه فعال است یا اشباع

ناحیه خطی

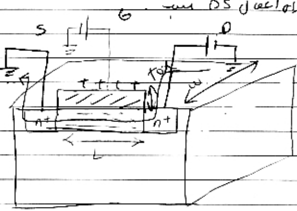
S زمین است ⇐ v_{GS} همان ولتاژ G است.

عملاً فرض می‌خواهیم کنیم v_{DS} باید مثبت باشد.

DS باعث حرکت الکترون‌ها به طرف D می‌شود. حرکت الکترون‌ها به علت E مثبت است.

قرارداد جریان خلاف جهت الکترون‌ها ⇐ جهت جریان از سمت D به S است.

با اعمال DS مثبت.



$v_{DS} > 0$

$v_{GD} > v_t$

برای وجود کانال
در طرف D کافی است طرف تیز سمت D
است.

⇐ G نسبت به D باید از ولتاژ آستانه بیشتر باشد
چون می‌خواهیم خطی عمل کند.

$v_{GS} - v_{DS} > v_t$

v_{DS} کم باشد ← $\Rightarrow v_{DS} < v_{GS} - v_t$

مقادیر کوچک دارد.

تا وقتی که این جوری DS داریم در ناحیه خطی عمل می‌کند.

شبیه به مقاومت عمل می‌کند.

$$I_{DS} = K_n[(v_{GS} - v_t)v_{DS} - v_{DS}^2/2]$$

فرمول جریان در ناحیه خطی

$$K_n = \mu_n C_{ox} W/L$$

تحرک پذیری الکترونها

خازن واحد سطح

$$\frac{\boxed{\varepsilon_0}\,\varepsilon_x}{t_{ox}}$$

ضریب گذردهی هوا

طول کانال به وجود آمده ← L

تقریباً مقدار برای اکسید قرار می‌دهیم ← t_{ox}

ضخامت ماده اکسید.

عرض کانال ← W

اکسید که داریم خازن ایجاد می‌کند. با مثبت که یک طرفش

با منفی در طرف دیگر | خازن

عایق در وسط

مقاومت بی نهایت دارد.

چون ناحیه اکسید داریم (عایق) جریان G نداریم $I_G = 0$

یعنی ضریب تقویت جریان بی‌نهایت می‌باشد.

می‌توانیم با استفاده زیاد به G از MOSFETها

V_{DS} مقدار کمی دارد (معمولاً کمتر از یک)

$V_{DS}^2/2$ → خیلی کوچک می‌شود <<

اگر از توان ۲ صرف نظر کنیم. رابطه مقاومتی می‌توانیم داشته باشیم.

$$I_{DS} = \frac{1}{r_{ds}} V_{ds}$$

$$r_{ds} = \frac{1}{K_n(\underline{V_{GS}} - V_t)}$$

ثابت ← → متغیر

و ما ثابت درنظر گرفتیم

یعنی در ولتاژ پایین می‌توانیم تصور کنیم شبیه یک مقاومت عمل می‌کند.

در مقدارهای بزرگتر دیگر مثل یک خط عمل نمی‌کند. به جای این که مثل یک منحنی درجه ۲ عمل کند.

ناحیه اشباع {

$V_{GS} > V_t$ این شرط باید برقرار باشد.

$V_{GD} < V_t$ یعنی V_{DS} زیاد باید باشد یعنی دقیقاً V_{DS}

اگر زیاد کنیم وارد ناحیه اشباع می‌شویم

یعنی هم ولتاژ GD و GS بیشتر از ولتاژ آستانه هستند و اندازه‌ی هم نزدیک هستند.

کانال بین دو طرف ندارد. به محض این که تغییر کنند به جایی می‌رسند که ولتاژ G نسبت به

ادامه . . به اندازه ولتاژ آستانه برسد باعث می‌شود تعادلی که داشتیم

بهم بخورد. GS همیشه ثابت است

چون G و ولتاژ ثابت می‌دهیم

که هم زمین است.

DS را داریم زیاد می‌کنیم بخش دوم منحنی به دست می‌آوریم

D هر چقدر زیاد می‌شود. D و G اختلاف ولتاژشان تغییر می‌کند باعث

می‌شود. میدانی که ایجاد می‌شود در دو طرف فرق کند در نتیجه کانال شکل کجی

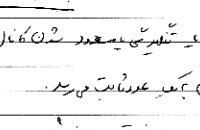
پیدا می‌کند. ادامه پیدا می‌کند تا زمانی GD به اندازه ولتاژ آستانه برسد

برسد و pinch-off یا تنگ‌شدگی یا محدود شدن کانال اتفاق افتاده.

حالت ثابت پیدا می‌کند جریان به یک عدد ثابت می‌رسد.

هر چقدر هم V_{DS} را بالا ببریم به نهایت حد خودش رسیده. نمی‌تواند

کانال آنرا تغییر دهد.



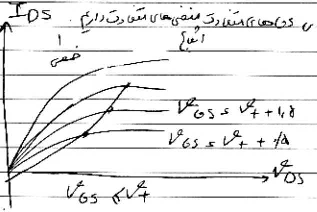
$$I_{DS} = K_n/2\,(V_{GS} - V_t)^2$$

رابطه ثابتی پیدا می‌کند. V_{DS} در این رابطه تاثیری ندارد.

$$V_{GD} < V_t \Rightarrow V_{GS} - V_{DS} < V_t \Rightarrow$$

V_{DS} زیاد است: $\boxed{V_{DS} > V_{GS} - V_t}$

به ازای V_{GS}‌های متفاوت منحنی‌های متفاوت داریم.



مرز این دو ناحیه: $V_{DS} = V_{GS} - V_t$

$V_{GD} = V_t$

اگر GS منفی یا کمتر از آستانه باشد (یا منفی $V_{GS} < V_t$)
جریان صفر است. بنابراین DS هرقدر زیاد شود، اصلاً کانال نداریم
که جریان داشته باشیم.
به محض اینکه ولتاژ GS را زیاد کنیم در ناحیه خطی یک منحنی داشتیم و در ناحیه اشباع
یک خط ثابت داریم.

هر کدام از منحنی ها از یک نقطه ای شروع می کنند به ثابت شدن.

این نقطه مرز خطی و اشباع است.

saturation linear

تریودی

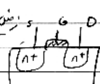
نقطه فرق DS ها ما می توانیم مقاومت در نظر بگیریم جاهایی که منحنی خط صاف کم است.

جهت بالا رفتن. این ها هاست. (شکل این را نشان می دهد)

با ازای هر یک GS می توانیم جریان اندازه اشباع یا خطی بدست آوریم.

مثال. مقدار جریان را بدست آورید $I_{DS}=?$

$V_t = 1V$ $K_n = 10\ mA/V^2$



$V_{GS} > V_t$ باید این برقرار شود تا روشن باشد.

V_{GS} = ۳

V_t = ۱ ⇐ ۳ > ۱

ضمن از دقت قدر V_t را می دهند.

در NMOS افزایشی $V_t > 0$ است.

سپس رابطه بین این دو را باید بسنجیم

V_{DS} $V_{GS} - V_t$

۴٫۵ > ۳ − ۱

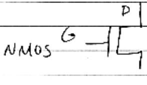
⇐ اشباع است

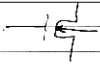
=) رابطه‌ی اشباع را می‌نویسیم

$I_{DS} = K_n/2 (V_{GS} - V_{t})^2$

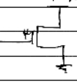
$= \frac{10 \times 10^{-6}}{2} (3-1)^2 = 20\,\mu A$

نمادهای NMOS افزایشی





سوال NMOS .



در این مثال تمام ولتاژها را داده. اگر نداده باشد باید با فرض کردن و نقض آن

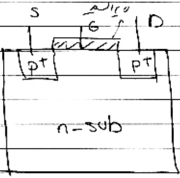
فرض‌ها ناحیه‌ها را بدست آوریم.

NMOS افزایشی نوع P ≡ PMOS

ناخالصی تزریق شده در نوع n ← n بود. کانال ایجاد شده هم n بود.

حال می‌خواهیم نوع p داشته باشیم.

فرق با قبلی این است که تمام n ها به p تبدیل می‌شوند
و p ها به n ها



تجمع p ها را داریم. در قسمت داخلی p تزریق می‌کنیم بارش هم مثبت است.

می‌خواهیم کانالی ایجاد شود که بار مثبت داشته باشد باید GS ولتاژ منفی اعمال کند تا جذب کند کانال با بار مثبت ایجاد کند. $V_{GS} < 0$

در V_t به جهت اینکه مقدارش منفی است.

GS باید از آستانه منفی‌تر شود

$$\boxed{\text{خطی} \quad V_{DS} > V_{GS} - V_t}$$

$$I_{DS} = K_p\left[(V_{GS} - V_t)V_{DS} - V_{DS}^2/2\right]$$

اشباع

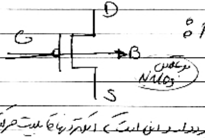
$$\begin{cases} V_{GS} < V_t \\ V_{DS} < V_{GS} - V_t \\ I_{DS} = K_p/2\,(V_{GS} - V_t)^2 \end{cases}$$

خطی
$$\begin{cases} v_{GS} < v_t \\ v_{DS} > v_{GS} - v_t \\ I_{DS} = K_p[(v_{GS} - v_t)v_{DS} - v_{DS}^2/۲] \end{cases}$$

$K_p = \mu_p C_{ox} W/L$

معمولاً طراح مدار عرض کانال را عوض می‌کند تا بتواند طراحی‌های مختلف را انجام دهد.

نماد مداری PMOS:



نکته‌ای که راجع به μ_p وجود دارد این است که الکترون‌ها قابلیت حرکتشان بیشتر (تحرک‌پذیری حفره‌ها) از حفره‌هاست. این بیشتر بودن، این شکل است که تقریباً الکترون‌ها ۲ تا ۳ برابر بیشتر از حفره‌ها می‌توانند حرکت کنند. تقریب می‌زنیم ← الکترون‌ها ۲٫۵ برابر حفره‌ها می‌توانند حرکت کنند.

در PMOS معمولاً S را ولتاژ بالا می‌دهیم.

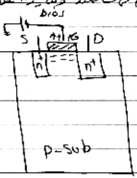
یا اینکه می‌توانیم S را زمین کنیم و ولتاژ منفی به D اعمال کنیم.

در NMOS S را زمین می‌کردیم.

MOS.FET تخلیه‌ای کاهشی

NMOS کاهشی

فرق با افزایشی این است که کانال از قبل وجود دارد.
یعنی همانی که می‌ساختند ولتاژ را اعمال کنند.



لازم نیست ولتاژ GS بدهیم تا کانال بوجود بیاید.

حتی اگر $v_{GS} = 0$ داشته باشیم
اگر DS ، باشد. } کانال را داریم پس i_{DS}

$I_{DS} > 0$ است.

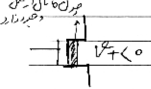
v_{GS} را اگر بالا ببریم $v_{GS} > 0$.
کانال را القا کردیم. کانال پهن‌تر می‌شود پهنایش بیشتر می‌شود.

اگر $v_{GS} < 0$ بدهیم. چون کانال دارد. عملاً باعث می‌شود کانال تخلیه شود. جریان تا موقعی داریم که کانال داریم.
کانال بارهایش را تخلیه می‌کند که در آخر به حدی می‌رسد
یعنی کانال از بین می‌رود.

حد آخر GS که دیگر کانال نداریم یعنی کانال از بین می‌رود. ← v_t آستانه

v_t ولتاژ آستانه v_{GS} حدی است که از آن به بعد کانال از بین می‌رود.

به غیر از این بقیه تمام موارد دقیقاً شبیه NMOS افزایشی است.



$v_{GS} > v_t$ ؟ شرایط قبلی کار می‌کند.

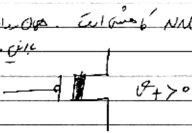
ناحیه خطی $v_{DS} < v_{GS} - v_t$

اشباع $v_{DS} <$ "

همان فرمول‌ها

PMOS تهی

عکس NMOS تهی است. همان روابط PMOS افزایشی.
با این تفاوت که $v_t > 0$



نکات مربوط
ولتاژهای آستانه چه مقادیری دارند و چه علامتی را باید اعمال کنیم.

CMOS

MOSFET مکملی

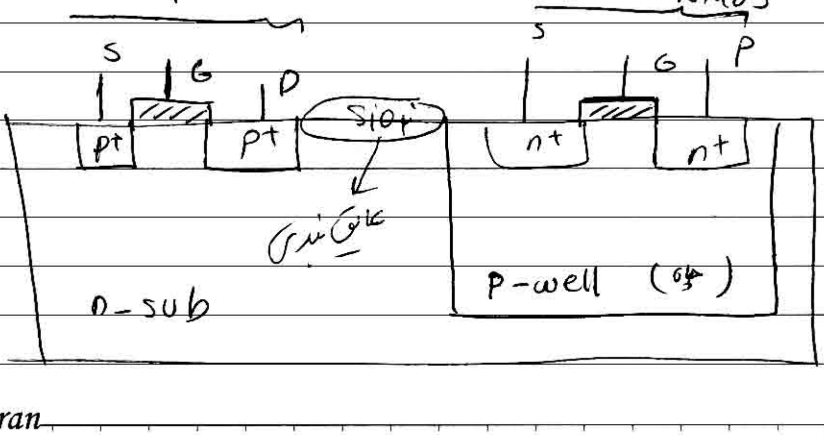
هرکدام از MOSFET های نوع n و p مزایا و معایبی دارند.

ابتدا نوع p و سپس نوع n را ساختند

سریع‌تر از نوع p بود.

وقتی می‌خواهیم گیت طراحی کنیم از نوع دیگری از MOSFET به CMOS استفاده می‌کنیم هر دو را کنار هم قرار می‌دهیم.

هزینه‌ی اضافه برای ساختش می‌دهیم که هر دو مدل n و p را کنار هم قرار می‌دهند که باعث می‌شود به مزایایی دست یابیم. به طور مثال گیت not با CMOS دارای توان صفر است.


PMOS
S
G
D
p+
p+
SiO2
عایق‌بندی
n-sub
NMOS
S
G
P
n+
n+
p-well (چاه)

برای ساخت
فرض می‌کنیم می‌خواهیم PMOS بسازیم .

ناخالصی p تزریق می‌کنیم .

در طرف دیگر n - sub است .

باید sub ← p داشته باشیم .

اما sub ← p نداریم چون در طرف دیگر n-sub داریم از p تخلیه کردیم

در طرف دیگر چاه p داریم . نفوذ الکترون‌ها را دارد . دو ناحیه‌ی n دارد

— (یعنی کارهایی که در فصل قبل کردیم)

می‌تواند برعکس باشد یعنی sub ← p باشد چاه n داشته باشیم

چاه دوقلو هم می‌توانیم داشته باشیم دو چاه داشته باشیم ←

چاه n چاه p

باید از هم ایزوله شوند . با اکسید ← SiO2 را اول طوری در شکل ببینید

در ۲ جا اضافه می‌کنند .

معایب این که یک مدار ایجاد شود چند ترانزیستور باید کنار هم قرار بگیرند برای این که

روی همدیگر تاثیر نگذارند تا یک دیودهایی کانالی خراب ایجاد نشود .

مگر برای عایق بندی استفاده می کنند.

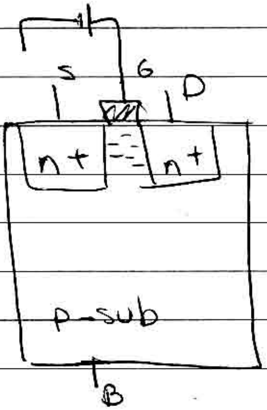
اگر بدنه ← اگر B و S اختلاف ولتاژ

بدنه را به S وصل می کنیم تا دیگر اختلاف ولتاژ نداشته باشیم و بدنه مان اشکالی ایجاد نکند.

اگر بدنه را به S وصل نباشد منفی v_{SB} داشته باشیم تاثیرش در فرمول است

که برای ولتاژ آستانه دارد.

ولتاژ آستانه



v_{SB}

$$v_t = v_{t0} + \gamma\left[\sqrt{2\phi_f + v_{SB}} - \sqrt{2\phi_f}\right]$$

[illegible]

[illegible]

اگر B و S وصل باشند $\rightarrow v_{SB} = 0$

$v_{SB} > 0$ داشته باشیم $\longrightarrow$ v_t را بالا می برد

ما می خواهیم کانالی از الکترون ⊖ ها ایجاد شود. ولتاژ مثبت بیشتری اعمال کنیم

تا کانال بتواند ایجاد شود.

ج) ترجیح می‌دهیم بدنه و سورس را به هم وصل کنیم.

در NMOS معمولاً بدنه و سورس پایین‌ترین می‌گیریم بدنه را به GND وصل کنیم

تا اختلاف ولتاژی نداشته باشیم.

بعضی اوقات ممکن است نتوانیم این کار را انجام بدهیم. اگر نتوانیم این تأثیر

وجود دارد. اگر در مسئله عنوان شود لازم نیست عوامل گفته شده را

در نظر بگیریم ولی اگر گفته شد این تأثیر وجود دارد درست است. باید اعمال کنیم.

جریان با V_t رابطه دارد.

$$I_D \sim K(V_{GS}-V_t')$$

اگر V_t تغییر کند به ازای V_{SB} که صفر نیست. و V_t را زیاد کند

ب) جریان را کم می‌کند. و روی جریان تأثیری ندارد.

ج) بدنه روی جریان تأثیری ندارد بدنه و سورس را به هم وصل می‌کنیم تا این

تأثیر را حذف کنیم.

اثر دما

دما تغییر کند روی $\left.\begin{matrix}V_t\\K\end{matrix}\right\}$ تأثیرگذار است.

اگر دما زیاد شود ⟵ V_t کم می‌شود.

$$I_D\downarrow\downarrow \sim K\downarrow\downarrow(V_{GS}-\overset{\downarrow\downarrow}{V_t})$$

علت: دما زیاد شود الکترون‌ها بیشتر حرکت می‌کنند. با ولتاژ کمتری می‌توان کانال را ایجاد کرد. مثبت‌ها می‌آیند پایین جا را خالی می‌کنند (با حرارت بیشتر)

دما $\uparrow\uparrow \longrightarrow K\downarrow\downarrow$

V_t کم K کم ⇐ جریان کم می‌شود.

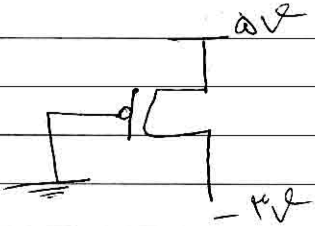
K نسبت مستقیم V_t نسبت عکس ببینیم تأثیر کدام بیشتر

باید ببینیم کی غالب شود. (دما را زیاد می‌کنیم) درصورتی

جریان کم می‌شود یعنی غالب بودن K بیشتر است.

مثال:

در چه ناحیه‌ای است؟



ولت ۴ = $|V_t|$

برای حل مسئله ابتدا فرض می‌کنیم جریان PMOS افزایشی است.

$V_t < 0$ است $V_t = -4$

در صورتی روشن است که V_{GS} منفی‌تر از V_t باشد.

مثبت تر را S
منفی تر را D } می‌دهیم ✓ روشن $V_{GS} < V_t$
$0-5 < -4$

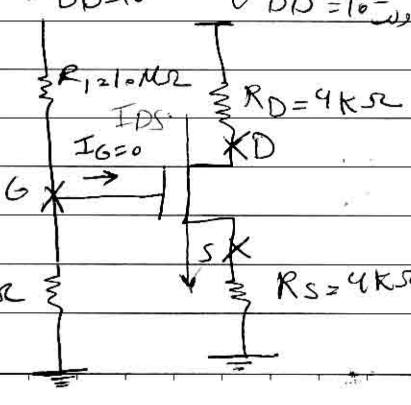
$V_{DS} \quad V_{GS} - V_t$
در ناحیه‌ی اشباع است چه $-3-5 < -5-(-3)$

در PMOS هم DS منفی اعمال می‌کنیم در N S ← زمین
در P S ← ولتاژ بالا

مثال. $V_{DD}=10V$ $V_{DD}=10$ ولت

ترانزیستور در چه ناحیه‌ای کار می‌کند؟

ولتاژها را دقیق نمی‌دانیم معادلات را منبع جریان D داریم


$R_1=10M\Omega$
$R_D=4K\Omega$
I_{DS}
D
$I_G=0$
G
S
$R_2=10M\Omega$
$R_S=4K\Omega$

$V_t = 1$ ولت
$K_n = 0.5 mA/V^2$

معمولاً در N ، D ← ولتاژ بیشتره

معمولاً اگر دقیقاً نمی‌توانیم بگوییم در چه ناحیه‌ای کار می‌کند یک ناحیه را فرض می‌کنیم.

حل می‌کنیم تا ببینیم آیا فرض اثبات می‌شود یا خیر. اگر نشد نقض آن را ثابت کنیم.

$$v_G = \frac{10}{10M+10M} \times 10^M = ۵ \text{ ولت}$$

در NMOS $I_G = ۰ \Leftarrow$ جریان صفر است
دو مقاومت داریم که تقسیم ولتاژ شده.
به هر کدام ۵ ولت می‌رسد چون جریان نمی‌کشد.

$$\left\{\begin{array}{l} v_{GS} \\ v_{DS} \\ v_t \end{array}\right.$$

اگر روشن باشد. جریان I_{DS} به شکلی که گفته شده وجود دارد.

چون جریان گذاشتیم $\Leftarrow$ $v_D = v_{DD} - R_D I_{DS}$

$v_S = R_S I_D$

باید این دو را مقایسه کنیم $v_{GS} - v_t$ v_{DS}

$$\begin{array}{ll} v_{DD} - R_D I - R_S I & ۵ - R_S I - ۱ \\ 10 - ۴KI - ۴KI & ۴ - ۴KI \\ 10 - ۱۲KI & ۴ - ۴KI \quad ① \end{array}$$

دو طرف برحسب جریان است

در اینجا نمی‌دانیم کدام طرف بزرگتر است => فرض می‌کنیم در ناحیه اشباع است (جریان را محاسبه می‌کنیم قرار می‌دهیم تا درستی را بررسی کنیم)

فرض اشباع $I = K_n/2(v_{GS}-v_T)^2$

$\Rightarrow I = 0/5/2(5-6000I-1)^2$

$\Rightarrow I <$ $0/89\,mA \quad v_{GS} = -0/34 < v_T$ غ ق ق
شرط روشن بودن را زیر سوال می‌برد.
$0/5\,mA \quad v_{GS} = 2V > v_T$ ق ق

اگر این اشتباه بود می‌فهمیدیم فرض اشباع غلط است.

① شرط اشباع $4-6KI \qquad 10-12KI$

$4-6K\times 1/2 \qquad 10-12K\times 1/2$

$4-3 < 10-6$

$\boxed{4 > 1}$

$v_{DS} > v_{GS}-v_T$

=> فرض اشباع درست است. که این رابطه برقرار است.

=> چون نمی‌توانستیم دقیقاً ولتاژها را بدست آوریم فرض کردیم اشباع است.

به علت سادگی معمولاً اشباع ابتدا اشباع را فرض کردیم

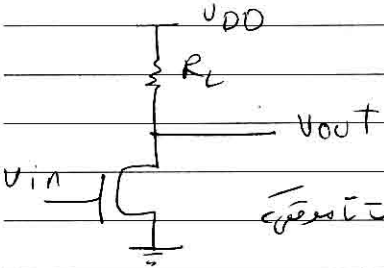
I را بدست آوردیم از رابطه جریان.

سپس $v_{GS} > v_T$ را بررسی کردیم تا I قابل قبول را بدست آوریم

سپس در شرط اشباع وارد کردیم تا درستی را بررسی کنیم.

NMOS با بار مقاومتی
معکوس کننده

ساده ترین نوع معکوس کننده است.



کلید با ولتاژ کنترل می‌شود.

وقتی ولتاژ پایین می‌دهیم ترانزیستور که ولتاژ آستانه است تا موقعی گیت سورس کمتر است. کلید قطع خروجی مقدار high دارد.

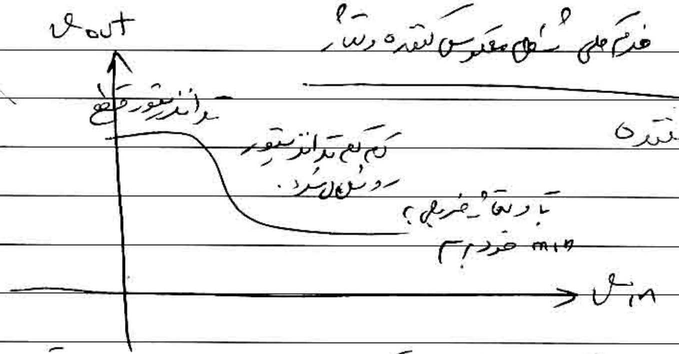
ولتاژ را که اضافه می‌کنیم ترانزیستور می‌تواند روشن باشد. زمانی که بیشترین مقدار ولتاژ را به ورودی می‌دهیم خروجی دقیقاً طوری عمل می‌کند که به زمین مستقیم وصل شده و خروجی مقدار low می‌گیرد.

یعنی مقدار جریانی که می‌گذرد آنقدر زیاد می‌شود که کل ولتاژ تقریباً روی مقاومت افت می‌کند. باعث می‌شود VDD - RI تقریباً به صفر برسد ولتاژ خروجی min شود. low می‌گیرد.

به همین خاطر می‌گوییم عین یک معکوس کننده‌ای دارد عمل می‌کند.

قدم اول شکل معکوس کننده رسم

VTC معکوس کننده



هدفمان این است که برای معکوس کننده های بعدی این منحنی را دقیق رسم کنیم

مقادیر دقیق این را می‌خواهیم.

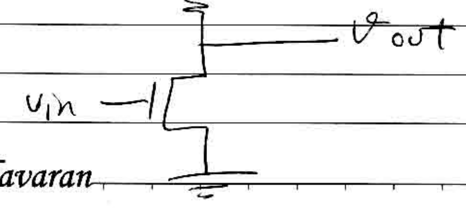
۱- اسپایس دو روش وجود دارد
۲- عملی

هرگاه بخواهیم منحنی را رسم کنیم ابتدا باید V_{GS} V_{DS}

برحسب ولتاژ خروجی و ورودی دقیقاً چقدر است؟

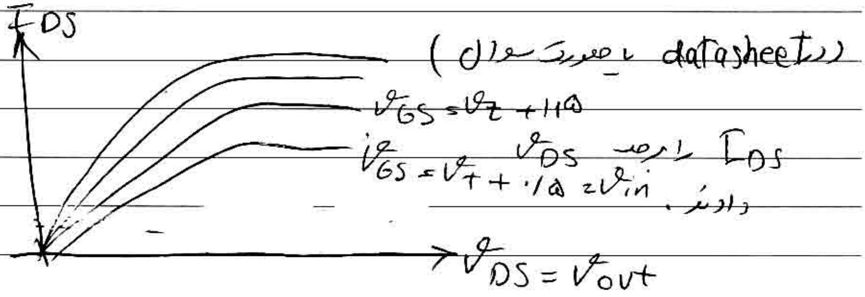
$$V_{GS} = V_{in} \quad V_{DS} = V_{out}$$

هرجا بخواهیم می‌توانیم جای این‌ها را عوض کنیم



ترسیمی

باید منحنی جریان برحسب ولتاژ را به ما بدهند یا در کاتالوگ ترانزیستور بیابیم

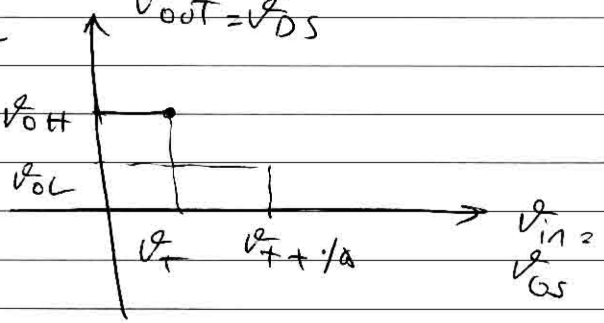


مقادیر دقیق v_{out} برحسب v_{in} را نمی‌خواهیم.

این شکل کافی است.

v_{GS} در یک بازه‌ای تغییر می‌شود. به ازای v_{GS} های مختلف یک بازه برای v_{DS} می‌دهد. احتیاج به منحنی معادله خط مقاومت داریم تا منحنی بالا را قطع کند و ما مقادیر دقیق را به دست آوریم.

$I_{DS}=I_{RL}$



$$I_{DS} = I_{RL} = \frac{V_{DD} - V_{out}}{R_L} = \frac{V_{DD} - V_{DS}}{R_L}$$

$$I_{DS} = \frac{V_{DD} - V_{DS}}{R_L}$$

برای رسم معادله بالا به دو نقطه احتیاج داریم.

$$\begin{cases} V_{DS} = 0 \Rightarrow I_{DS} = \frac{V_{DD}}{R_L} \\ V_{DS} = V_{DD} \Rightarrow I_{DS} = 0 \end{cases}$$

منحنی خط مقاومت در شکل اول است.

نقاط تقاطع را اگر رسم کنیم شبیه شکل مقدار اول است. ولی ما باید اعداد دقیق داشته باشیم تا مقادیر دقیق به دست بیاید.

اگر اعداد دقیق را نداشته باشیم نمی‌توانیم مقادیر دقیق نقاط کاری را به دست آوریم احتیاج به دقت بالایی دارد. (کاغذ شطرنجی) تقریبی نباشد، به همین علت معمولاً به سراغ این روش نمی‌رویم.

۲ روش تحلیلی ۲

در نقاط بحرانی وضعیت ترانزیستور را مشخص کنیم سپس بر اساس وضعیتی که معلوم کردیم مقدار دقیق را بدست می آوریم.

نقاط بحرانی	وضعیت ترانزیستور
V_{OH}	cut_off قطع
V_{IL}	saturation اشباع
V_M	saturation "
V_{IH}	Linear خطی
V_{OL}	Linear "

V_{OH} ← ولتاژ ورودی کم به ورودی می دهیم در حدی که کمتر از ولتاژ آستانه باشه نتواند ترانزیستور را نتواند روشن کند.

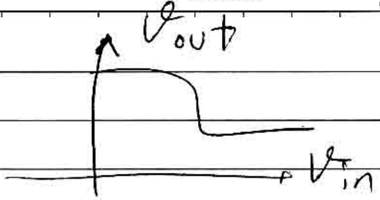
ولتاژ ورودی پایین می دهیم تا خروجی بالا بگیریم.

تقریباً V_{DD} است.

$V_{out} \to V_{DD}$

میل می کند

$V_{in} = V_{GS} = 0 < V_T \Rightarrow$ ترانزیستور قطع ← cutoff



بیشترین مقداری از v_{in}

v_{IL} میشود. ؟

جایی که منحنی شیب را عوض میکند

$\boxed{v_{OH}}$

$v_{in} > v_T$ } $\Rightarrow v_{GS} > v_T$ ترانزیستور روشن

$v_{out} \longrightarrow v_{DD}$ افت

تقریباً v_{DD} است می‌خواهد افت کند

باید ببینیم که در ناحیه خطی است یا اشباع.

v_{IL}

$v_{DS} > v_{GS} - v_T$ ترانزیستور در حالت اشباع میرود.

v_{DD} عدد بزرگتری هست که از دو تا بقیه کل بزرگتر است. → عدد کوچکی هست

$\boxed{v_M}$

$v_{in} = v_{out} = v_M \rightarrow v_{GS} = v_{DS}$

$\Rightarrow v_{GS} - v_T < v_{DS}$ اشباع

به اندازه ولتاژ آستانه کم میکنیم.

در بیشتر اوقات در v_M در حالت اشباع قرار داریم

$\boxed{V_{IH}}$

جایی است که ورودی آنقدر زیاد است

به max مقدار خودش برسد.

به V_{DD} نزدیک شده ولی برابرش نیست یک مقدار کمتر است

در مقابل خروجی min مقدار خود در حال نزدیک شدن است

صفر ← دقیقاً صفر نیست.

$$V_{in} \rightarrow V_{DD}^{\searrow}$$

$$V_{out} \rightarrow 0^{\nearrow}$$

$$\begin{matrix} V_{DS} & & V_{GS}-V_t \\ 0^{\uparrow} & < & V_{DD}-V_t \end{matrix}$$

خطی.

$\boxed{V_{OL}}$

$V_{in} \longrightarrow V_{DD}$ ورودی max مقدار خود

$V_{out} \rightarrow 0$ خروجی min مقدار

خودش را دارد.

$$\begin{matrix} V_{DS} & & V_{GS}-V_t \\ 0 & < & V_{DD}-V_t \end{matrix}$$

خطی

حال که تحلیل انجام شد برای اینکه بتوانیم مقادیر دقیق نقاط را بدست

بیاوریم.

عکس گفته شده برای ترانزیستور تهی صادق است.

با یک مثال مقادیر دقیق نقاط بحرانی را بدست می‌آوریم تا پارامترها بهتر شناخته شود. برای راحتی کار با مثال محاسبه را انجام دهیم.

مثال. مقادیر دقیق نقاط بحرانی را بیابید.

$R_L = 12K\Omega \quad , V_{DD} = 5V$

$K' = 20\mu A/V^2 \quad , V_T = 1V \quad , W/L = 10/2 \frac{\mu m}{\mu m}$

$K_n = K'_n (W/L)$

$K_p = K'_p (W/L)$

نکته * ممکن است به جای $K_n \leftarrow K' , W/L$ را بدهند.

$\boxed{V_{OH}}$ ترانزیستور قطع است $\Rightarrow I_{DS} = 0$

$$I_{RL} = I_{DS} = 0 \Rightarrow \frac{V_{DD} - V_{OUT}}{R_L} = 0$$

$\Rightarrow V_{OUT} = V_{OH} = V_{DD} = 5$

مقدار صفر است و افت ندارد.

ممکن است در معکوس کننده‌های بعدی افت داشته باشیم.

معمولاً V_{OH} , V_{OL} را چون ساده‌تر است ابتدا حساب می‌کنیم.

سپس V_M و بعد V_{IH} , V_{IL}.

مگر آن که دقیقاً گفته باشم کدام را حساب کنید.

معمولاً فقط ما شیب ۱- نوشتیم برای v_{IH} و v_{OH} را می‌خواهند

$\boxed{v_{OL}}$ خطی

$I_{DS} = K[(V_{GS} - V_T)V_{DS} - V_{DS}^{۲}/۲]$

$I_{DS} = ۲\times۱۰^{-۴} \times ۱۰/۲ [(۵-۱) v_{out} - v_{out}^{۲}/۲]$ ①

ولتاژ ورودی است v_{in}

v_{OL} ~~High~~ ولتاژ ورودی ⟸ نی ⟸ فرض می‌کنیم وقتی

داریم فرض می‌کنیم low فراهم بگیریم — وقتی ۵ = high نبود

حال

۵ = ورودی high است .

اصلاح: این جا دیگر بگیریم داریم جا داریم مقاومت .

$I_{DS} = I_{RL} = \frac{V_{DD} - V_{out}}{R_L}$ ②

$۲,۱ \rightarrow ۱۰^{-۴}.[۴V_{out} - V_{out}^{۲}/۲] = \frac{۵ - V_{out}}{۱۰\times۱۰^{۳}}$

$\Rightarrow V_{out} = V_{OL} = \frac{۱۰ \pm \sqrt{۶۰}}{۲}$ ⟨ ۸/۸ ، ۱/۱۳

وقتی دو جواب بدست می‌آوریم قطعاً باید یکی حذف شود. معمولاً اوقات وقتی؟

منفی بدست می‌آوریم چون رنج ما بین ۰ ــ ۵ مثبت است

منفی حذف می‌شد. معمولاً بیشتر از رنج ما بدست می‌آید بیشتر از ۵

است پس آن حذف می‌شود .

v_{OL} ۰٫۲ ج. حد مقابل؟

۰/۵

باید بررسی کنیم در شرط ترانزیستور ناحیه فعال

باشد تا جواب‌های مقادیر باقی می‌ماند.

یعنی اشباع روشن بودن را نقض می‌کند $> v_+$

اگر در شرط صدق کند ق ق است.

اگر دو جواب بدست داشته باشیم باید برای طراح سوال بنویسیم.

از دو جواب بدست در آوردیم دارای منفی نیست.

$\boxed{v_m}$

v_M اشباع

$v_{in} = v_{out} = v_m$

$I_{DS} = I_{RL} = \frac{v_{DD} - v_{out}}{R_L}$

$\Rightarrow \frac{20 \times 10^{-6}}{2} \cancel{10}/2 \left[v_m - 1\right]^2 = \frac{5 - v_m}{10 \times 10^3}$

رابطه اشباع را با I_{RL} برابر قرار می‌دهیم

$\Rightarrow (v_m - 1)^2 = 10 - 2v_m \Rightarrow v_m \left\langle \begin{array}{l} +3 \text{ ق ق} \\ -3 \end{array} \right.$

منفی غ ق است

* باید دقت کنیم v_{in} ، v_{out} در حالت‌های مختلف متفاوت است
v_{DS} v_{GS}

$\boxed{v_{IL}}$

اشباع، در این نقطه v_{IL} است.

$$I_{DS} = K/2 \left(v_{GS} - v_t\right)^2$$

$$I_{RL} = \frac{v_{DD} - v_{out}}{R_L}$$

$$\Rightarrow 20 \times 10^{-6} / 2 \times 10/2 \left(v_{in} - 1\right)^2 = \frac{5 - v_{out}}{10 \times 10^3}$$

بجای v_{GS} نمی‌توانیم مقدار بگذاریم v_{in} را باید بگذاریم

می‌دانیم ورودی مقدار low را دارد اما نمی‌دانیم دقیقاً چقدر است. مقدار دقیق v_{out} را نمی‌دانیم می‌دانیم high مقدار است کمتر شده اما نمی‌دانیم مقدار دقیق چقدر است،

$$\Rightarrow \frac{dv_{out}}{dv_{in}} = -1$$

v_{IH} ، v_{IL}

$\downarrow$

$$\frac{dv_{out}}{dv_{in}} = -1$$

از این نکته استفاده می‌کنیم تا معادله ۲ مجهول کنیم و حل کنیم.

$$\tfrac{1}{2}(v_{in}-1)^2 = 8 - v_{out}$$

$$\Rightarrow v_{in}-1 = -\cancel{\frac{dv_{out}}{dv_{in}}}^{-1}$$

$$\boxed{\Rightarrow v_{in}-1 = -(-1) \Rightarrow v_{in} = 2 = v_{IL}}$$

چون v_{IL} را می‌خواستیم و به out ربطی ندارد، مشتق گرفتیم

بدست آمد. ولی ممکن است این حالت پیش نیاید و v_{out} حذف

نشود مجبوریم با معادله اول ۲ معادله ۲ مجهول حل کنیم تا

v_{IL} را بدست آوریم.

$$\boxed{v_{IH}}$$

$$I_{DS} = K[(v_{GS}-v_t)v_{DS} - v_{DS}^2/2]$$

$$I_{RL} = \frac{V_{DD}-v_{out}}{R_L}$$

$$\Rightarrow 20\times10^{-6}\times10/2\,[(v_{in}-1)v_{out} - v_{out}^2/2]$$

$$= \frac{5-v_{out}}{10\times10^3} \quad ①$$

$dv_{out}/dv_{in} = -1$

$\Longrightarrow$

$$v_{out} + (v_{in}-1)\frac{dv_{out}}{dv_{in}} - \frac{dv_{out}}{dv_{in}} v_{out} = \frac{-dv_{out}}{dv_{in}}$$

چطور مشتق گرفت؟

$\Rightarrow v_{out} - v_{in} + 1 + v_{out} = 1$

$\Rightarrow 2v_{out} - v_{in} = 0$ ②

$1,2 \Rightarrow 2v_{out} = v_{in} \Rightarrow v_{out} = v_{in}/2$

$10^{-4}\left[(v_{in}-1)\, v_{in}/2 - (v_{in}/2)^2/2\right]$

$= \dfrac{5 - v_{in}/2}{2}$

$\Rightarrow 2\times 10^{-4}\left[\dfrac{v_{in}^2 - 1}{2} - v_{in}^2/4\right]$

$= 5/2 - v_{in}/4$

$\Rightarrow 10^{-4} v_{in}^2 - 10^{-4} - 10^{-4} v_{in}^2/2$

$= 5/2 - v_{in}/4$

$\Rightarrow 4\times 10^{-4} v_{in}^2 - 4\times 10^{-4} - 2\times 10^{-4} v_{in}^2 - 10 + v_{in} = 0$

$2\times 10^{-4} v_{in}^2 - 10/0004 + v_{in} = 0$

$1 - 4(2\times 10^{-4})(-10/0004) = 1/00800032$

$$\frac{-۱ \pm \sqrt{۱,۰۰۸۰۰۰۰۴۲}}{۴\times ۱۰^{-۴}} = < \quad \pm\sqrt{۴۰/۲}$$

$+\sqrt{۴۰/۲}$ قابل قبول است .

ادامه مثال : حاشیه نویز بالا و پایین را بدست آورید .

$$NM_H = |v_{OH} - v_{IH}|$$

$$NM_L = |v_{OL} - v_{IL}|$$

ممکن است از شما فقط حاشیه نویز را بخواهند ⇐ فقط و شکل مربوط را بدست می آوریم .

توان متوسط است

ولتاژ تغذیه × $/۲$ (جریان زمانی خروجی high + جریان زمانی خروجی low)

برای $\boxed{NMOS \text{ با مقاومت (فقط)}}$

$I_{OH} = 0 \Leftarrow$ جریان زمانیکه خروجی high باشد
چون در V_{OH} ترانزیستور قطع است

$$I_{OL} = \frac{V_{DD} - V_{OL}}{R_L}$$

متوسط توان مصرفی در حالت ایستا

$$\boxed{P = \frac{I_{OH} + I_{OL}}{۲} V_{DD}}$$

باید ببینیم برای چه مقدارهای بزرگتری بین I_{OH} مقدار می‌دهیم.
برای I_{OL}

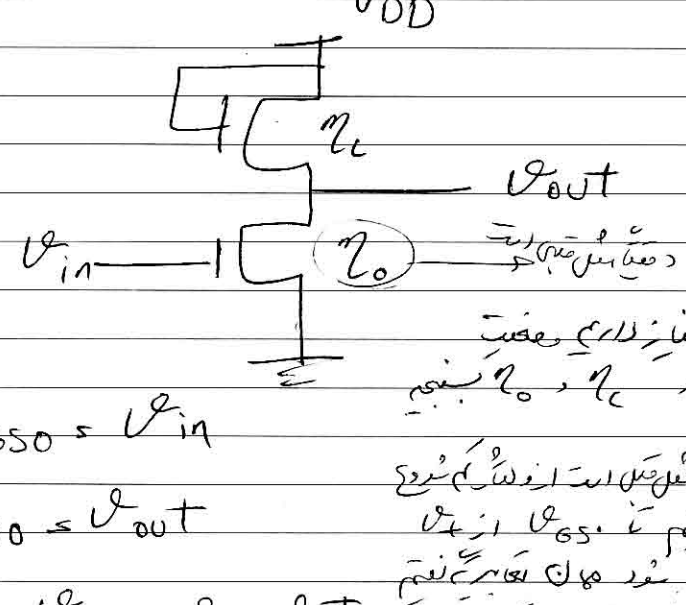
ولتاژ Q high خوب است.

اشکالش در مورد مقاومت است. ولی V_{OL} دقیقاً صفر نیست
مقاومت در هنگام ساخت جای زیادی اشغال می‌کند.

ترجیح می‌دهند یک ترانزیستور بجای مقاومت قرار بدهند.

معکوس کننده NMOS با بار افزایشی

نوع بجای مقاومت ترانزیستور قرار می‌دهد.



درین‌ها نیاز داریم معادلات را در M_L و M_0 بنویسیم

$V_{GS0} = V_{in}$

$V_{DS0} = V_{out}$

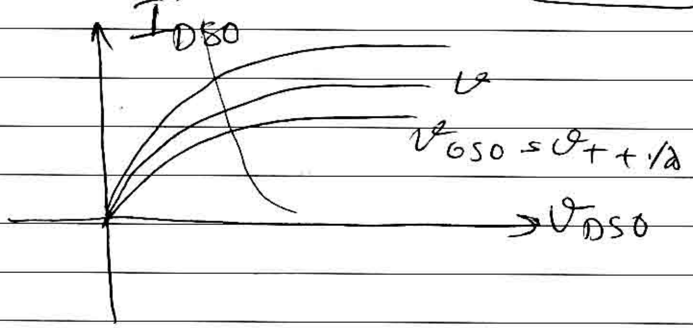
$V_{GSL} = V_{DSL} = V_{DD} - V_{out}$

M_0 مثل قبل است از ولتاژ کم شروع می‌کنیم تا V_{GS0} از V_t بیشتر شود مثل تعاریف گفتیم درین‌ها هم صادق است

ج) برای M_L باید حل کنیم.

$v_{GSL} = v_{DSL} \Rightarrow v_{GSL} - v_{t} < v_{DSL}$

$\boxed{\text{اشباع}}$ [illegible]



می‌توانیم از روش ترسیمی یکسری مقادیر تقریبی را بدست آوریم
(دقیق)
برای روش ترسیمی

برای ترانزیستور η_0 باید I_{DS} برحسب v_{DS} را داشته باشیم

منحنی بار را می‌خواهیم که منحنی بالا را قطع کند ـ مقادیر جریان

$I_{DSO} = I_{DSL}$

$\Rightarrow K/2 \left[(v_{GSL} - v_{tL})^2 \right] = K/2 (v_{DD} - v_{out} - v_{tL})^2$

$K/2 (v_{DD} - v_{DSO} - v_{tL})^2$

نیاز داریم مقادیر دقیق بدانیم. نقاط تقاطع را نیاز داریم.

محدودیت این روش، اگر منحنی نداریم جواب بدست آوردن نقاط تقاطع مشکل است.

روش عملی η_L	وضعیت η_0	نقاط بحرانی
اشباع	قطع	V_{OH}
〃	اشباع	V_{IL}
〃	اشباع	V_M
〃	خطی	V
〃	خطی	V
〃		

این بار هم به صورت پارامتری مقادیر دیگر را بدست می آوریم.

$\boxed{V_{OH}}$ چون جریان η_0 همان η_L است $\Rightarrow$ صفر

قطع

η_L $\Rightarrow$ فرمول دارد $\rightarrow$ اشباع

باز هم صفر است

$$I_{DS0} = I_{DSL} \Rightarrow V_{GSL} - V_{tL} = 0$$

$$I_{DSL} = K/2\,(V_{GSL} - V_{tL})^2 \Rightarrow I_{DSL} = 0$$

$$\Rightarrow V_{DD} - V_{OUT} - V_{tL} = 0$$

$$V_{OUT} = V_{OH} = V_{DD} - V_{tL}$$

high خروجی ما را می‌دهد. با این هم این منطق را داریم چون که در

ما فقط در نسبت مقاومت دو ترانزیستور است.

$$\boxed{v_{OL}}$$

$I_{DSL} = K/2(v_{GSL} - v_{tL})^2$ اشباع

$I_{DS0} = K[(v_{GS0} - v_{t0})v_{DS0} - v^2_{DS0}/2]$ خطی

$v_{in} = \text{high} = v_{OH} = v_{DD} - v_{tL}$ در تقریب اول

تا در قسمت بالایی v_{in} همان را می‌گذاریم.

علامت v_{tL} نیست

$\Rightarrow K/2\,(v_{DD} - \boxed{v_{out}})^2$

$= K[(v_{DD} - v_{tL} - v_{t0})v_{out} - v_{out}^2/2]$

$v_{out} = v_{OL} = ?$ معادله درجه ۲

یکی قابل قبول نیست

$$\boxed{v_M}$$

$I_{DSL} = K/2\,(v_{GSL} - v_{tL})^2$

$I_{DS0} = K/2\,(v_{GS0} - v_{t0})^2$

$v_{in} = v_{out} = v_m$

چرا؟

$\Rightarrow K/2 (v_{DD} - v_{out} - v_{tL})^2 = K_o/2 (v_{in} - v_{to})^2$

$\Rightarrow K_L (v_{DD} - v_M - v_{tL})^2 = K_o (v_m - v_{to})^2$

$\Rightarrow v_m$ بدست میاد.

$\boxed{v_{IL}}$

$I_{DSL} = K/2 (v_{GSL} - v_{tL})^2$

$I_{DSO} = K/2 (v_{GSO} - v_{tO})^2$

[illegible] $v_{GSL} = v_{DSL}$ نیست؟

$\Rightarrow K_L/2 (v_{DD} - v_{out} - v_{tL})^2 = K_o/2 (v_{in} - v_{t0})^2$ ①

$\Rightarrow dv_{out}/dv_{in} = -1$ ② $\Rightarrow$ ۱ و ۲ $\rightarrow v_{in} = v_{IL}$

$\boxed{v_{IH}}$

$I_{DSL} = K_L/2 (v_{GSL} - v_t)^2$

$I_{DSO} = K_o [(v_{GSO} - v_{tO}) v_{DSO} - v_{DSO}^2/2]$

شرط v_{IL} است.

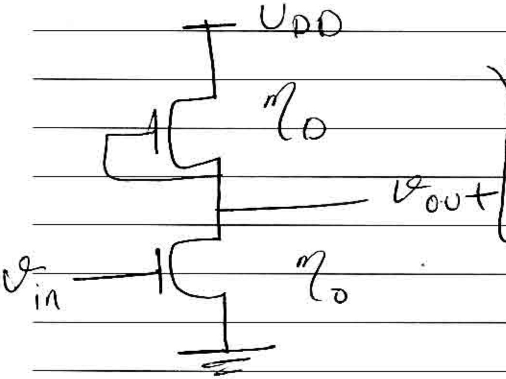
$\Rightarrow K_L/۲\,(v_{DD}-v_{out}-v_{tL})^{۲}$

$= K_o[(v_{in}-v_{to})v_{out}-v_{out}^{۲}/۲]$ ①

$\frac{dv_{out}}{dv_{in}} = -1$

$\xrightarrow{\quad}$ ۲ $\Rightarrow$ ۱،۲ $\Rightarrow v_{in} = v_{IH}$

معکوس کننده NMOS با بار تهی (تخلیه‌ای)



$$\begin{cases} v_{GSo} = v_{in} \\ v_{DSo} = v_{out} \\ v_{GSD} = 0 \end{cases}$$

$v_{DSD} = V_{DD} - v_{out}$

$M_D : v_{tD} < 0$

$v_{GSD} = 0 > v_{t\textcircled{L}}$ v_{tD}?

همواره روشن

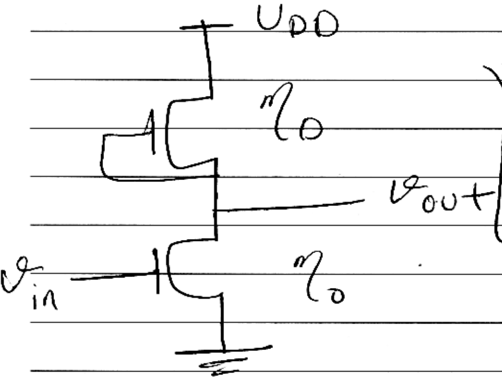
$\Rightarrow K_L/۲\,(v_{DD} - v_{out} - v_{tL})^{۲}$

$= K_o[(v_{in} - v_{to})v_{out} - v_{out}^{۲}/۲]$ ①

$\frac{dv_{out}}{dv_{in}} = -1$

$\xrightarrow{\hspace{3cm}}$ ۲ $\Rightarrow$ ۴۲ $\Rightarrow v_{in} = v_{IH}$

معکوس‌کننده NMOS با بار تخلیه‌ای (کاهشی)



$$\begin{cases} v_{GSo} = v_{in} \\ v_{DSo} = v_{out} \\ v_{GSD} = 0 \\ v_{DSD} = v_{DD} - v_{out} \end{cases}$$

$M_D : v_{tD} < 0$

$v_{GSD} = 0 > v_{t\textcircled{L}}$ v_{tD}?

همواره

البته روش کار را یاد بگیریم بجای فرمول . تا دچار اشتباه نشویم .

η_O مقادیر کم خروجی ← high

ورودی high ← low

مقادیر کم زیاد می‌شود.

η_D : G , S بهم متصل است → $v_{GSD} = 0$

چون η_D یک وضعیت ثابت ندارد ؟ تعریف شده است.

=> عکسی تکلیفی

η_D: $v_{tD} < 0$ $v_{GSD} = 0 > v_{tD}$ همواره روشن

v_{DSD} $v_{GSD} - v_{tD}$

$v_{DD} - v_{out}$ $\underbrace{0 - v_{tD}}_{\text{عدد ثابت مثبت}}$

v_{out} چه مقداری پیدا می‌کند؟ باید بررسی کنیم به اندازه‌ی دو شاخه آشنا

$\boxed{v_{OH}}$. تا رابطه را برسیم

v_{DSD}

$v_{DD} - v_{out}$ $\left\{ \begin{array}{l} v_{in} = 0 \\ v_{out} \to v_{DD} \end{array} \right.$

$v_{DD} - v_{DD}$

عدد ثابت مثبت > 0

$v_{GSD} - v_{tD} > v_{DSD}$ خطی

$\boxed{v_{IL}}$ $\left\{ \begin{array}{l} v_{in} > v_t \\ v_{out} \to v_{DD}\downarrow \end{array} \right.$

v_{OH} ثُ؟

$v_{GSD} - v_{tD}$ v_{DSD}

$v_{DD} - v_{out}\downarrow$

عدد ثابت : ۱ فرض $>$ $v_{DD} - v_{DD}$

$\boxed{v_M}$ دقیقاً این بین این‌ها اتفاق
افتاد.

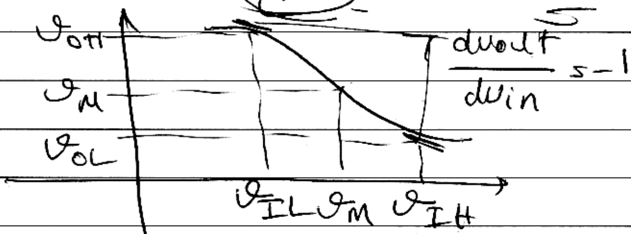
$v_{in} = v_{out} = v_m$

$v_{GSD} - v_{tD}$. v_{DSD}

$v_M - v_{tD}$ $<$ $v_{DD} - v_{out}$

$v_{DD} - v_m$

معمولاً در وسط اشباع است



$\frac{dv_{out}}{dv_{in}} = -1$

v_m معمولاً از v_t بیشتر است

$\boxed{V_{OL}}$

low صفری

high یکی

V_{DSD} $V_{GSD} - V_{tD}$

$\begin{cases} V_{in} \to V_{DD} \\ V_{out} \to 0 \end{cases}$

$V_{DD} - 0 >$ عدد ثابت

اشباع

$\boxed{V_{IH}}$ $\begin{cases} V_{in} \to V_{DD}\searrow \\ V_{out} \to 0\uparrow \end{cases}$

$V_{DD} - 0\uparrow >$ عدد ثابت اشباع

میزان	η_o	η_D
V_{OH}	قطع	خطی
V_{IL}	sat	خطی
V_M	sat	sat
V_{IH}	خطی	sat
V_{OL}	خطی	sat

مثال • مقادیر نقاط بحرانی را بدست آورید.

$V_{tD} = -2V$

$V_{to} = 1V$, $V_{DD} = 5$ ولت , $K' = 20\ \mu A/V^2$

$(W/L)_D = 10\mu m/40\mu m$, $(W/L)_o = 10\mu m/10\mu m$

$\boxed{V_{OH}}$ $I_{DSO} = 0 \Rightarrow I_{DSD} = 0$

$$I_{DSD} = K[(V_{GSD} - V_{tD})V_{DSD} - V_{DSD}^2/2]$$

$\Rightarrow V_{DSD} = 0$

$\Rightarrow V_{DSD} = V_{DD} - V_{out} = 0 \Rightarrow V_{OH} = V_{out} = V_{DD}$

۵ ولت

$\boxed{V_{OL}}$ $I_{DSO} = K_o[(V_{GSO} - V_{to})V_{DSO} - V_{DSO}^2/2]$

$$I_{DSL} = K_L/2(V_{GSL} - V_{tL})^2$$

⇐ برابر این دو معادله فرصت از پارامترهای طول و عرض کانال را معکوس شد.
از K' استفاده می شد.

$20\times10^{-6} \times 10/10\,[(5-1)V_{out} - V_{out}^2/2]$

$V_{in} = high = V_{OH} = 5$ ولت

$\Rightarrow 20\times10^{-6}/2 \times 10/40\cdot(0-(-2))^2 \Rightarrow V_{OL} = V_{out}$

0.1

$\boxed{v_M}$ $K_O/۲\,(v_{GSO}-v_{tO})^۲ = I_{DSO}$

$I_{DSD} = K_D/۲\,(v_{GSD}-v_{tD})^۲$

$\Rightarrow v_{in} = v_{out} = v_m$

$۲۵ \times 10^{-۶}/۲ \times ۱۰/۱۰\,(v_m-1)^۲ = \frac{۲۰\times 10^{-۶}}{۲} \times \frac{۱۰}{۲۰}\,(0-(-۲))^۲$

$\Rightarrow v_m \begin{cases} ۲.\overline{۶۶} \\ ۰.\overline{۵۵۴} \end{cases} \longrightarrow$ چون باید بیشتر از ۱ باشد ۰.۵۵۴ است.

$\boxed{v_{IH}}$ $\begin{cases} I_{DSO} = K_O[(v_{GSO}-v_{tO})v_{DSO}-v_{DSO}^۲/۲] \\ I_{DSL} = K_L/۲\,(v_{GSO}-v_{tO})^۲ \end{cases}$

$\Rightarrow ۲۵\times 10^{-۶} \times ۱۰/۱۰\,[(v_{in}-1)v_{out}-v_{out}^۲/۲]$ ①

$= ۲۰\times 10^{-۶}/۲ \times ۱۰/۲۰\,(0-(-۲))^۲$

$\Rightarrow dv_{out}/dv_{in} = -1 \Rightarrow ((v_{in}-1)\,dv_{out}/dv_{in} + v_{out}$

$- dv_{out}/dv_{in}\; v_{out} = 0$

$\Rightarrow (v_{in}-1)(-1) + v_{out} + v_{out} = 0$

$1 - v_{in} + ۲v_{out} = 0$ ②

۱٫۲ → $v_{in} = v_{IH} = 6.28$

$\boxed{v_{IL}}$ $I_{DSD} = K_D\left[(v_{GSD} - v_{tD})\, v_{DSD} - \frac{v_{DSD}^2}{2}\right]$

$I_{DSO} = K_O/2\,(v_{GSO} - v_{tO})^2$

$\Rightarrow 25\times10^{-6} \times 1.0/4 \cdot [(0-(-2))(5-v_{out})$

$- (5-v_{out})^2/2] = 25\times10^{-6} \times 10/10\,(v_{in}-1)^2$

$dv_{out}/dv_{in} = -1$

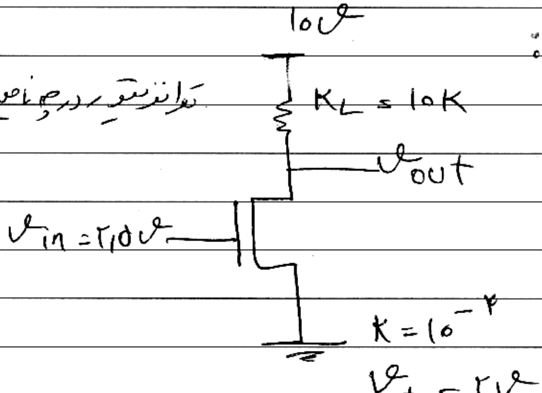
$\longrightarrow$ ۲ معادله ۲ مجهول

$v_{IL} = v_{in} = 1.45$

۱٫۳ →

تمرین ۱:

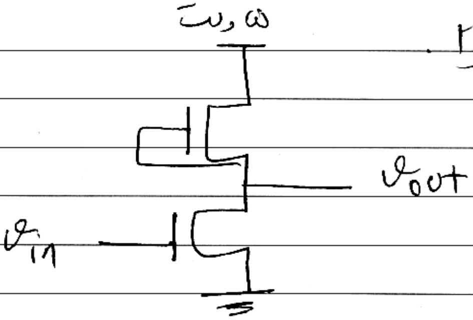
ترانزیستور در چه ناحیه‌ای عمل می‌کند؟



تمرین ۲۰.

$v_{OH} = ?$

$v_{OL} = ?$



افزایشی

$|V_t| = ۲\ v$

$W/L = ۲$

تهی $|V_t| = ۱$ ولت ، $W/L = ۴$

$K' = ۲۰\ \mu A/v^2$ برای هر دو یکسان است.

پروژه ۲۰ ص

توضیح دهید در SRAM

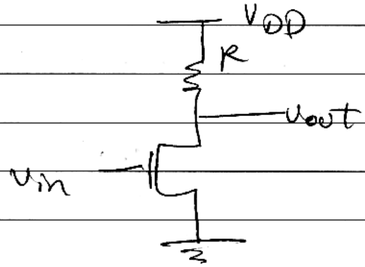
که چه منطقی از چه بسته‌هایی استفاده می‌شد.

۲ مورد، ۳ مورد به صورت مهم

با امور جزئی در رابطه با MOSFET

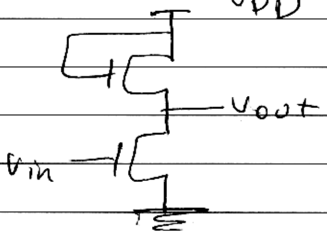
چگونه با استفاده از NMOS گیت‌هایی که می‌خواهیم را فراهم کنیم؟

۱ ساده NMOS

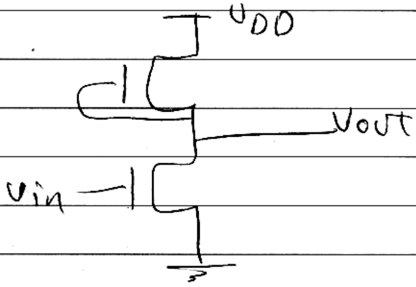

VDD
R
Vout
Vin

در high ضعیفی می‌دهد
ولی مقاومت حجم زیادی
را اشغال می‌کند

۲ - p
افزایشی

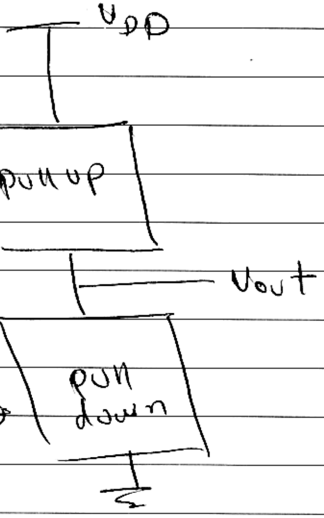

VDD
Vout
Vin

۳ - کاهشی


VDD
Vout
Vin

به طور کلی نقش‌های فراهم با NMOS که ساختارها را فراهم کنیم در قسمت pullup داریم

pullup ← زمانی که ولتاژ high می‌توانیم درگیر داشته باشیم



در جهت یک طرف مدار به ولتاژ پایین‌تر
را مسیر انتقال به زمین یا ولتاژ پایین‌تر
ایجاد می‌کنیم.

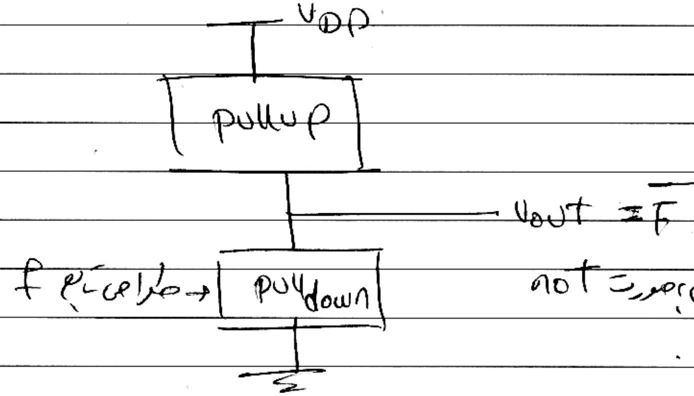
NMOS با مقاومت - افزایشی - کاهشی می‌توانند در pullup قرار بگیرند

بصورت کلی تفاوتی ندارد کدام را انتخاب کنیم ولی ترجیحاً NMOS

کاهشی را انتخاب می‌کنیم چون که مقاومت جای زیادی را نمی‌گیرد
$V_{off} = V_{DD}$ و
خوب است.

← اگر طراح گفته اگر pullup استفاده کنیم از کاهشی
استفاده می‌کنیم

قسمت pull down چه جوری است؟ طراحی تابع F را انجام میدهیم


VDD
pullup
Vout = F̄
pull down
طراحی تابع f

خروجی بصورت not است.

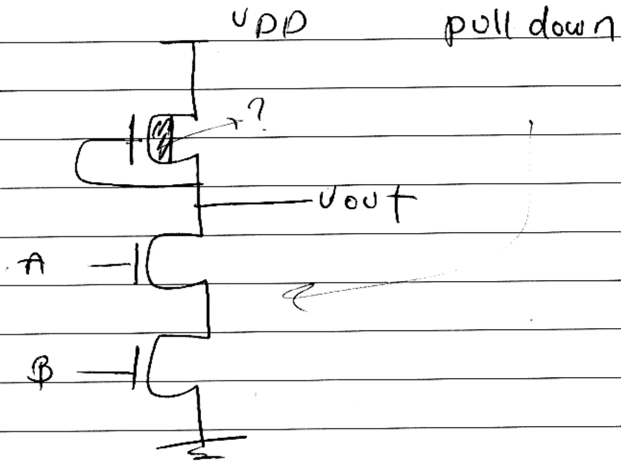
ساده‌ترین نوع گیت not بود که تحلیل را هم انجام داده بودیم.

طراحی NAND

	A	B		Vout
هردو خاموش	L	L		H
خاموش	L	H	روشن	H
	H	L		H
	H	H		L

pullup ← NMOS گاهی

$\overline{AB}$



NMOS وقتی low می‌گیرد ← خاموش

〃 〃 high 〃 ← روشن

وقتی هر دو خاموشند ترانزیستور [illegible] روشن op Vout H می‌شود.

اگر یکی از ورودی‌ها high باشد. (B)

A خاموش مثل این است یک تکه قطع است ⇐ خروجی‌ها نمی‌تواند [illegible]

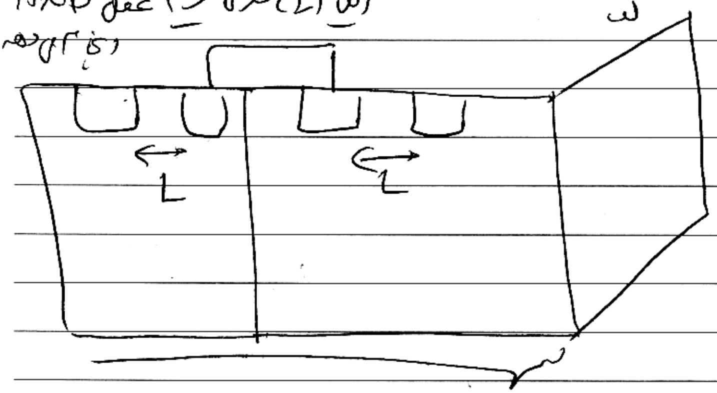
برای زمین شدن مدار داشته باشد ⇐ Vout ← high

A,B ← high

یک مسیر داریم که به VOL برسیم. نمی‌خواهیم خروجی مقدار

پیدا کند low

اینِ L۲ سری کردیم عمل AND
انجام دهد



که بعد به عمل not انجام می‌دهم $v_{out} = \overline{A.B}$

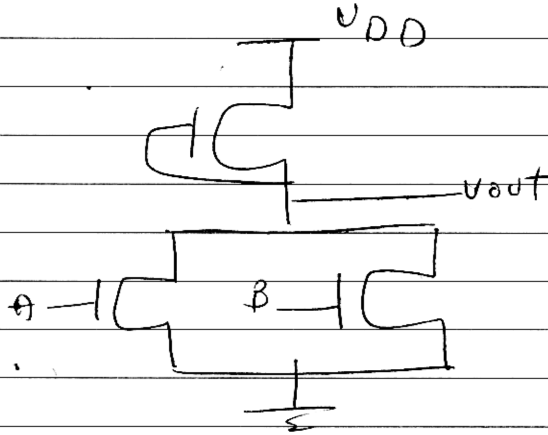
سری کردن اینها مثل این است که ترانزیستور کنار هم داشته باشیم DS ها را به هم وصل کردیم پهنای W برابر هر دو است.

وقتی ضعیفِ D روشن می‌شوند عملاً معادل با این است که ما یه ما داشته باشیم. به جای اینها انگار یک ترانزیستور داریم که ۲L طول آن و پهنایش W است.

در NAND چیزی تفاوت نمی‌کند. ولی در NOR متفاوت است.

طراحی گیت NOR

به جای اینکه دو ترانزیستور را سری کنیم موازی می‌کنیم.



$V_{out} = \overline{A+B}$

	A	B	Vout
۱ هر دو خاموش	L	L	H
۲ خاموش	L	H روشن	L
۳	H	L	L
۴	H	H	L

H ← Vout ، L ← A,B

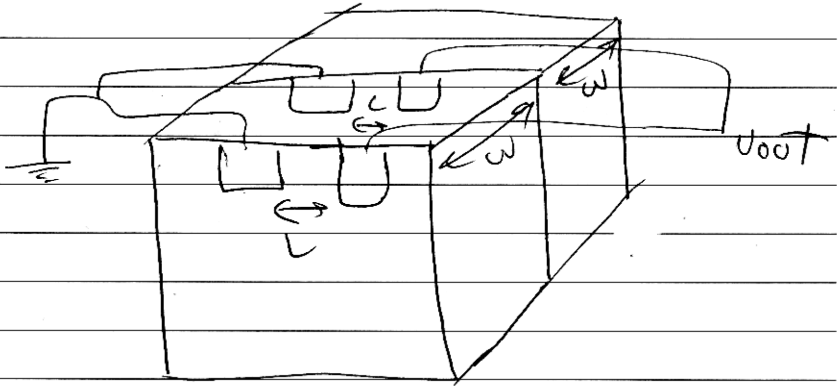
روشن B ⇐ H ← B

موازی هستند ⇐ از Vout به زمین یک مسیر وجود دارد

L ← Vout ⇐

A,B ← روشن مسیر زمین وجود دارد

$V_{out\,۴} < V_{out\,۲,۳}$



S ها با هم D ها با هم وصل است.

هرکدام W پهنای باند دارند. L طول کانال دارند.

$K_۲ = K' W/L$ برای هرکدام یک W/L جدا دارد.

در حالت ۴ هر دو با هم شد $K_۴ = K' ۲W/L$

$K_۴$ و $K_۲$ متفاوت است تاثیر در V_{out} هم ندارد.

K بیشتر شد. در حالت ۴ V_{OL} کمتر از ۲، ۳ شد.

از مقاومت بالا جریان میر

$$\frac{V_{DD}-V_{OL}}{R_L} = K_۴\left[(V_{GS}-V_T)V_{DS}-V_{DS}^۲/۲\right]$$

pull up = مقاومت

K_4 نسبت به K_2 ، ۴ برابر شده .

V_{OL} با K رابطه عکس دارد

$K\uparrow$ ⇐ $V_{OL}\downarrow$ ⇐ V_{OL} درست

۴ کمتر از V_{OL} مر ۲ است .

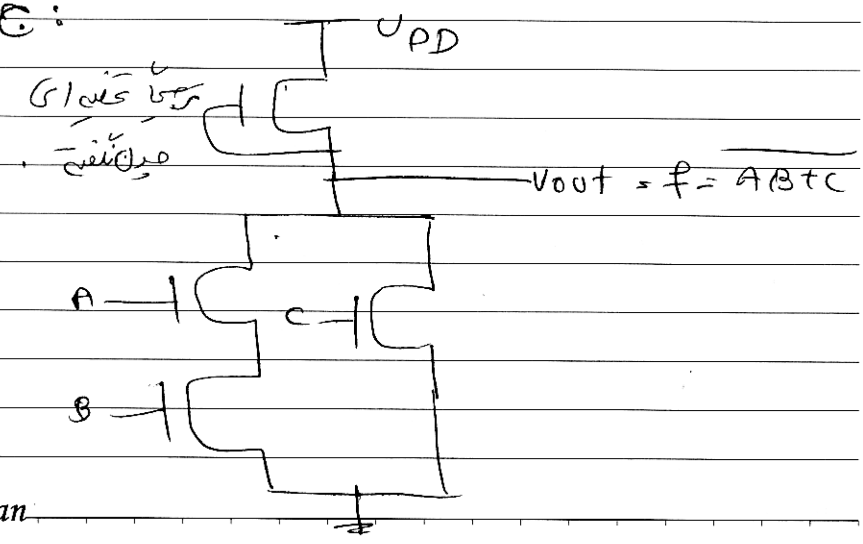
$V_{OL4} < V_{OL2}$ مر

دیگر Low است ولی دقیقاً صفر نیست .

مثال : می‌خواهیم تابع f را پیاده سازی کنیم .

$F = \overline{AB+C}$

ح :


V_{DD}
گیت تخلیه‌ای
مدل تخلیه .
$V_{out} = f = \overline{AB+C}$
A
C
B

در polldown طراحی را انجام می‌دهیم خروجی not

را به ما می‌دهد.

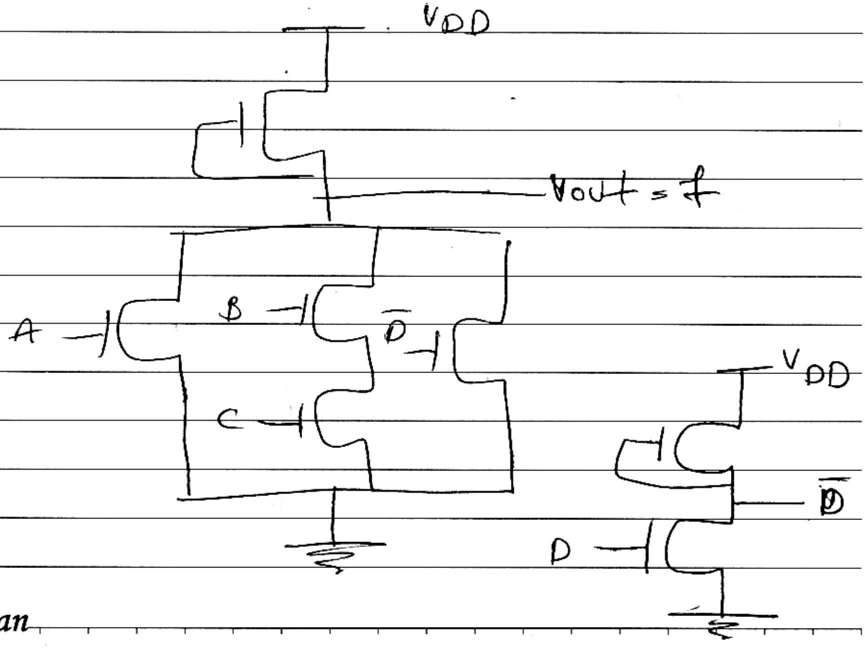
مثال. F را پیاده سازی کنید

$$F = \overline{A + BC + \bar{D}}$$

ورودی‌های مکمل را نداریم مگر اینکه صورت سوال گفته شود.

می‌توانیم وصل کنیم اگر گفته باشند ولی خودمان یک [illegible] طراحی می‌کنیم.

فقط با حذف نداشته‌ها کاملاً طراحی کنید
کامل.



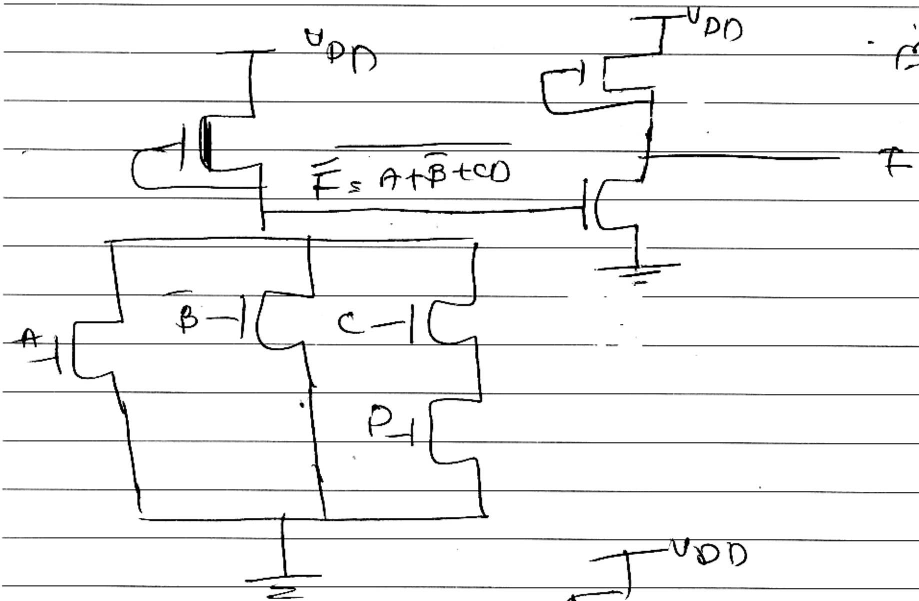
درضمن همین کافی است که not را طراحی کنیم دیگر سیم می‌توانیم وصل هم کنیم.

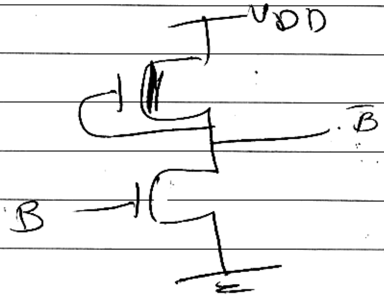
مثال. $F = A + \bar{B} + CD$

دو روش برای طراحی این تابع وجود دارد.

روش اول: می‌توانیم با روشی که تا به حال عمل می‌کردیم انجام دهیم.

چون $\overset{\text{not}}{\uparrow F}$ ندارد، باید خودش را رسم کنیم و در آخر یک بار not اش کنیم.


VDD
VDD
$\overline{F = A+\bar{B}+CD}$
F
A
B
C
D

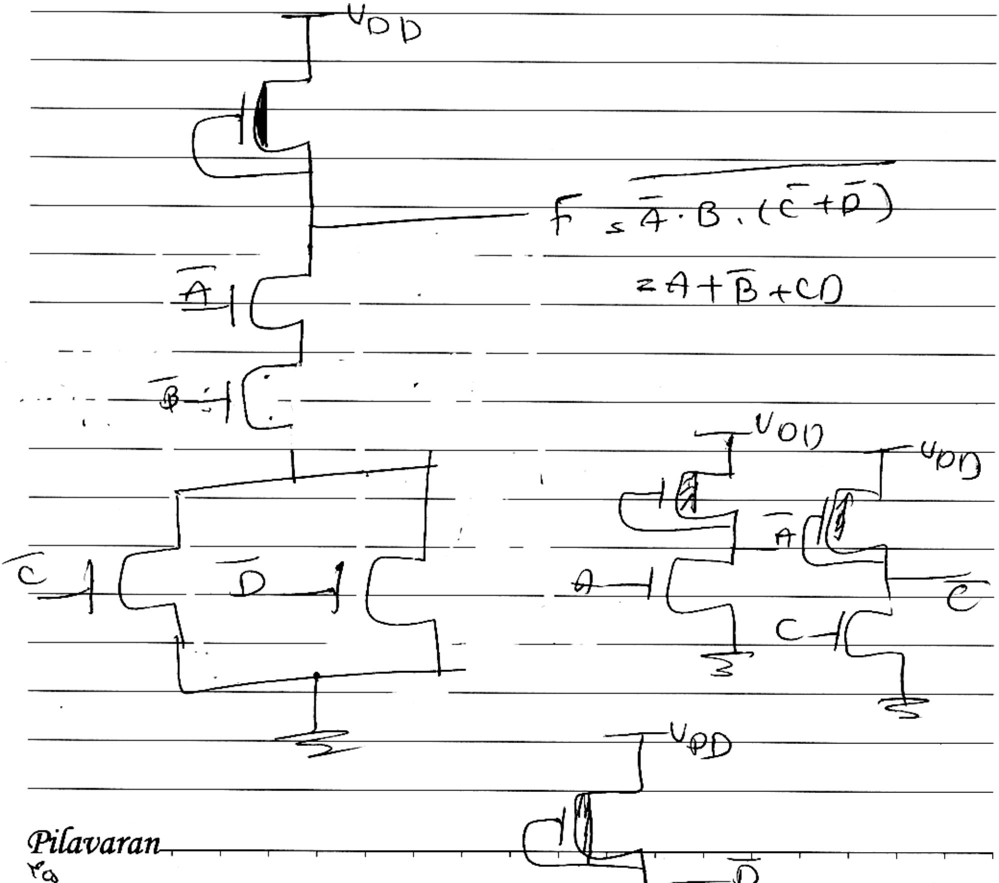


روش دوم ! ترجیح می‌دهیم تعداد کل ترانزیستورهایی که استفاده می‌کنیم تا جایی که امکان دارد کمتر شود.

$$\overline{F} = \overline{A+\overline{B}+CD} = \overline{A}\cdot B\cdot \overline{CD}$$

$$\overline{F} = \overline{A}\cdot B\cdot(\overline{C}+\overline{D})$$

$$\Rightarrow F = \overline{\overline{A}\cdot B\cdot(\overline{C}+\overline{D})}$$


VDD
$F=\overline{\overline{A}\cdot B\cdot(\overline{C}+\overline{D})}$
$=A+\overline{B}+CD$
$\overline{A}$
B
C
$\overline{D}$
VDD
VDD
A
$\overline{A}$
A
$\overline{C}$
C
VDD
$\overline{D}$

برای این مثال شکل را رسم کردیم تعداد ترانزیستورها را هم شمردیم

و با روش اول مقایسه کنیم اما در این جا روش دیگری را عنوان می کنیم

تا برای هر دو روش شکل را رسم کنیم . برای یک حالت شکل را رسم

کنم و با روش تعداد ترانزیستورها را بشماریم !

روش ۱ در مثال قبل تعداد ترانزیستورها

۴ تعداد متغیر ترانزیستور لازم داریم . + هر مجموعه یک ترانزیستور

برای pullup لازم دارد (با فرض استفاده از pullup

هم ترانزیستور های + not ها هر کدام ۲ ترانزیستور لازم دارد .

(۴ + ۱) + ۲ + ۲ = ۹

+ اگر مجموعه not نداشته باشیم
یک not دیگر باید برایش بگذاریم
همان طور که در این مثال
هست)

روش ۲ در مثال قبل

۴ + ۱ + ۲×۳ = ۱۱

مدار اصلی ۳ ورودی not

=) در این جا روش ۱ بهتر است . چون تعداد ترانزیستورها

مثال.

$F = \bar A + B\bar C + \overline{DE}$

$(۵+۱) + ۴\times۲ + ۲ = ۱۴$

$\bar F = \overline{\bar A + B\bar C + \overline{DE}}$

$\bar F = A \cdot \overline{B\bar C} \cdot DE \Rightarrow \bar F = A \cdot (\bar B + C) \cdot DE$

$F = \overline{A \cdot (\bar B + C) \cdot DE}$

$(۵+۱) + ۲ = ۸$

ج) از روش ۲ بهتر است استفاده کنیم.

بجای $\overline{DE}$: ۱ـ $\overline{DE}$ جدا بسازیم وصل کنیم.

۲ـ $\overline{DE}$ به $\bar D + \bar E$ تبدیل کنیم.

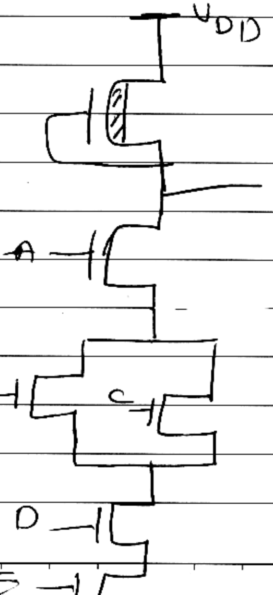
در این حالت ۲ not داریم

یک not هم لازم دارد.

$\overline{\bar D + \bar E}$ چون ⊙

منفی‌ها باید بیاریم بیرون

not کنیم.



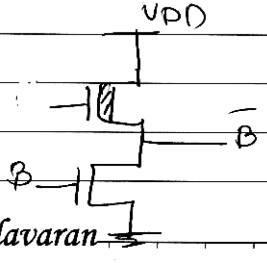
$A \cdot (\bar B + C) \cdot DE$

در pullup دقت

نباید –

not شود

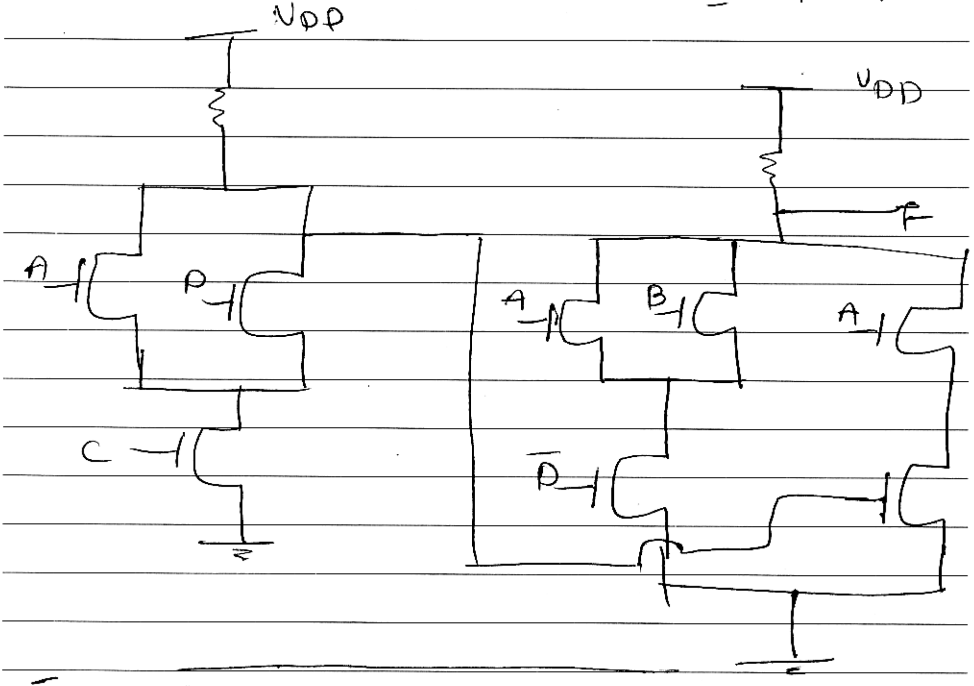
کنیم.



ممکن است شکل را بدهند و از ما تابع را بخواهند.

مثال. تابع را بدست آورید.

(pullup در اینجا مقاومتی است)



$$\bar{F} = \bar{D}(A+B) + A[\overline{C(A+D)}]$$

* روش کلی این است که pulldown ← $\bar{F}$ را بیابیم

خروجی $\bar{F}$ است.

تمرین ۱ : F را با عنصرای NMOS طراحی کنید .

?

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

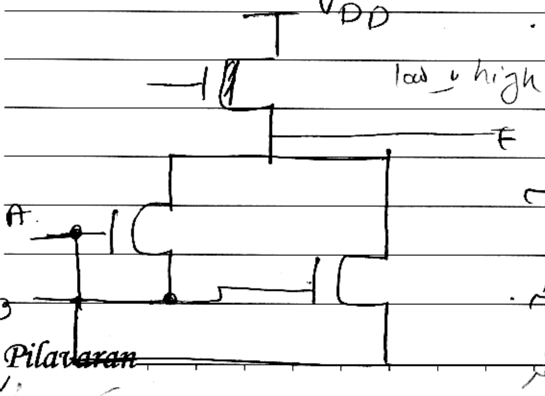
ممکن است ضابطه ی F را ندهند یا جدول درستی آن را بدهند .

(حداقل ترانزیستور را می‌خواهیم ، not ها را فراموش نباید بکنیم)

تمرین ۲ : $F = \overline{ABC + D + EF}$ با عنصرای CMOS طراحی کنید . نسبت های W/L را مشخص کنید .

تمرین ۳ : تابع F چیست ?

?



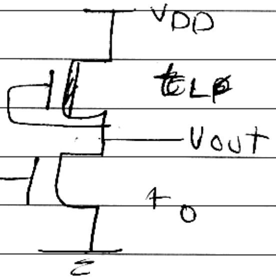
زمین نداریم اگر ورودی Low باشد

توجه به ورودی

مگر اینکه هر دو ترانزیستور روشن شده باشد .

توجه اینکه روشن می‌شود یا خیر

تعیین اندازه‌ی ترانزیستورها در NMOS



می‌خواهیم حالت‌ها را بررسی کنیم

در هر نوع pullup

V_{OH}

ممکن بود در حد مطلوب بود.

ولی V_{OL} صفر نمی‌شود یک مقدار

پیدا می‌کند. اگر جای pullup و pulldown یک امپدانس بگذاریم

اگر بخواهیم V_{OL} کم شود $V_{OL}\downarrow$ در $\frac{Z_{P.U}}{Z_{P.D}} \uparrow\uparrow$

این که هم مقدار بالا ببریم محدودیت دارد. ممکن است خازن های

بوجود می‌آید مشکل ساز شود یا تاخیر مدار را بهم بزند عدد معقول ۴ به ۱

است.

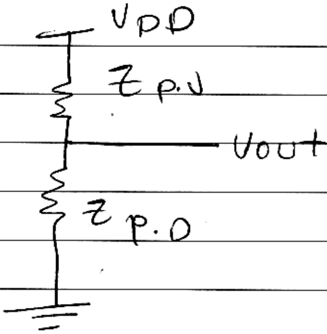
$$\frac{Z_{P.U}}{Z_{P.D}} = 4/1 = \frac{(L/W)_{P.U}}{(L/W)_{P.D}}$$

$L/W = Z$

$R = \rho L/A = \rho L/tW \approx L/W = Z$

متناسب با L/W است

امپدانس از مقاومت مهم‌تر است.



$$\frac{(L/W)_{p.U}}{(L/W)_{p.D}} = ۴$$

با استفاده از شرایط فرضیات عدد ۴ را بدست می آید.

⇐ تا ۶ نسبت گفته شده می تواند بالا برود.

اثبات عدد ۴: با این فرض که به دنبال بیشینه کردن تقارن برای لبه‌های مدار هستیم اگر داریم

فرض

$$\left\{\begin{array}{l} V_M = V_{DD}/2 \\ V_{tL} = -0.6\,V_{DD} \\ V_{tO} = 0.2\,V_{DD} \end{array}\right.$$

← چون فرض کاهشی است (ت) منفی است.

در نقطه M ⇐ هر دو ترانزیستور اشباع هستند.

$$K_O/2\,(V_{GSO} - V_{tO})^2 = K_L/2\,(V_{GSL} - V_{tL})^2$$

$$\Leftrightarrow K_O(\underset{=V_{DD}/2}{\boxed{V_M}} - 0.2\,V_{DD})^2 = K_L(0 - (-0.6\,V_{DD}))^2$$

$$\Rightarrow K_O/K_L = \frac{K(W/L)_O}{K(W/L)_L} = 4$$

راننده

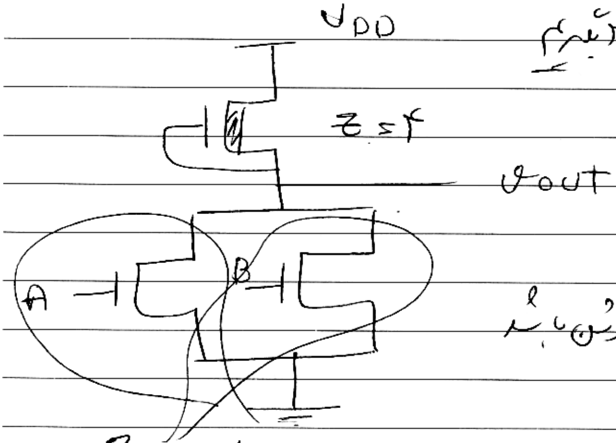
بار

ممکن است اثبات را بخواهد . ؟ پرسیده شد

اثبات در امتحان نیاید

می‌توانیم با استفاده از نسبت های W/L را بدست آوریم

مثال. نسبت های W/L را بدست آورید.



Z بالایی را می‌توانیم ۴ بگیریم

$L/W = 1/4$

فرض در صورتی که کدام

یا هردو ترانزیستور روشن باشد

خروجی Low بود.

$Z_{P.U}/Z_{P.D} = 4/1$

وقتی هردو روشن حالت ۲

اگر یکی روشن حالت ۱

v_{OL} ما گفتیم $v_{OL_2} < v_{OL_1}$

تا جایی که می‌توانیم می‌خواهیم کم کنیم . جایی را انتخاب کنیم که A یا B فقط یکدام روشن باشد چون این حالت مشکل‌ساز است.

میخواهم تا جایی که میتوانم ببریدش بدهم.

حالتهایی را در نظر بگیریم که یک شاخه‌ی تکی داشته باشیم.

$\Rightarrow Z_A = 1$

$Z_B = 1$

$(L/W)_A = 1 \qquad (L/W)_B = 1$

مهم این است کدام شاخه‌ها را در نظر بگیریم.

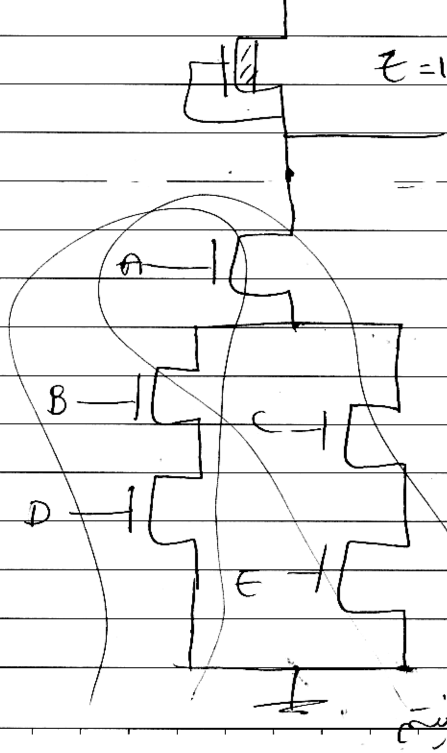
مثال. $W/L = ?$

مینیمم

$Z = 12$

تک را باید در نظر بگیریم

آنچه را که می‌خواهم موازی‌ها را در نظر بگیریم معقول است حالتی باشد که همه‌ی ترانزیستورها روشن شوند. ولی در آن حالت V_{OL} کمتر از ماست یعنی ما سری چهارتایی‌ها سنگین‌ترند، و بنابراین آن حالت بیشتر



A – B – D $\Rightarrow Z_A + Z_B + Z_D = ۴ \Rightarrow Z_A = Z_B = Z_D$

A – C – D $\Rightarrow Z_A + Z_C + Z_D = ۳ \Rightarrow Z_A = Z_C = Z_D =$

A – C – E $\Rightarrow Z_E = 1$

A – B – E $\Rightarrow Z_A = Z_B = Z_E = 1$

در هر مسیر Z مقدارش ۳ شود.

مهم این است نسبت ۴/۱ برقرار باشد

۴/۱ = ۸/۲ = ۱۲/۳ ...

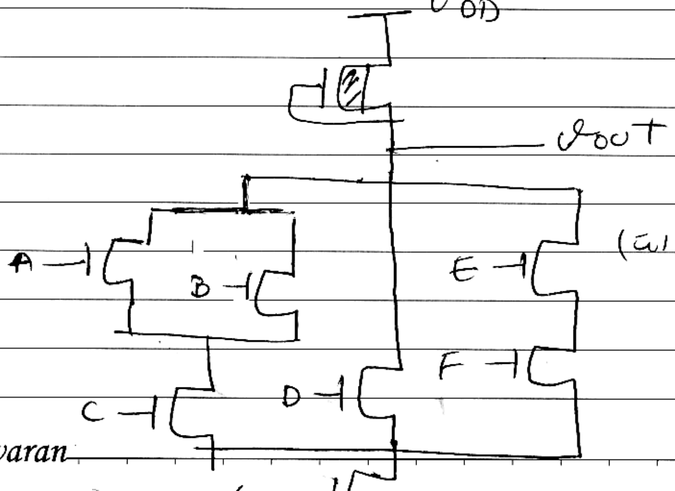
تعمیم می‌دهیم تا جایی که امکان هست نسبت‌ها را برابر بگیریم.

$Z_{p.u} / Z_{p.D}$ = ۴/۱ = ۸/۲ = ۱۲/۳ = ۲۴/۶ = ...

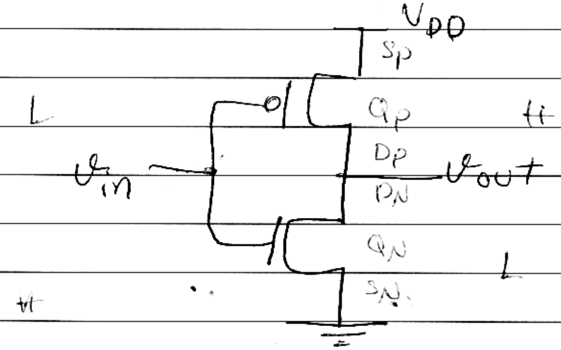
تمرین ۴ :

نسبت‌های W/L را بدست آورید.

(Z عکس W/L است)



CMOS معکوس کننده



CMOS ترکیب
PMOS و NMOS
برای داشتن هدررفت
صفر

NMOS ← v_{OH} خراب می‌دهد
PMOS ← v_{OL} (صفر) را خراب می‌دهد

مزیت CMOS صفر صفر
۱ ۱ خراب نمی‌دهد

توان مصرفی در حالت ایستا ندارد
یعنی وقتی v_{OUT} = h ← جریان نمی‌کشم.
L

که وقتی در NMOS v_{OL} جریان داشتیم
v_{OH} برعکس جریان نداشته باشیم.

در PMOS ← S جهت ولتاژ بالاتر وصل می‌کنیم.

D جهت ولتاژ پایین‌تر

در NMOS برعکس این حالت است.

Subject:
Year. Month. Date.

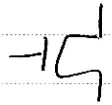
X پایان کدام اشکال دارد. بدهید ما تبدیل مثال

در طراحی باید H به L یا L به HI هم مراقب باشیم X-state نشود.

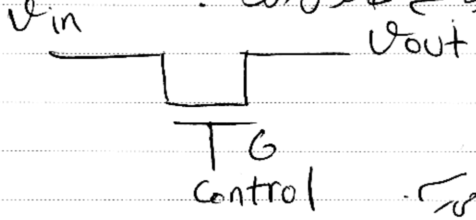
فصل ۵

مدارهای منطقی پویا

ترانزیستور عبور یا pass transistor



NMOS است اگر پایه G ولتاژ high داشته باشد روشن است اگر صفر باشد خاموش است.

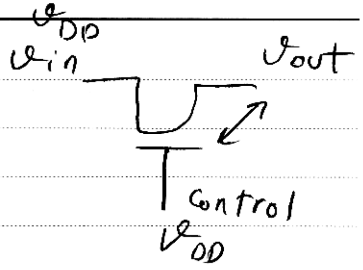


اگر کنترل ۱ باشد ورودی عبور می‌کند خروجی می‌رسد.

مقدار دقیقش با جدول بررسی می‌شود.

if Control = 1 => $v_{out} = v_{in}$

v_{in}	Control	v_{out}
0	v_{DD}	0
v_{DD}	v_{DD}	$v_{DD}-v_t$
0	0	HI
v_{DD}	0	HI



$\Rightarrow v_{out}=v_{DD}-v_t$

NMOS اگر خاموش باشد خروجی ربطی به ورودی ندارد ← HI

اگر $v_{in}=v_{DD}$ کلید روشن است وقتی ورودی را به خروجی منتقل می‌کند.

روشن

کلید، ورودی ← 0

کلید، v_{DD} ← هرا منتقل می‌کند.

$v_{GS} > v_t$

$v_{in} \to v_{DD}$ $G \to v_{DD}$

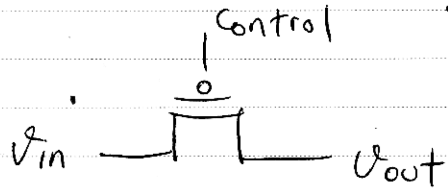
G , S ولتاژ یکسان دارند ⇐ به اندازه v_t اختلاف ولتاژ ندارد

⇐ $v_{DD}-v_t$ یعنی v_t کم کنیم حال ترانزیستور روشن است اما خروجی تلفات دارد.

اختلاف G , S باعث روشن شدن NMOS می‌شود.

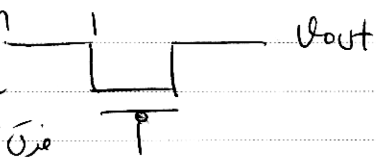
اینجا فقط به D ورودی می‌دهیم
S ورودی ندارد و از آن خروجی می‌گیریم

خروجی را در اینجا از کشی می‌بریم.


Control
v_{in}
v_{out}

برای PMOS هم داریم.

برای PMOS برعکس است.



صفر نمی‌کند

برای V_{DD} ← HI

است.

NMOS صفر را خوب رد می‌کند high را خوب رد نمی‌کرد.

control اینجا با صفر روشن است. چون PMOS است.

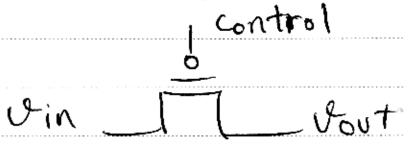
ولتاژ آستانه < 0

$0 - V_{out}$ منفی‌تر از ولتاژ آستانه شود.

مثال آمد $V_{tp} = -1$

$V_{in} = 0$

$Control = 0$


control
v_{in}
v_{out}

$0 - V_{out} < -1$

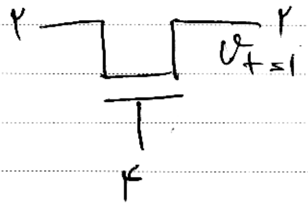
$\Downarrow$

$V_{out} = 1$ تا ترانزیستور روشن است

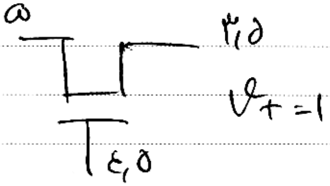
if $Control = 0 \Rightarrow V_{out} = V_{in}$

$v_{out} = \max(v_{in}, v_G - v_{t,p})$

مثال.



$\min(۲, ٤-۱)$

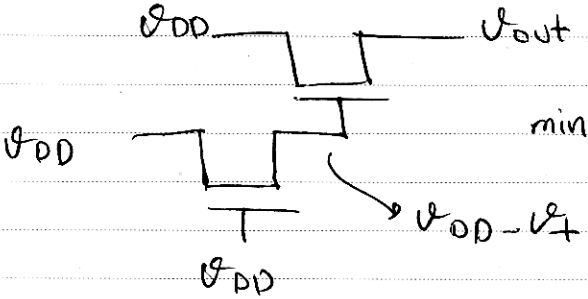


$\min(۵, ٤٫۵-۱)$

$v_{out} = \min(v_{in}, v_G - v_t)$

ممکن است منبع تا ازای ↑ ها شیب بدهم درست باشم.

NMOS رایج تر است. با ترکیب N, P انتقال ایده آل می کند.


v_{DD}
v_{DD}
v_{DD}
$v_{DD} - v_t$

$v_{out} = v_{DD} - 2v_t$

$\min(v_{DD}, v_{DD} - v_t - v_t)$

برای PMOS

V_{in}	Control	V_{out}
0	V_{DD}	HI
V_{DD}	V_{DD}	HI
0	0	$\lvert V_{tp} \rvert$ ⟵ برعکس NMOS است
V_{DD}	0	V_{DD}

PMOS با صفر روشن می‌شود.

برای PMOS ⟸ $V_{GS} < V_t$ باید باشد.

$$G = 0$$

$$\Rightarrow V_G - V_S < V_t$$

$$V_G - V_{out} < V_{tp}$$ ⟵ منفی است

$$0 - V_{out} < ''$$

$$\Rightarrow V_{out} >$$ اندازه ؟

V_{tp} باید تا ترانزیستور روشن شود.

طراحی

می‌خواهیم با استفاده از اینها طراحی را انجام دهیم

« طراحی گیت‌های منطقی با ترانزیستور عبور »

ابتدا یک روش کلی ذکر می‌کنیم.

می‌خواهیم گیت AND را طراحی کنیم (جدول بکشیم

A	B	OUT
0	0	0
0	1	0
1	0	0
1	1	1

هر تابعی با جدول داده باشند.

اگر A را ورودی داشته باشیم.

۱- A ورودی را به عنوان کنترل

می‌گیریم اینجا دوتا ورودی داریم یکی را کنترل می‌گیریم => B کنترل

↓

G

B صفر یا یک است.

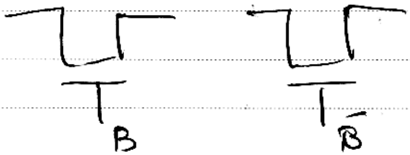
با هم کنترل است ← B است ① است

یا

B̄ است ۰ است.

می‌خواهیم با ترانزیستور عملکرد سیستم را بسازیم ورودی‌هایی که با هم ضرب

هم سریست. And را میدهد.



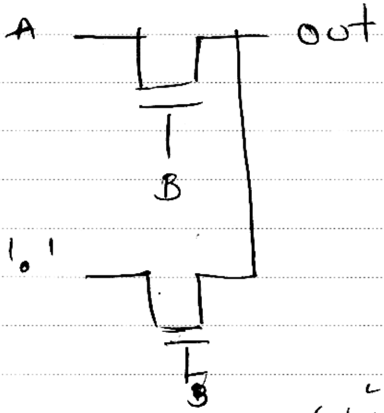
وقتی B روشن است

↙

1

فرض ← اگر $A = 0$ خروجی 0) یعنی A را منتقل می‌کند.

$A = 1$ ⇐ 1



برای $\bar{B}$ A هرچه باشه

ضربش صفر است => صفر منطقی دارد

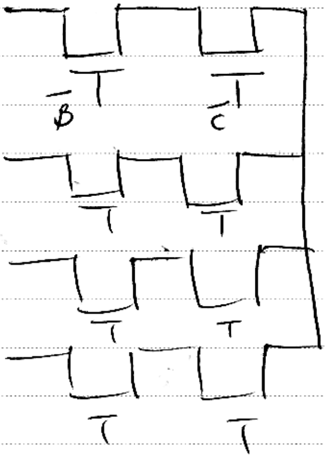
می‌کند ضربش هم صفر منطقی به ما میدهد.

اگر ۳ تا ورودی A و B و C

داشته باشیم به طور مثال B و C را نشان میدیم

۴ حالت را در نظر میگیریم. هر ردیف داشتیم که ضربش ۲.

1
BC
$\bar{B}C$
$B\bar{C}$
$\bar{B}\bar{C}$

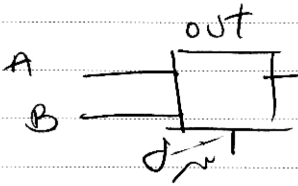


Subject:
Year.　Month.　Date.　( )

دقت کنید در روش استاندارد ضرب جمع. این مورد رو در نظر بگیریم

ولی در روش تحلیلی : حالتی پیش نیاید اگر ورودی‌ها مدتی روشن شد یا ۱ شد همزمان روشن شد هر کس برای خودش یک مقدار بگذارد در مسیر. عملاً مدار می‌سوزد یا درست کار نمی‌کند.

مثلاً می‌خواهیم MUX 2x1 بسازیم

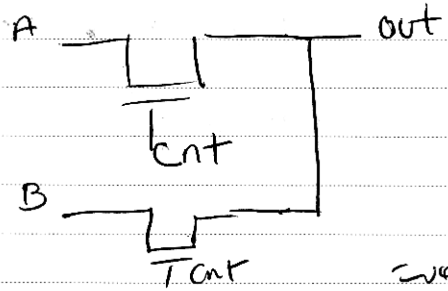


برای هر حالت در هر لحظه زمان یکدام اتفاق می‌افتد به ازای ورودی‌های می‌دهیم. امکان ندارد که $B\overline{C}$ با هم روشن باشد.
$\overline{B}C$

چون C یا صفر یا یک است.

فرض این است که ۲ ورودی A, B داریم یک پایه کنترل می‌گذاریم

و یک خروجی داریم



اگر کنترل = 0 خروجی ← A
" = 1 " ← B

به جای کشیدن جدول با ۳ ورودی و ۸ حالت

cnt 20 ۲۲ pass بریم که از این موضوع استفاده نمی‌کنیم

Cnt = 0 → A منتقل شود.

Cnt = 1 → B "

آن وقت تعداد ترانزیستور ۸ تا می شه اگر از pass tran

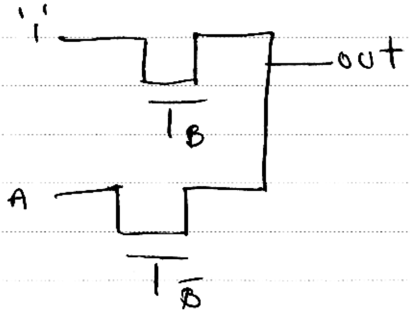
استفاده کنیم. و در انتها ۵ ولت مطمئن هستیم

که خروجی درست می دهد.

گیت OR

را هم می توانیم پیاده سازی کنیم.

A	B	out
0	0	0
0	1	1
1	0	1
1	1	1



به ازای B ← 1

$\bar{B}$ ← A منتقل می شود.

تمرین های این بخش آیت الهی مد است.

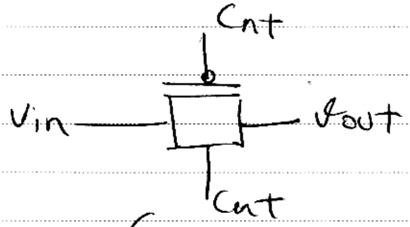
در عکس هایشان تمرین های خوبی دارد

Subject:
Year. Month. Date. ( )

اگر عدد غلط باشد بنویسیم که عددمان غلط است . واشتباه در محاسبه کردیم.

که نیز پیشرفت چند تا غلطش را از کتاب گذشته بود در امتحان هم به همین صورت است

گیت انتقال Transmission gate



از ترکیب P و N استفاده کرده

از مفهوم CMOS را ،،

در NMOS با پایه‌ی یک داریم

مشخص نمی‌کند ورودی را

روی خروجی نوشتیم

عکسش هم ایراد ندارد.

اشکالش این است که منطق h را خوب

رد نمی‌کند P هم ۰ را درست رد نمی‌کند.

به همین علت این دو تا را ترکیب می‌کنیم

$Cnt = 1 \Rightarrow V_{out} = V_{in}$ حالا اگر Cnt

N و P هر دو روشن است

اشکال قبلی را رفع کرده

افت ندارد دقیقاً ورودی را به خروجی می‌رساند.

$Cnt = 0 \Rightarrow V_{out} = HI$

خروجی ندارد.

N با صفر خاموش می‌شود ← P ← اش not ← ۱ خاموش

فراهم گیت‌های منطقی با گیت انتقال

مثال. یک fulladder را فراهم با گیت انتقال فراهم می‌کنیم.

FA جدول درستی دارد. نشان ای آن می‌دهیم

	A	B	Cin	S	C
$\bar{A}\bar{B}$	0	0	0	0	0
	0	0	1	1	0
$\bar{A}B$	0	1	0	1	0
	0	1	1	0	1
$A\bar{B}$	1	0	0	1	0
	1	0	1	0	1
AB	1	1	0	0	1
	1	1	1	1	1

روش رسم همان روشی است که در گیت‌های pass + ، توانستیم عبور دادیم.

یک بار هم فراهم $\frac{S}{C}$ رابطه بیاوریم همه را بررسی می‌کنیم-

n تا ورودی

n−1 ← پایه‌های کنترل

یعنی pass+ رسم می‌کنیم سپس pmos ها را رسم می‌کنیم

PaPCO

A و B ← مشترک می‌گیریم .

هر کدام را می‌خواهیم می‌توانیم مشترک بگذاریم چون محدودیت نداریم اگر داشتیم

همان طور عمل می‌کردیم

$\bar{A}\bar{B}$ می‌خواهد که بعد از او $0 \leftarrow S$

ورودی $0 \leftarrow C$

$1 \leftarrow S$

ورودی $1 \leftarrow C$

$\Leftarrow$ $\bar{A}\bar{B}$ دقیقاً Cin را وارد می‌کنیم .

حالت کلی $\bar{A}B$

این بار $0 \leftarrow S$ $1 \leftarrow S$

$1 \leftarrow C$ $0 \leftarrow C$

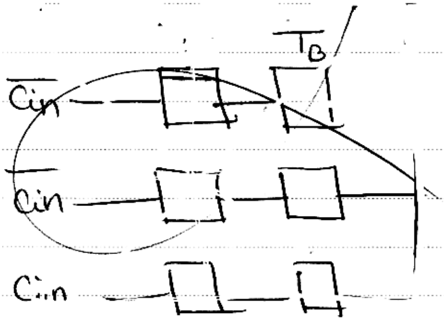
$\Leftarrow$ $\overline{Cin}$ را دارم می‌دهم .

$A\bar{B}$ $0 \leftarrow S$ $1 \leftarrow S$

$1 \leftarrow C$ $0 \leftarrow C$

$\Leftarrow$ $\overline{Cin}$

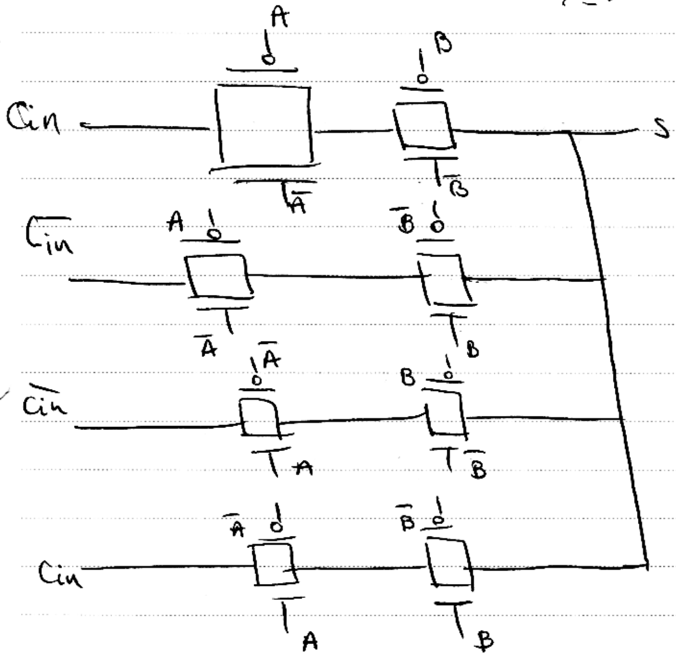
AB Cin منتقل می‌شود.


T_B
$\overline{Cin}$
$\overline{Cin}$
Cin

هرچی در N است
not شو را در P می‌دهیم.

اگه جمع‌کننده بخواهیم با PT
فقط N هاست اثر بشید

PS ← دو pmos هم بزاریم.


A
B
Cin
S
$T_{\overline{A}}$
$T_{\overline{B}}$
$\overline{Cin}$
A
$\overline{B}$
$\overline{A}$
B
$\overline{Cin}$
$\overline{A}$
B
A
$\overline{B}$
$\overline{A}$
$\overline{B}$
Cin
A
B

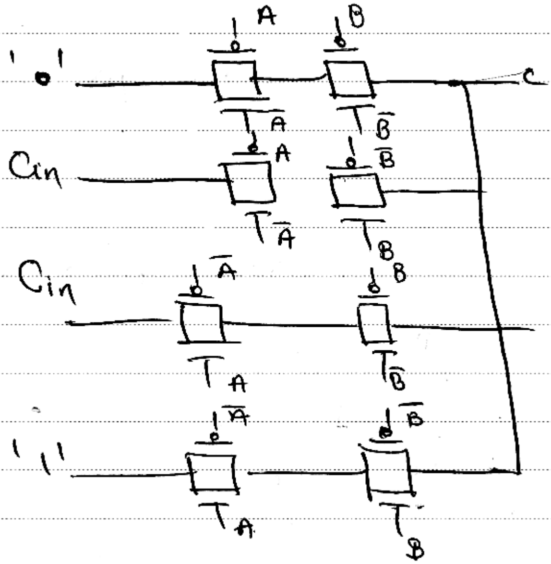
برای carry

$\bar{A}\bar{B}$ C ← 0 ، به Cin کاری ندارد

$\bar{A}B$ Cin را کاملاً وارد کنیم .

$A\bar{B}$ Cin را " "

AB 1 منطقی را وارد می‌کنیم ، به Cin کاری ندارد.


A
B
'0'
C
$\bar{A}$
$\bar{B}$
Cin
A
$\bar{B}$
$\bar{A}$
B
Cin
$\bar{A}$
B
A
$\bar{B}$
'1'
$\bar{A}$
$\bar{B}$
A
B

اگر ورودی‌ها 0 ، B و Cin باشند.

دسته‌بندی عوض می‌شود.

Subject:
Year. Month. Date. ( )

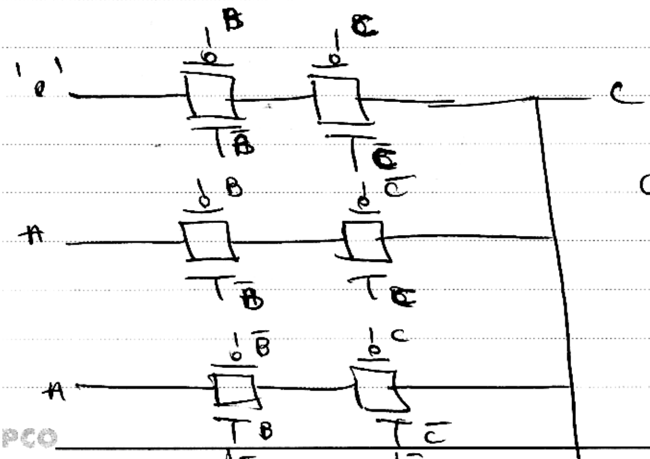
A	B	C	S	C
0	0	0	0	0
0	0	1 *	1	0
0	1	0	1	0
0	~~1~~	~~1~~	0	1
1	0	0	1	0
1	0	1 *	0	1
1	1	0	0	1
1	~~1~~	~~1~~	1	1

$\bar{B}\bar{C}$ ← carry ربطی به ورودی ندارد '0' منطقی

$\bar{B}C$ ← عدد A را می‌دهم

$B\bar{C}$ ← " " "

BC ← '1' منطقی را می‌دهم.


B
C
'0'
$\bar{B}$
$\bar{C}$
B
$\bar{C}$
A
B
C
$\bar{B}$
C
A
B
$\bar{C}$
C

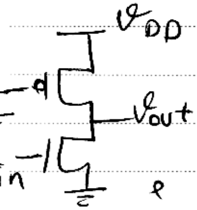
تمام آنهایی که با ترانزیستور
عبور طراحی می‌کردیم با استفاده
هم می‌توان طراحی کرد فقط
P را باید اضافه کنیم.

منطق شبه NMOS

ترکیب NMOS و CMOS به شبه nmos را انجام می‌دهد.

nmos ← pullup ضعیف بود.

cmos به تعداد nmos است اما به ازای in nmos in هم pmos باید می‌داشتیم



در بالایی pmos نمی‌ذاریم. و گیتش به زمین وصل کردند همیشه روشن بود. ترانزیستور بالایی به افزایش، کاهش همیشه روشن nmos هم ورودی می‌دهیم و خروجی می‌گرفتیم.

ظاهراً که گیت not را می‌دهد. اشکالش این است. وقتی ترانزیستور پایینی روشن است خروجی کاملاً صفر نبود و دقیقاً یک را هم نمی‌دهد.

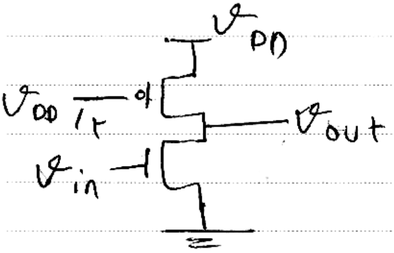
اشکال: در نقطه میانی V_m به اشباع نمی‌رفت. [illegible] به راحتی به خطر می‌رفت.

V_{bios} ← $V_{DD}/2$ ←
این کار را کردند.

Subject:
Year. Month. Date. ( )

nmos شبه

این فرم دیگه ندارد شد.


v_{DD}
$v_{DD}/2$
v_{out}
v_{in}

هر تابعی را بخواهیم می‌توانیم با این طراحی کنیم.

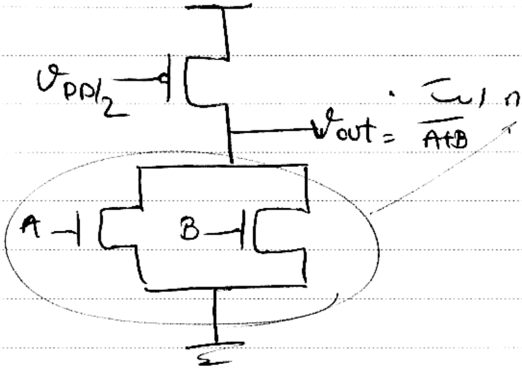
$$v_{bios} = v_{DD}/2$$

bios

گاهی اوقات طراحی‌مان بر این فرض است که ترانزیستور حلقه باز کردن راست باشه؟ اشباع هر دو این کار را با پارامترهای [illegible] انجام دهیم.

به این عمل می‌گوییم bios کردن. یعنی با این فرض که مقاومت‌ها طوری تنظیم شده که مدشون‌ها را دارند.

گیت NOR با شبه nmos ؟

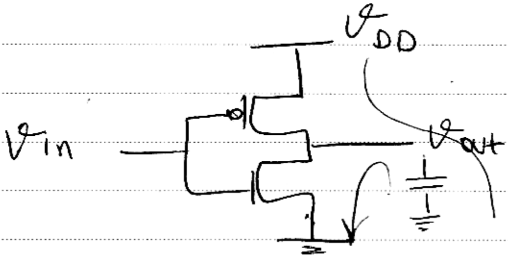

$v_{DD}/2$
$v_{out} = \overline{A+B}$
A
B

bios ← pullup

pd ← یعنی nmos است.

منطق CMOS پویا :

مدار ایستا



این مدار در هر لحظه از زمان پایین یا بالا یکدام روشن است خروجی از مسیر پایین یا بالا به زمین یا تغذیه وصل بوده است.

مدار ایستا باعث می‌شود اگر که در Vout یک خازن داریم در یک حالتی دشارژ شود و در حالتی هم شارژ شود.

در هر صورت در هر لحظه از زمان Vout به زمین یا منبع تغذیه راه دارد

اما در مدار پویا به این صورت نیست

مدار پویا

حالتی ممکن است وجود داشته باشد خروجی از هیچ مسیری به هیچکدام تغذیه یا زمین وصل نباشد.

Subject:
Year. Month. Date. ( )

مسیری نباشه اما حتی پایینم ولتاژ دارد.

تفاوت: کد استاتیک اگر فرض هم هیچ جا وصل نباشه می‌گفتیم ← H1 شناور است

ولی در دینامیک چون خازن‌های ضمنی کوچک تری بیش می‌کنیم.

یک clk داریم. به صورت یک پالس با دوره تناوب مشخص

اعمال می‌شود اگر clk = 0 شود تا زمانی ← خازن شارژ است.

pmos

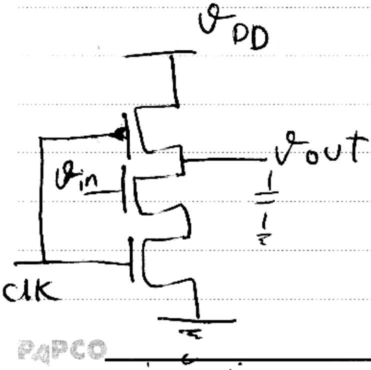
هیچ ربطی به ورودی ندارد. روشن ↓

v_{out}

تا زمانی که clk = 1 شود.

پایینی nmos است با clk = 1 روشن

بالا pmos با // خاموش



حالت 2) مسیر دشارژ با هم مسیر پایینی است.

اگر $v_{in}=1$

دشارژ می‌شود،

$v_{in}=0$, clk = 1

به هر صورت. مقدار h خود را حفظ کرده اما این حفظ کردن

در حد نانوثانیه است.

در یک بازه کوچک خازن روشن مانده مقدارش هم به وجود $v_{in}=0$ است

مقدارش را حفظ کرده به محض اینکه $clk=0$ شد. انگار یک تقریبت

داریم می‌کنیم. مثلاً h داریم می‌دهیم در این ناحیه مدار حالت شارژ

دارد وقتی $clk=1$ می‌شود. سوئیچ v_{in}.

اگر دوره تناوب مناسب باشد. می‌توانیم عمل درست و مثلاً می‌دهیم

می‌توانیم از مدار استفاده کنیم توان مصرفی کم ولی از این مقدار ولتاژ

در بازه‌ی کوچکی نگه داشته.

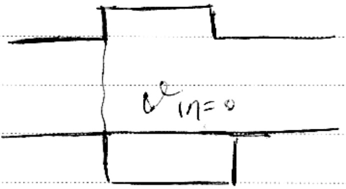
از نظر کاربردی آرایش زیادی دارد چون در مصرف توان خیلی

صرفه‌جویی می‌شود.

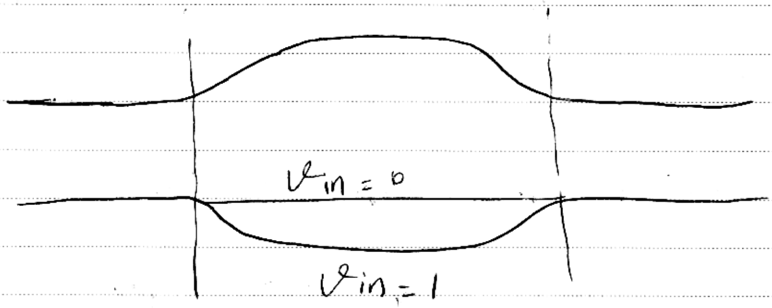
$clk=1$ روشن nmos $\begin{cases} v_{in}=1 & \text{دشارژ} \\ v_{in}=0 & \text{نمی‌شارژ} \end{cases}$

$clk=0$ روشن pmos $v_{out}=1$ مدت زمانی

Subject:
Year. Month. Date. ( )



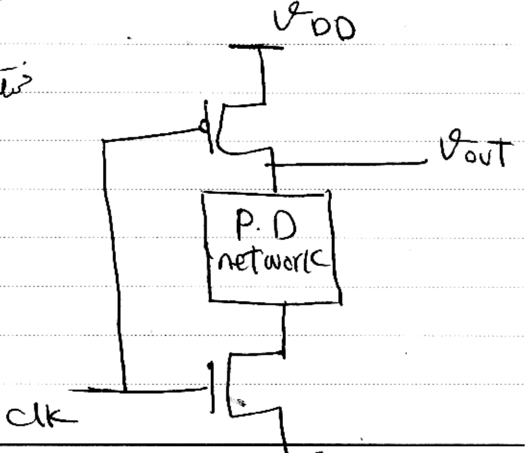
آخرش گفته شد مدار دوپایی پخش شده بود.



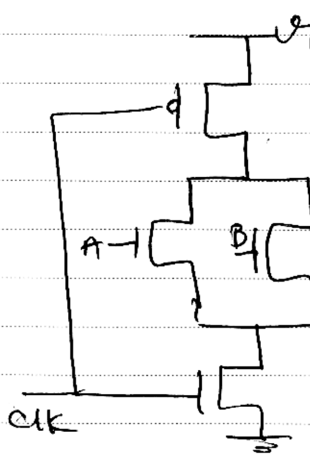
بعدتا هرجا بخواهیم می‌توانیم افزایش دهیم

فرم کلی مدارات پخش شده

در فرم کلی یک nmos برای clk داریم و یک شبکه P.D
pmos
از nmos ها استفاده می‌کنیم که تابع
را پیاده کنیم. که ورودی‌های
مختلف داده می‌شود.


v_{DD}
v_{out}
P.D
network
clk

مثال. مدار NOR را با پیش شارژ رسم کنید.



در صورتی که $clk=0$ ارزیابی انجام نمی‌دهیم.

$V_{out}=1$ ربطی به ورودی ندارد

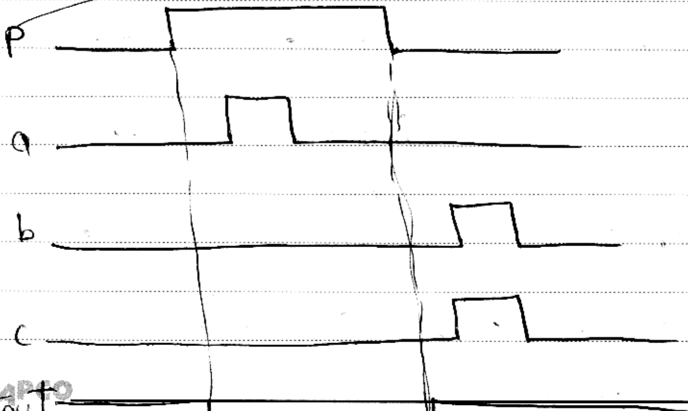
در صورتی که ارزیابی انجام دهیم
$clk=0$
NOR پیاده سازی می‌شود

(مشکل شارژ شدن H هم شده)

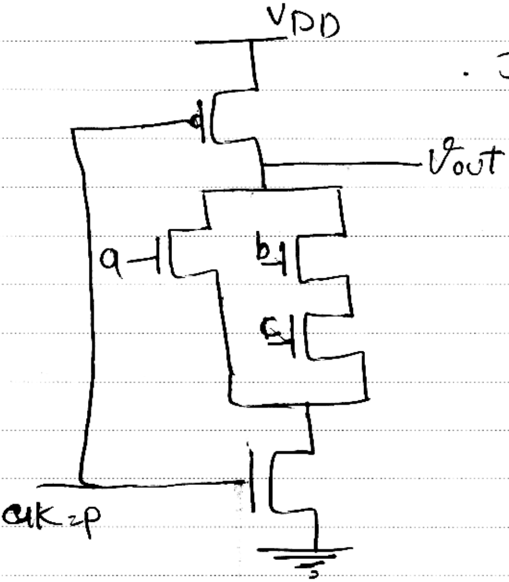
مثال. تابع $F = \overline{a+bc}$ را با مدار دومینوی پیش شارژ رسم کنید.

وضعیت را برحسب ورودی‌ها بدست آورید.

نقش clk را دارد



clk = 0



بالایی روشن پایینی خاموش است .

p همون clk است لازم نیست

که اسمش clk باشه .

می‌خواهیم خروجی را ثابت بیاوریم

clk = 0   pullup داریم

$v_{out} = h$

clk = 1   P.U = خاموش
P.D = روشن

می‌خواهیم ببینیم مداری هست که خروجی را عوض کند. (مسئله ارزیابی)

در اولین لحظه   a,b,c = 0 ⇐ هر سه ترانزیستور خاموش است .

تا جایی که   a = 1 شود .

مدار دشارژ پیدا می‌کند. خالی شدن ادامه پیدا می‌کند تا زمانی که clk عوض شود

clk هر وقت وارد شد ⇐ clk = 0 خروجی‌ات ← p.u

n به ورودی‌های پایینی کاری ندارد.

Subject:

Year. Month. Date. ( )

وقتی a از یک به صفر عوض شود. ترانزیستور روشن بود بعداً خاموش شد.

درست است. اینجا از بین رفته وقتی سیو شده داشتم.

a خاموش شده اما دوباره نمی‌تواند out سمت high شود.

علت: مقداری که ذخیره کرده بود در خروجی از دست داد.

و امکان مقدار گذشتن ندارد تا CMC مجدد بیاید.

وقتی low شد ولتاژ را از دست دادیم در بازه‌ی ارزیابی دوباره نمی‌تواند high شود

همان مقدار را اضافه کند تا به مرحله‌ی شارژ برسد.

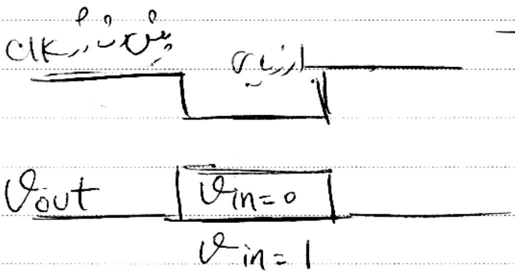
پس b را تغییر نکرده اما چون در مرحله ارزیابی نیست. out تغییر کرده

آمد b,c تغییر می‌کرد در مرحله ارزیابی ولی چون در مرحله شارژ

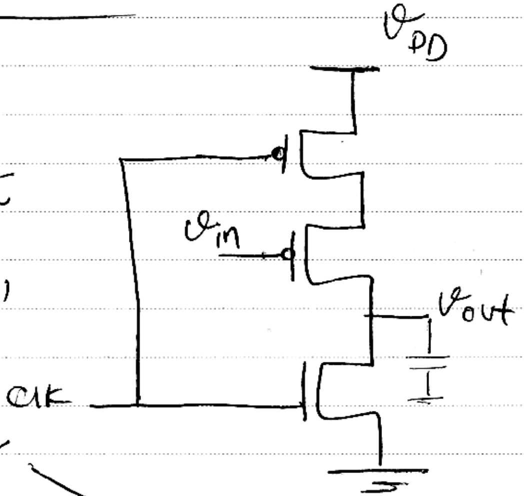
است تغییر نمی‌کند. اثری ندارد. دوباره out ← سالم شد.

و البته کلاک تغییر ورودی اثری ندارد.

مدار پیش دشارژ



تنها ترانزیستوری است که از pmos استفاده می‌کنیم .



clk = 1 برعکس حالت قبل → خروجی P.U خاموش
P.D روشن
out = 0

clk = 0 P.U = روشن } v_{in} بسته می‌شود
P.D = خاموش

$v_{in} = 0$ خروجی می‌تواند High شود

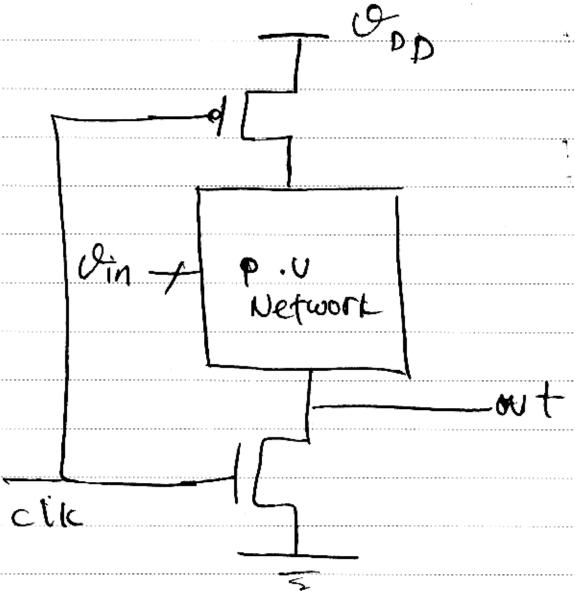
$v_{in} = 1$ → خروجی مقدار صفر خودش را حفظ می‌کند .

Subject:
Year. Month. Date. ( )

اگر در ابتدای عکس نگاه کنیم می‌بینیم hight است.

اما در پایین عکس می‌بینیم عملاً یک خازن در out داریم که اتصال دشارژ کردیم مقدار صفر ولت ورودی مدار را دارد در انتهای پایین که صفر ولت ورودی را منتقل کرده.

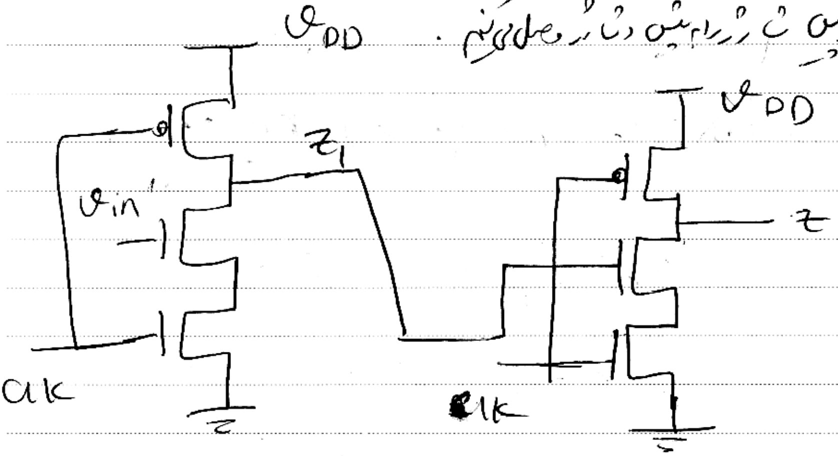
فرم کلی مدارات پیش دشارژ pre discharge



اتصال زنجیره‌ای : cascade

اتصالات زنجیره‌ای مدارات پیش دشارژ رو شرح.

خروجی مدار پیش شارژ را به پیش دشارژ وصل می‌کنیم.



اگر یک clk داشتیم کلاکی که وارد بعدی می‌شود، شکل مربعی کامل نیست

در واقعیت هیچ وقت مربع کامل نداریم.

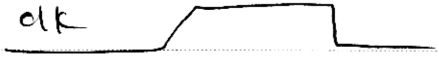
مقداری زمان طول می‌کشد تا از L به H برود و برعکس، به همین خاطر

مقداری تأخیر داریم و مربعی کامل نیست.

در عملیاتی که انجام می‌دهیم سعی داریم در هر طبقه زمانی کم کنیم اگر مثلا

در طبقه چهارم کار می‌کند و تأخیر در حد نانو ثانیه است عملاً در کار ما تأثیر

ندارد و ازش صرف نظر می‌کنیم



ما در لبه پایینی عمل می‌کنیم

⇐ تأخیر کم چقدر تأثیرگذار است.

فرض کنید v_{in} با یک تأخیری اعمال شود.

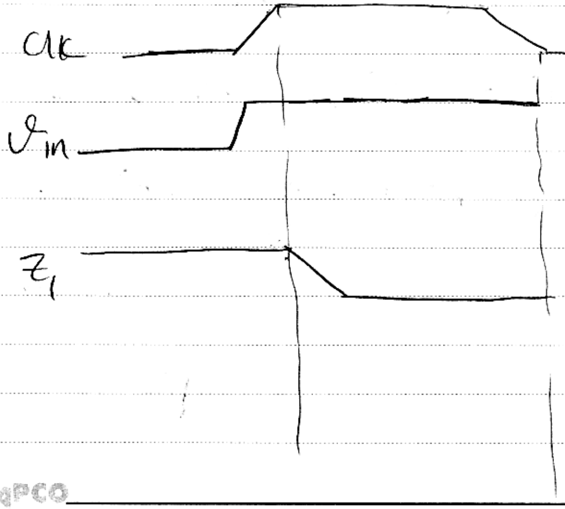
فرض $clk = 0$ (مدار طبقه اول) جدا پیش می‌رود است.
$Z_1 \to H$

clk نزدیک به $clk = 1$ آغاز تغییر دارد

$clk = 1$ شد. می‌توانند سطح پایینی روشن می‌شود.

آمد $v_{in} = 1$ ⇐ خازن دشارژ می‌شود.

ولی با یک تأخیری انجام می‌شود، مقدار صفر نمی‌رسد تا جایی که دوباره



کلاک تغییر وضعیت می‌دهد

و مدار هم ولت
ممکن نشده بود.

Z_2 هم اساساً Z پیش‌نیاز

است تا جایی که کلاک ۱
شود ⇐ نتوانسته سطح پایینی
روشن.

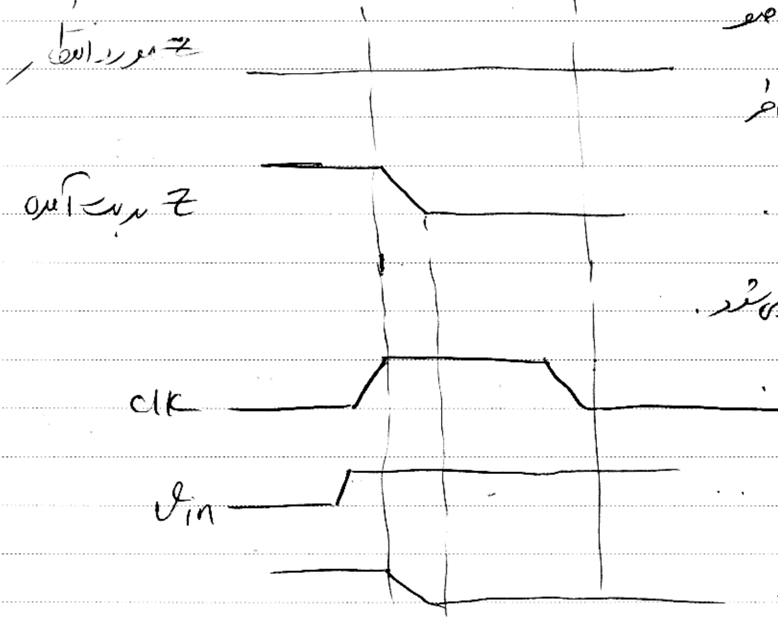
Subject:
Year. Month. Date. ( )

مقدار واقعی z_1 صفر است. اما به خاطر تأخیر مقدار قبلی یعنی

$z_1=1$ می‌بیند ترانزیستور روشن می‌شود. دشارژ می‌شود.

درحالی که خروجی ناخواسته است خروجی مطلوب ما نیست.

مقدار صفری دارد. z نهایی



مقدار واقعی z_1 صفر
است. =) به خاطر
تأخیر ۱ می‌بیند.
و z نهایی صفر می‌شود.
اگر تأخیر را نمی‌دید
کلاک که 0 بود
خروجی ۱ بود.
به محض اینکه کلاک

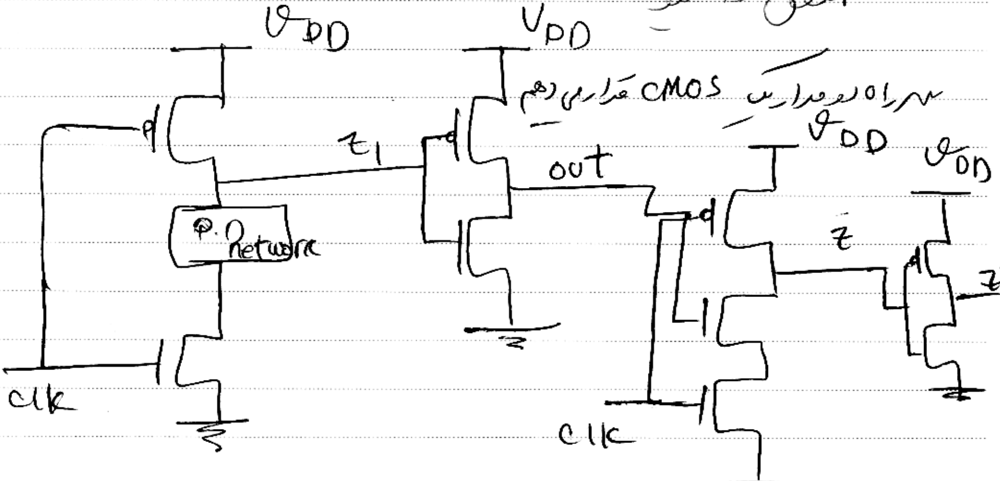
0 می‌شد. اگر نمی‌دید z_1 صفر است و z مقدار ۱ خروجی‌اش را حفظ می‌کرد.
اما low شده چون دیر z_1 صفر شده کل تأخیر باعث شد خروجی اشتباه

باید تدبیری برای حل این مشکل بیاوریم ؟

۲ راه پیشنهاد می‌شود: ① اگر در طبقه‌ی اول با کلاک کار می‌کنیم. طبقه‌ی بعد با $\overline{clk}$ کار کند اگر پیش شارژ است پیش دشارژ شود.

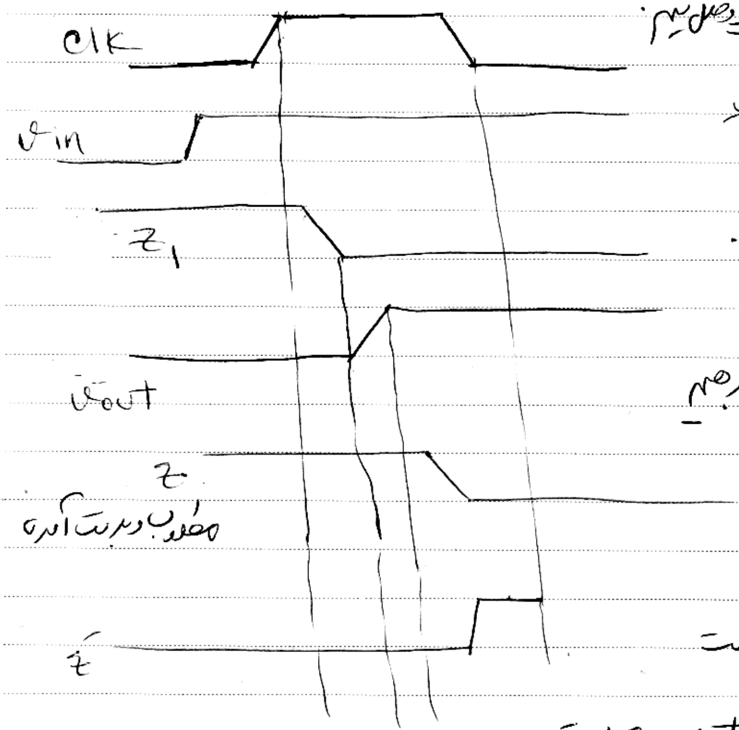
② **منطق دامینو** یکی از راه‌های پیشنهادی برای اتصال چندین مدار از این نوع

منطق دامینو


سر راه یه مدار یک CMOS قرار می‌دهم
VDD
VDD
VDD
VDD
P.D network
Z1
out
clk
clk
Z
Z'

Z قبل از این است not کنیم

این ۲ تا دامینو است.



اگر بخواهیم بار اضافه وصل کنیم.

عملاً یک P.D network nmos است.

خودمان هم می‌توان از یک not عبور بدهیم

بعد z تا را مثلاً پشت سرهم وصل کنیم.

تأثیرش به این صورت است

که Vout ← not z_1 است.

high می‌شود تا به بعدی برسد. مشکلی که در clk ضربه ← z=h , z=h

موقعی که clk تغییر وضعیت می‌دهد. ورودی نگاه می‌کند Vout=0 ← z

روشن نمی‌شود که ۰ می‌شود. z هم زودتر روشن ← z دشارژ انجام

می‌شود یعنی اینکه تأخیر کوچکی دشارژ شود — ابتدا چون ۰ بود — مشکلی نداریم

مورد اشکال ما در ضریب شکل است. تأخیر زیادی از موعد دشارژ شده.

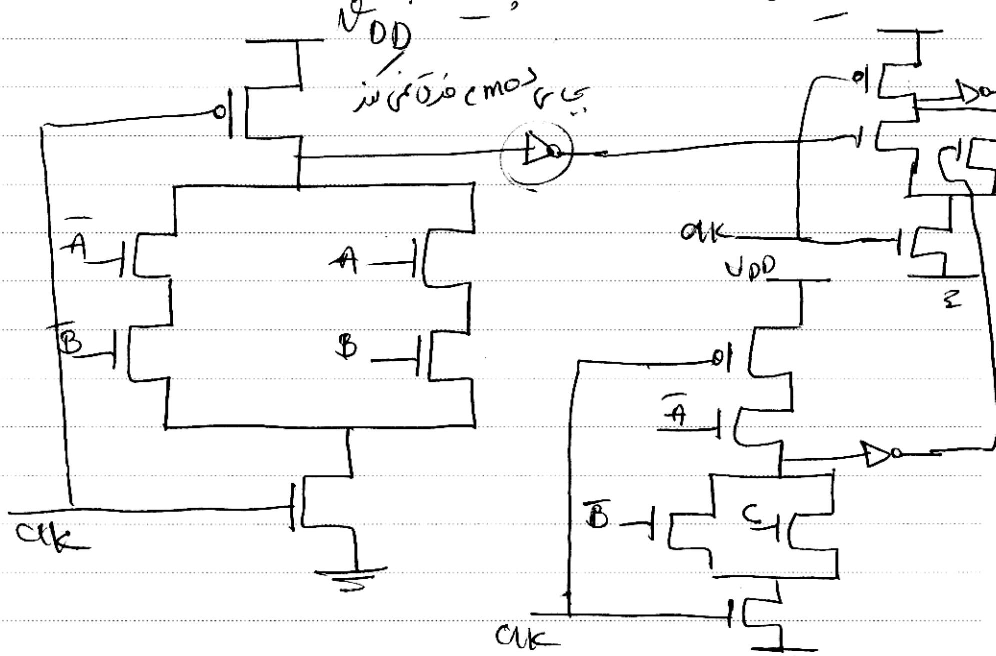
ج) عمق not آن متغیره است. که ضریبهای اصلی ما است.

پس از این not باید بیندازیم.

با توجه به شرایط ... جورواجور مدار ج مورد نظر

با ج بدست آمده یک ... است. با توجه به اینکه مزیت مدار عوض شود.

تمرین: تابع F چیست؟


VDD
بجای cmos فرق می‌کند
$\bar{A}$
$\bar{B}$
A
B
Clk
Clk
VDD
$\bar{A}$
$\bar{B}$
C
Clk
ج

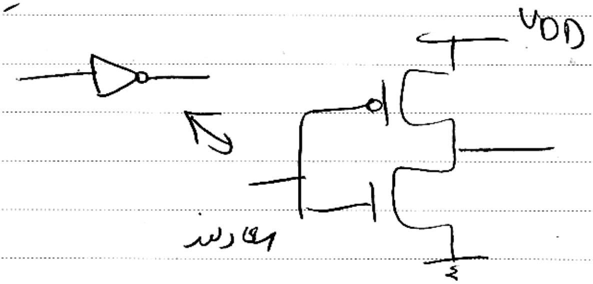
فقط فرض می‌کنیم باشه هر تابعی که خواهیم پیاده‌سازی کنیم

Subject:
Year. Month. Date. ( )

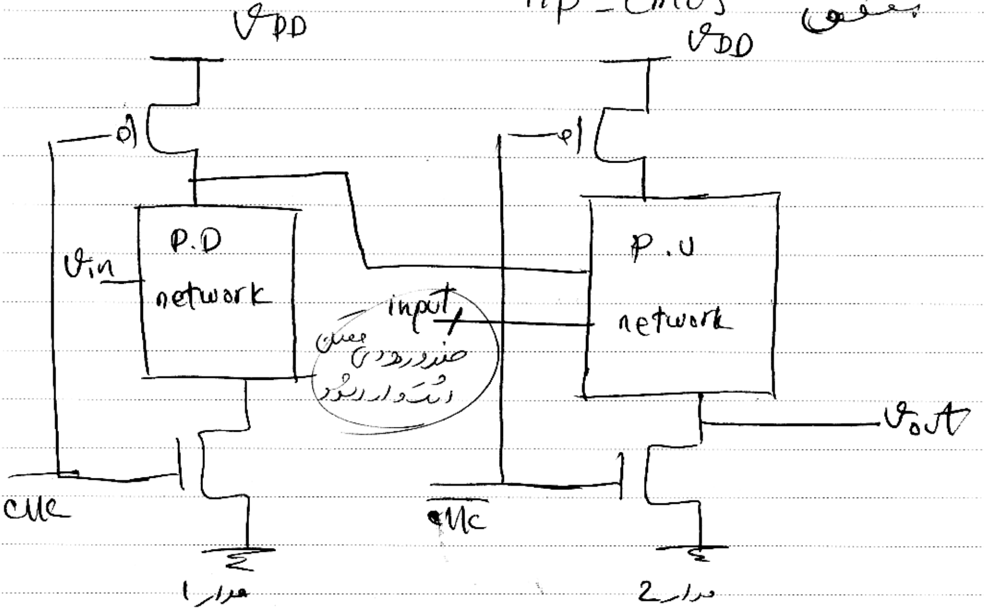
برای مدل

می‌گوییم ببینیم مشکل ایجاد می‌شود یا خیر. اگر دارد بنویسیم.

clk صفر یا یک باشد. ضروری هم است بنویسیم.


VDD
معادلند

منطق np_cmos

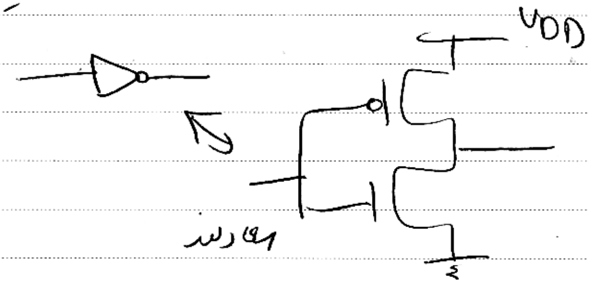

VDD
VDD
P.D network
P.U network
Vin
input
صفر و ردی عملاً
اشتباه وارد شود
Vout
clk
$\overline{clk}$
مدار 1
مدار 2

در طبقه اول n ها را می‌چینیم
〃 〃 دوم p 〃 〃

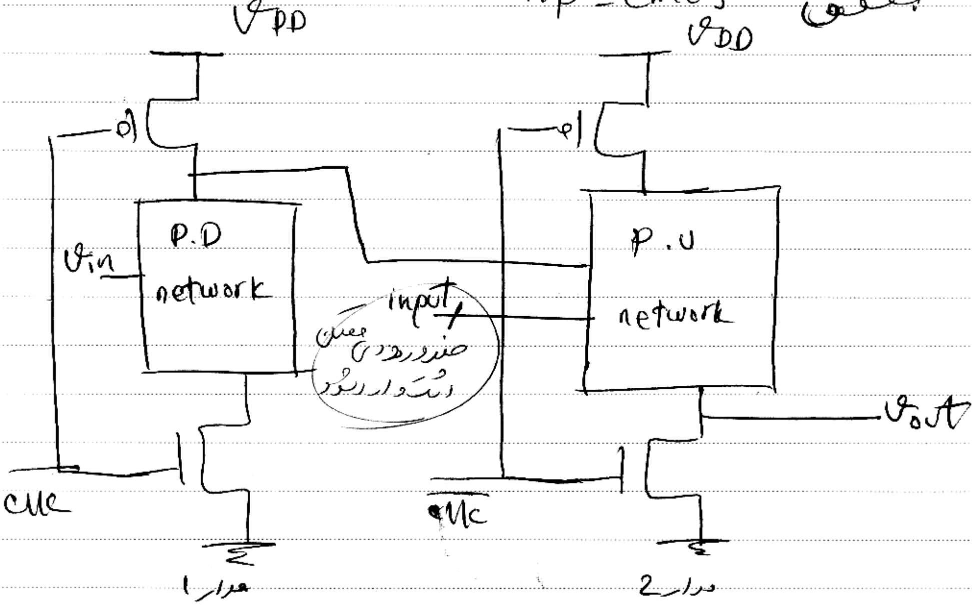
برای همین

فکر می‌کنیم ببینیم مشکل ایجاد می‌شود یا خیر. اگر دارد بنویسیم.

clk صفر یا یک باشد. خروجی چی است بنویسیم.



منطق np_cmos


VDD
VDD
P.D network
P.U network
Vin
input
معمولی
صفر و یک بودن
اشکال ندارد
Vout
clk
$\overline{clk}$
مدار ۱
مدار 2

در طبقه اول n ها را می‌بریم
" " دوم p " "

برای درستی p استفاده می‌کنیم.

pull up network می‌شود.

اگر clk در طبقه اول نگذاشتیم در طبقه دوم $\overline{clk}$ می‌گذاریم

خروجی اولی وارد دومی به عنوان ورودی وارد می‌شود. خروجی هم

ممکن است input داشته باشیم.

با این شکل هم اگر ببندیم مشکل ایجاد نمی‌شود.

مجبور نیستیم فقط یک pmos بذاریم در مدار 2.

اگر $\underline{clk=0}$ ← پیش شارژ → مدار ①

مدار ② not

پیش دشارژ مدار ② ⇐ $\overline{clk}=1$

است خروجی صفر است.

$clk=1$ ← مدار ① -- طبق ورودی

p.D در مد ارزیابی قرار دارد.

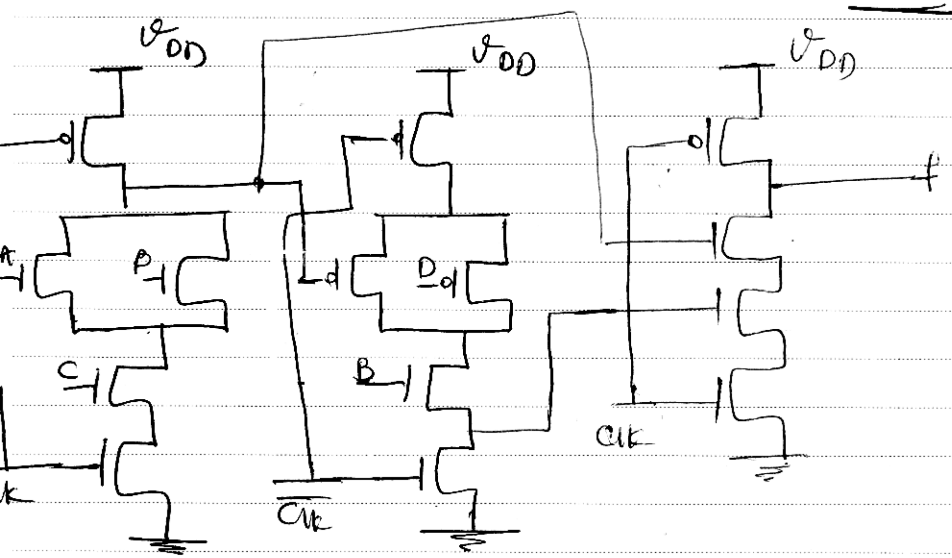
مدار ② $\overline{clk}=0$ روشن pmos است.

p.u شده

در مدار شماره ۲ است.

طبق تابع پیاده شده مدار خروجی می‌دهد ارتباط بین تابع‌ها اهمیتی ندارد.

تمرین چه تابعی پیاده سازی می‌شود؟



یکی از ورودی‌های pmos دومی از اولی آمده ولی ورودی‌های دیگر هم خروجش دار

np - cmos

تکمیل

pmos ها که خاموش می‌شود. وقتی یکی پیش از موعد نرسیده) باعث می‌شود

صفر

روشن شوند عملاً با برعکس کردن n و p تأخیر جبران شده.

p با صفر روشن می‌شود یکی می‌تواند کاری کند.

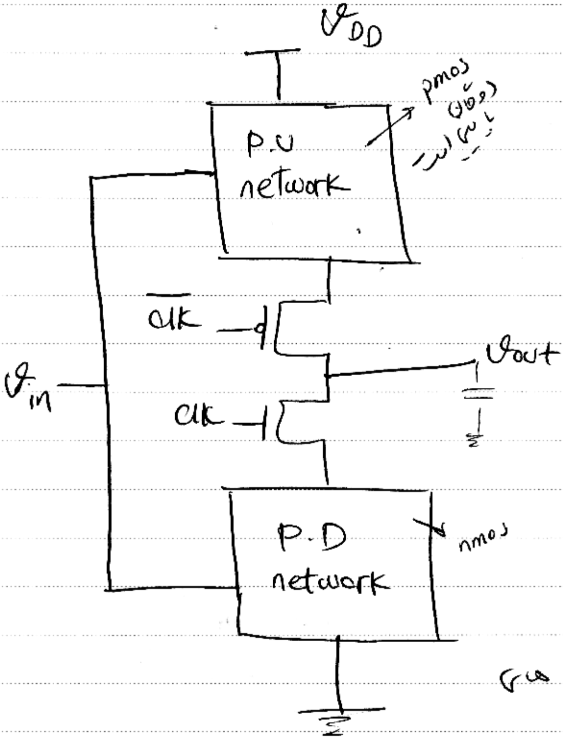
خروجی متناوب با فرصت خروجش را می‌دهد.

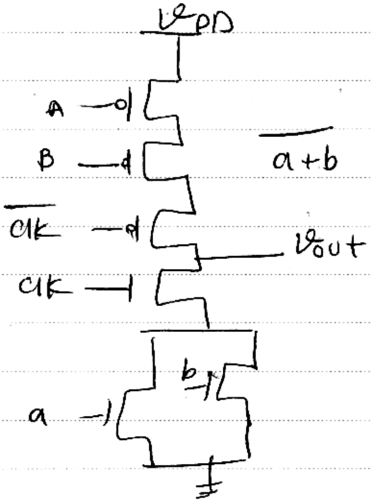
درست

آخرین نوع از مدار دینامیک:

۱ منطق ۲ $C^{2}MOS$

انگار از 2cmos دیگه هم استفاده می‌کنیم.


V_{DD}
P.U network
pmos
درونش
باید است
$\overline{clk}$
clk
V_{in}
V_{out}
P.D network
nmos


V_{DD}
A
B
$\overline{clk}$
clk
$\overline{a+b}$
V_{out}
b
a

تعمیمی که دارد شکل از mosfet های نوع n.

ورودی‌ها هم در شکل وصل می‌شود.

وقتی که clk = 1 nmos ، pmos روشن هستند

عملکرد cmos ایجاد می‌کند. $\overline{a+b}$ را ایجاد می‌کند یعنی تابع همان

را ایجاد می‌کند.

وقتی clk یک است برعکس تابع خروجی می‌دهد. ⇐ در مدار دینامیکی قرار دارد

clk = 0 pmos خاموش است.

مقدار قبلی خروجش را حفظ می‌کند. آنرا نیاز بود HI.

خروجی ندارد ⇐ چون در دینامیک بحث می‌کنیم.

وقتی با clk کار می‌کنیم در بحث دینامیکی است.

clk = 0 ← نگهداری عملکردش مثل حافظه عمل می‌کند.

هرچیزی در مدار دینامیکی داشت حفظ می‌کند.

می‌توانیم یک مقدار در مدار دینامیکی بدهیم یک خروجی خاص بگیریم

تا یک بازه‌ی زمانی مشخص، خازنی که از خروجی مدار می‌گیرد مقدار

را در خودش حفظ می‌کند در یک بازه‌ی کوتاهی اتصال مقدار

را حفظ می‌کند.

Clk = 1 → مدار مانند CMOS

Clk = 0 → مد نگهداری

باعث می‌شود در مد نگهداری مصرف توان پایین بیاید در یک بازه‌ای همه‌ی ترانزیستورها خاموش است ولی مقدار خروجی داریم. ⇐ یعنی حافظه‌ای طراحی کنیم که بعضی وقت‌ها ولتاژ هم ندهیم اما مقدار را نگه داشته باشد.

تست OR ، NAND ۲ ورودی و مالتی‌پلکسر 8x1

۳ خط کنترل
e ندارد.
لازم

با استفاده از تست اتصال رسم کنید.

حافظه‌ها

یکی از تقسیم بندی های حافظه — SRAM استاتیک / DRAM دینامیک

استاتیک

تغذیه همیشه وصل است نیازی به refresh نداریم Data را دائماً رفرش نمی‌دهیم.

PAPCO

دینامیک

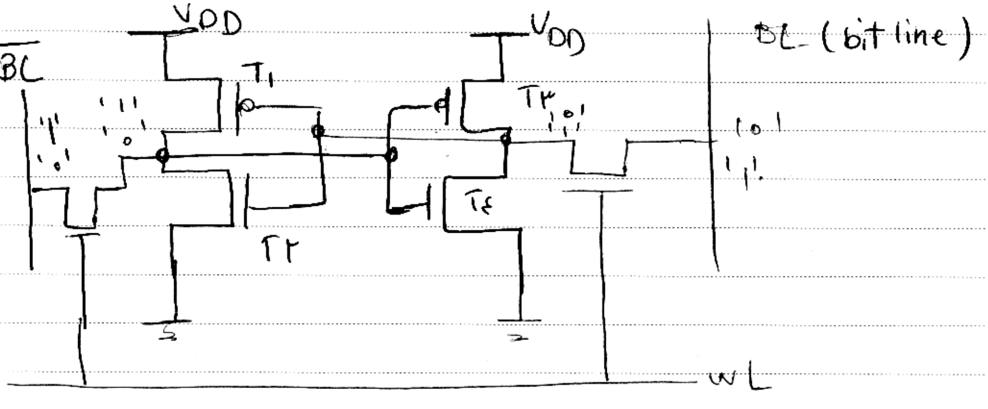
DRAM ـ تعداد OOها است این ندارد با صورت

این تعداد مصرف کم کند اما در عوض، refresh نیاز دارد.

SRAM

① اولین نوع حافظه Static RAM

عملاً در CMOS استفاده می‌کند.


VDD
VDD
$\overline{BL}$
T1
T2
T3
T4
'1'
'0'
'1'
'0'
BL (bit line)
'0'
'1'
WL

مقال سرهای ترانزیستورهای عبور به WL وصل می‌شوند.
worldselect line

یک سلول از حافظه استاتیک را نشان می‌دهد.

دو not با صورت فیدبک پشت سرهم قرار می‌گیرند.

دارای مثلاً یک منطقی را اقدام می‌دهیم یک وارد می‌شود.

notاش سپس صفر می‌شود سپس خروجی و دوباره not می‌شود. و دوباره یک می‌بینیم

یعنی اگر یک نقطه یک را بگذاریم و برداریم یک داخلش مقدار می‌گیرد.

درصورتی که اگر cmos با شند یا هرکدام not دیگری باشند

روشن باشند.

در موقع نوشتن یا write

WL برای این است که چند سلول داریم می‌خواهیم سلول خاصی را

انتخاب کنیم وقتی می‌خواهیم بنویسیم یا بخوانیم WL مربوط به همان سلول

را فعال می‌کنیم.

BL یعنی بیت داده‌ای که می‌خواهیم بنویسیم یا وقتی خواستیم بخوانیم.

مقدارات بهمان بدهد. مقدار عددای که ذخیره کنیم یا ارزش بخوانیم در BL

است.

موقع نوشتن ابتدا WL را فعال می‌کنیم. سپس به ای دهیم.

صفر داده را روی BL می‌گذاریم
anot اش را روی $\overline{BL}$ می‌گذاریم.

فقط مقدار ① : - ۱ منطقی را روی BL
۰ منطقی روی $\overline{BL}$
(قرار می‌دهیم

وقتی یک می‌نویسیم سطر فعال است => این یک ترانزیستور عبور
است یک وارد می‌کند.

یک وارد ورودی راست می‌شود.

صفر وارد چپ می‌شود.

یک باعث می‌شود T_2 روشن شود.

صفر باعث شود T_3 روشن شود.

یک لحظه فعال می‌کنیم مقداری گذاریم سپس فیدبک داریم سطر غیرفعال می‌شود. وقتی غیرفعال می‌شود،
دیگر مقدار از بیرون، داخل نمی‌آید. همین مقداری که گذاشتیم حفظ می‌شود.

به این صورت T_2 روشن شده، صفر می‌شود. صفر باعث می‌شود T_3 روشن شود.

یعنی یک حفظ کند. اینها همدیگر رو تثبیت می‌کنند.

ابتدا

با یک و صفر که وارد کردیم T2 و T3 روشن شده و دائماً داریم.

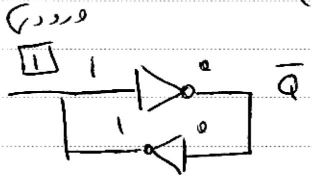
مشکل مصرف توان داریم چون دائماً از تغذیه ها دارد می‌کشد تا ترانزیستورها روشن باشند.

اگر ۱ ۰ ۱ وارد می‌کنیم.

اول از رد شوند
بعد not می‌شوند.
تا آخر همه درست در بیاید.

1 ←   0 ← BL   1 ← $\overline{BL}$

۰ وارد شده ⇐ T1 روشن می‌شود.
۱ " " T4 " " } و مقدار را حفظ می‌کند.



⇐ هر مقداری را بخواهیم می‌توانیم بدهیم.

عمل خواندن

مقدار داخل حافظه قرار دارد و می‌خواهیم بخوانیم.

ابتدا BL و $\overline{BL}$ را HI می‌کنیم. مقداری رویشان قرار نداشته باشیم

WL را فعال می‌کند. ← هرچه داخل نوشته باشیم از ترانزیستورهای عبور رد می‌شود روی BL و $\overline{BL}$ قرار می‌گیرد.

Subject:
Year. Month. Date. ( )

آگه ۰ داشته باشیم BL ← ۰ $\overline{BL}$ ← ۱ می‌خوانیم

یا ۱ نوشته باشیم ۱ می‌خوانیم $\overline{BL}$ ← صفر

هرچه نوشتیم همان را می‌خوانیم هرچی قبلاً داخلش نوشته بودیم

~~معمولاً~~ مدارمان سیم‌های است باید مسیر طولانی را طی کند. مسیر طولانی

باعث می‌شود ولتاژمان افت کند.

ترانزیستور عبور ← مثلاً اگه ۵ ولت بدهیم. طرف دیگه $5-V_t$

می‌تونیم افت ولتاژ داشت. (۵ را کامل رد نمی‌کنه)

برای support از مسیرهای طولانی به جای اینکه BL و $\overline{BL}$ را

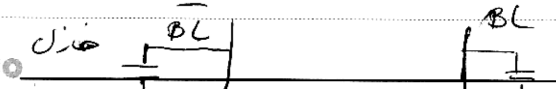
HI کنه. BL و $\overline{BL}$ را پیش شارژ می‌کنه.

فرض کنید خازن مقداری کمی شارژ شده حالا اگه مقدار باشه یک بخوانیم.

که همان پیش شارژ باقی می‌ماند.

آگه مقدار باشه صفر بخوانیم خازن دشارژ می‌شود

پیش شارژ برای انتقال مقدار داده در مسیر طولانی است.



اشکال

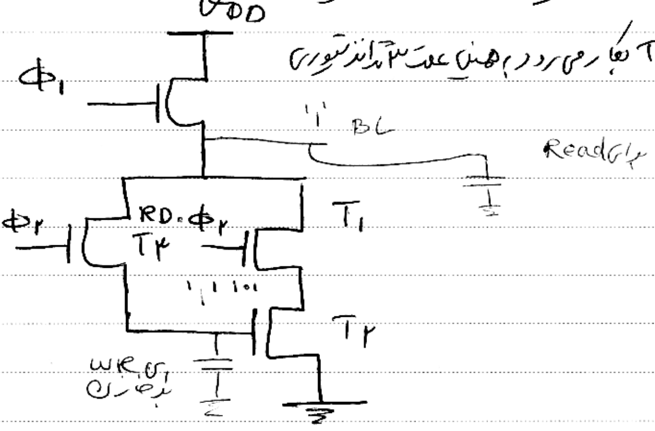
این مدار مصرف استاتیک دارد. تغذیه ها دائماً ولتاژ بدهند ترانزیستورها روشن شوند. ولی در عوض استاتیک است احتیاج به رفرش ندارد تا حقیقتاً ترانزیستور کار کند و تغذیه ها دائماً ولتاژ بدهد.

مقدار مدار در حذرش هم دوست داشته اند VDD را بدهیم و طول عمر ترانزیستور ها کاهش یابد)

DRAM ۳ ترانزیستوری

عملاً ۴ ترانزیستوری است ولی چون ترانزیستور بالا در همه سلول کاری ندارد (برای همه)

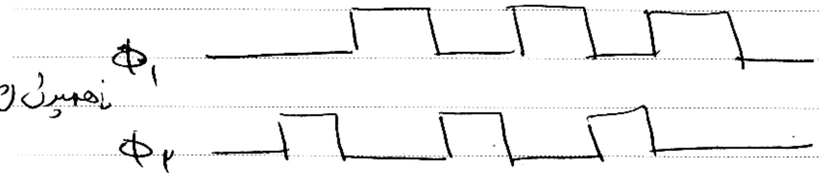
T1 ، T2 ، T3 بکار می روند به همین علت ۳ ترانزیستوری می گویند


VDD
Φ1
1
BL
برای Read
WR.Φ2
RD.Φ2
T4
T1
1 1 1 0 1
T2
WE برای
نوشتن

Φ_1 و Φ_2 دو کلاک هستند.

ناهمپوشان می‌گویند چون همزمان با هم یک نمی‌شوند.

Φ_1 در بازه‌هایی که Φ_2 صفر است مقدار دارد.



وقتی Φ_2 روشن است Φ_1 نباید مقدار '1' داشته باشد.

Write

می‌خواهیم داده بنویسیم ⇐ WR با Φ_2 باید فعال شود

مقدار را روی BL قرار می‌دهیم.

Φ_2 فعال
Φ_1 غیرفعال

T2 روشن مقدار از T3 می‌آید روی ورودی T2

در حقیقت یک خازن داریم که از ترکیب خازن‌های خروجی T3 و ورودی T2 ایجاد می‌شود مقدار 1 روی خازن ذخیره می‌شود.

اگر بخواهیم صفر بنویسیم فرقی نمی‌کند باز هم T3 نقش ترانزیستور

صفردار د می‌کند صفر نوشته می‌شود.

یک لحظه فعال می‌کنیم و بعد غیرفعال می‌شود. مقدار را داخلش نوشتیم.

مقدار در حافظه نوشته شده و ساختار قطع است. هیچ تغذیه‌ای

نداریم توان مصرف نمی‌کند تا موقعی که بخواهیم بخوانیم.

بین سیگنال نوشتن و Φ_2 عمل and داریم همچنین برای

خواندن Φ_2

خواندن

در یک بازه زمانی ← Φ_1 فعال می‌شود. ← ترانزیستور

بالایی روشن می‌شود باعث می‌شود BL ← پیش شارژ شود.

بعد Φ_1 غیرفعال سپس Φ_2 و سیگنال خواندن

را فعال می‌کنیم.

BL پیش شارژ است مقدار ولتاژ h روی خازن قرار دارد.

Φ_1 خاموش WR خاموش

مسیر T_1 و T_2 را داریم

Subject:
Year. Month. Date. ( )

T_1 روشن است چون RD.Φ_2 هم فعال است.

T_2 ← وضعیت T_2 بستگی به این دارد که چه چیزی روش نوشته باشیم.

روی خازن

مثلاً اگر ۱ نوشته بودیم ← T_2 روشن می‌شود

T_1 و T_2 روشن ⇐ BL دشارژ می‌شود.

↓ BL صفر می‌شود.

یعنی ۱ نوشته بودیم صفر می‌خوانیم

T_2 ← مثلاً اگر صفر نوشته باشیم.

T_2 نمی‌تواند روشن باشد. خاموش است.

⇐ اینجا شارژ باقی می‌ماند که پیش داده بودیم، در BL.

⇐ صفر نوشته بودیم ۱ می‌خوانیم.

هرچه نوشته بودیم not اش را می‌خوانیم.

$$RD.T_2 \begin{cases} '1'\ \text{on} \Rightarrow BL = '0' \\ '0'\ \text{off} \Rightarrow BL = '1' \end{cases}$$

باید توجه داشته باشیم که چون not می‌خوانیم باید بعداً یک not

قرار بدهیم که مقدار واقعی را بدهد

چون دینامیک است. ___ و لذا تغییر خانه‌اش را بدهیم همیشه
دیتاش را هم بدهیم.
مقدار می‌دهیم روی خانه
ذخیره باشد.

پس خانه ذخیره می‌شود تا یک زمانی

بعد خودش حفظ می‌کند => در بازه‌ای از زمان دائماً

رفرش کنیم یعنی دوباره داده را بگذاریم رویش تا مقدار

را حفظ کند.

۱ مشکلش به نوعی این است که نیاز به رفرش دارد.

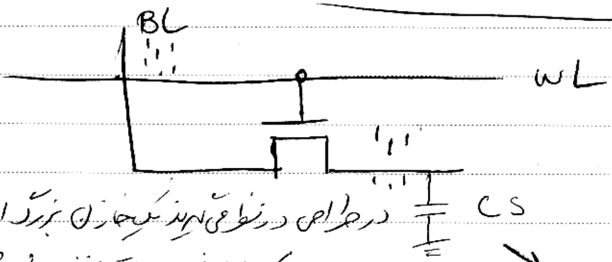
اینکه تعداد استنداردسی مزیتش است.

توانی را که مصرف نمی‌کند ذخیره‌ی انرژی زیادی را به جا می‌دهد.

با اینکه باید رفرش هم این قدر در مشغله تداوم کند می‌تواند اشتباه هم بشود.

فشرده‌هایی که نتوانند این کار را انجام بدهند

DRAM یک ترانزیستوری



در طراحی در نظر می‌گیرند یک خازن بزرگ ایجاد شود که طولانی مدت بتوانند شارژ باقی بماند.

→ خازن ایجاد می‌شود.

write

WL فعال → داده را روی BL می‌گذاریم

↓ ترانزیستور عبور روشن می‌شود.

هرچی که روی BL باشه روی خازن می‌گذارد.

WL غیرفعال می‌کنیم.

مقدار روی BL می‌گذاریم Data روی خازن قرار دارد.

خواندن

برعکس است. BL را پیش شارژ می‌کنیم

WL فعال می‌کنیم.

هرچی داریم BL مقدار خازن را می‌گیرد.

هرچی نوشتیم همان را می‌خوانیم.

Subject:
Year. Month. Date. ( )

چون خازن بزرگ است دیرتر تخلیه می‌شود.

وقتی خازن بزرگ است شارژ و دشارژ تاخیر دارد

تاخیر زیاد است.

بنابراین DRAM کندتر است.

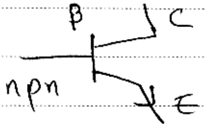
نیازی به رفرش تقریبا ندارد.

41 مدار کند است.

فصل ۶ ترانزیستورهای ۲ قطبی و منطق های مبتنی

بر آن (BJT)

قدم اول ← این صورت است ۳ پایه b ، C ، E را داریم

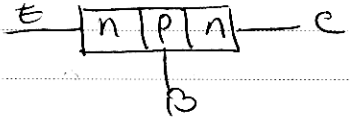


شکل شماتیک ساختار → bjt

است . مثل دیود تکراری پیوندها

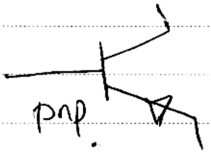
p و n داریم در این مدل npn داریم .

عملاً مثل این است ۲ تا دیود داریم .

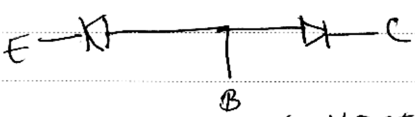


با پیوندهای pn که ایجاد می کردیم

دیود می ساختیم .



آند E هست ← باشد



لایه وسط n می شود

وارد که pnp ها هم می شویم مثل MOSFET ها

که n و p عکس هم عمل می کنند . این ها هم همین طور است .

Subject:

Year. Month. Date. ( )

۴ ترانزیستور npn را درنظر بگیریم.

برحسب اینکه دیودها در چه وضعیتی باشند ۴ حالت مختلف ایجاد می‌شود.

	پیوند BE	پیوند BC	وضعیت ترانزیستور
$I_B = I_E = I_C = 0$	Reverse معکوس	Reverse معکوس	cutoff
$I_{BC} = \beta_f I_B$ $\beta_f > 1$ ضریب بهره	forward	Reverse	Forward active
$\sigma = 1$ ← در مرز این دو			
$I_C = \sigma \beta_f I_B$ σ [illegible] 1 } پارامتر اشباع $I_E = I_B + I_C$	Forward	Forward	saturation
$I_e = -(1+\beta_R) I_B$ منفی $\beta_R < 1$ $I_E = I_B + I_C$ منفی	Reverse جهت E, C عوض نتیجه: B منفی‌اند	Forward	Reverse Active

① اگر هر دو پیوند در وضعیت معکوس باشد. کل ترانزیستور قطع یا خاموش است

اگر جریان‌ها را نشان بدهیم I_B, I_E, I_C

وارد می‌شوند

خارج می‌شود.

PAPCO

② اگر BE در وضعیت روشن باشد ← Forward مستقیم

BC معکوس   در این وضعیت ترانزیستور در فعال مستقیم است.

اگر بخواهیم مقدار جریان‌ها را بدست بیاوریم.

$I_c = \beta_f I_B$

با ضریب β_f نسبت دارد.

ضریب بهره

$\boxed{I_E}$

مثل دیود عمل می‌کند

مجموع دو جریانی که بهش وارد می‌شود.

دیود BE روشن است.

④ اگر هر دو دیود روشن باشند. ترانزیستور به وضعیت اشباع می‌رود.

$I_C = \sigma \beta_f I_B$ $\beta_f > 1$ (همیشه)

پارامتر اشباع است.

پارامتر اشباع مقدار $\sigma < 1$ را دارد.

$I_E = I_B + I_C$ را داریم.

σ در مدل مقدارش ثابت است.

⑤ بعدی C ← f   BE ← R باشد. وضعیت reverse active

این حالت کمتر پیش می‌آید سعی می‌کنیم bias ها را طوری بچینیم

این حالت کمتر پیش می‌آید. در وضعیت reverse   BE ← R را دارد.

فقط جهت جریان‌ها ⊖ عکس می‌شود

Subject:
Year. Month. Date. ( )

جریان‌های C و E منفی نسبت به جریان B هستند.

معمولاً روشن بودن را در فعال مستقیم یا اشباع بررسی می‌کنیم.

فعال ← بیشتر منظورمان فعال مستقیم است.

اگر فعال معکوس مد نظر باشد ذکر می‌شود.

جریان‌هایی هست که در نظر می‌گیریم معمولاً :

$v_{BE}(\text{forward}) = ۰/۷$

$v_{BE}(\text{saturation}) = ۰/۸$

$v_{CE}(\text{sat}) = ۰/۲$

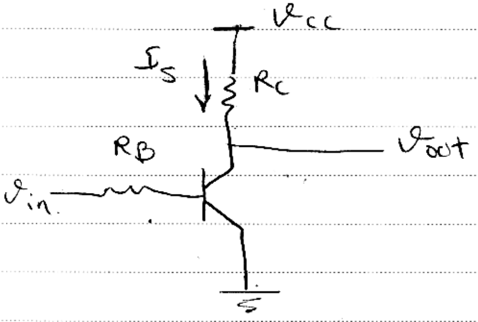
اگر در صورت مسئله عدد ندادند از این عددها استفاده می‌شود
مقدار این عددها داده شد
که از آنها استفاده می‌کنیم

برحسب وضعیت دیود، ترانزیستور در یک ناحیه قرار می‌گیرد مشخص شد و منطقی

را اعمال می‌کنیم.

اولین منطقی که بررسی می‌کنیم RTL است.

Resistor Transistor Logic RTL منطق



از مقاومت و ترانزیستور تشکیل شده.

معکوس کننده RTL را بررسی می کنیم.

ولتاژ ورودی Low اعمال می کنیم

تا وقتی دیود BE روشن نشود. ترانزیستور خاموش است خروجی High است.

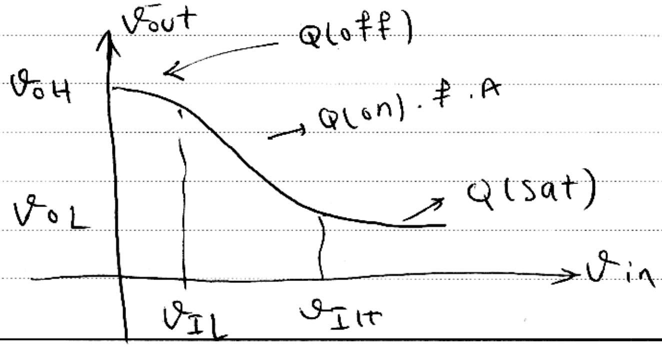
مقدار ورودی را زیاد می کنیم تا به اندازه ۰/۷ ولت برسد. BE روشن می شود

در وضعیت فعال مستقیم قرار می گیرد. پس خروجی $V_C - RI$ تا آنجایی که

ولتاژ ورودی را زیاد کنیم تا ترانزیستور به اشباع برود BC و BE هردو روشن شود

خروجی CE می شود. ولتاژ CE ← ۰/۲ در حالت اشباع است.

⇐ خروجی انگار Low است. Low صفر نیست ۰/۲ است.



ترانزیستور را با نام Q می‌گذاریم

محاسبه‌ی مقادیر:

$\boxed{V_{OH}}$: $v_{in} < ۰٫۷V \rightarrow$ Q (off) در $v_{out} = v_{OH} = V_{CC}$

$\nearrow$ bE خاموش

$\boxed{V_{IL}}$: Q (f.A) $v_{in} = v_{IL} = ۰٫۷V$

نقطه‌ی شروع ۰٫۷

از ۰٫۷ به بعد وضعیت ترانزیستور می‌خواهد روشن شود.

حالت مستقیم می‌رود. V_{BE} می‌خواهد روشن شود.

on ← اشباع ← را مشخص می‌کنیم

حالت مستقیم را با on معمولاً نشان می‌دهیم.

$\boxed{V_{OL}}$: Q(sat) $v_{out} = V_{OL} = V_{CE}(sat) = ۰٫۲$

ورودی را انقدر زیاد کردیم که ترانزیستور به اشباع رسیده

V_{IH} : $v_{in} = R_B I_B + V_{BE}(sat)$

در حالت مستقیم و اشباع است. موقعی است
وقتی ورودی به حدی رسیده که Q روشن شد.

$I_B \xrightarrow{\text{از } I_C \text{ استفاده می‌کنیم}}$ $I_C = \beta I_B$

اگر بتا β را نشان ندهند چون مدل است $\beta = 1$ است

$$I_C = \frac{V_{CC} - V_{CE}(sat)}{R_C}$$

اگر I_C را بدست بیاوریم
I_B بدست می‌آید یا بالا بگذاریم

PAPCO

$$\boxed{v_{in} = v_{IH} = \frac{R_B}{\beta R_C}\left[V_{CC} - v_{CE}(sat)\right] + v_{BE}(sat)}$$

$v_{BE} = ۰/۸$ Q در وضعیت اشباع می‌رود . $R_B I_B$ هم داریم چون جریان می‌شه . ← دقیقاً ۰/۸ نیست چون $R_B I_B$ جریان می‌شه .

از فرمول‌های فعال مستقیم و اشباع می‌توانیم I_B را به دست بیاوریم .

اگر مقاومت نبود $v_{BE} = ۰/۸$ یعنی ۰/۸ کافی بود تا به اشباع برود .

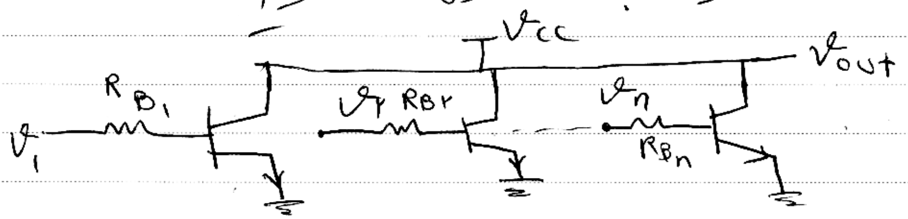
در نقاط بحرانی v_M را هم داریم . باید قرار دهیم $v_{in} = v_{out}$

رابطه‌ی جریان فعال مستقیم را برای I_B و I_C را بنویسیم و به تساوی v_m برسیم . در BJT ها زیاد با v_m کار نداریم چون ٤ بار ایده‌آل بیشتر کار دارند .

تابع‌های مختلف را می‌توان پیاده‌سازی کرد . تابع‌های پایه را پیاده‌سازی می‌کنیم NAND و NOR را پیاده‌سازی می‌کنیم . هر تابعی را به فرم NAND NOR می‌توانیم در بیاوریم ⇐ فقط دو تابع را می‌گوییم .

NOR

عملاً ترانزیستورها را طور موازی درنظر میگیریم



C ها همه به هم وصل می‌شوند

برای ۲ ورودی درنظر میگیریم:

V_1	V_2	V_{out}
L	L	H
L	H	L
H	L	L
H	H	L

اگر ورودی ها L باشند ترانزیستورها

خاموش BE نمی‌تواند روشن

شود => خروجی ← V_{CC} ← H

۲) فرض اینکه یکی از ورودی ها H باشد $V_2 \rightarrow H$

$V_1 \rightarrow L \rightarrow$ خاموش

ترانزیستور را به اشباع می‌برد. =>

خروجی L هست.

مقدار CE اشباع است.

اگر هر دوشان هم H باشند هر دو ترانزیستورها در وضعیت اشباع است و چون با هم موازی کردیم. کل خروجی هم مقدار CE اشباع را دارد و سا است.

مشکل تقسیم جریان است که با مقاومت مناسب می‌توانیم ایجاد کنیم.

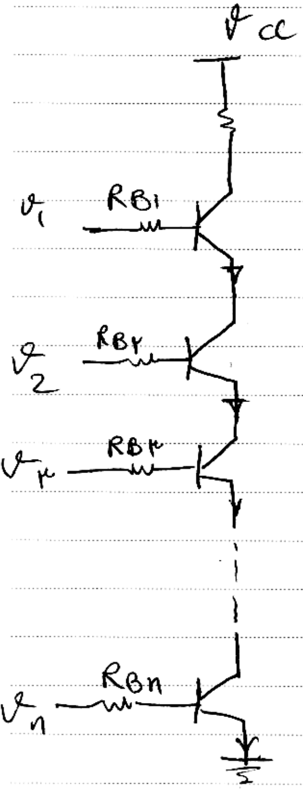
از v_{IL} تا v_{IH} جایی که نه H است و نه L است.

۰/۷ تا ۰/۸+R_BI_B هم داریم خروجی می‌شود.

که می‌خواهد روشن شود.

در ناحیه گذار نمی‌توانیم بگوییم H یا L است.

NAND



E هر طبقه را به C طبقه‌ی بعد وصل می‌کنیم

آخرین E را به زمین وصل می‌کنیم

و خروجی را از C_{n-1} می‌گیریم.

	v_1	v_2	v_{out}
①	L	L	H
②	L	H	H
③	H	L	H
④	H	H	L

① هر دو خاموش خروجی مقدار H دارد.

② v_1 ← L ، Q_1 خاموش

v_2 ← H مستعد پتانسیل روشن بودن را دارد اما جریان از بالا قطع است.

روشن بودن و نبودنش تاثیر ندارد. ←

عملاً ترانزیستورها خاموش است.

٤ همه ترانزیستورها در وضعیت اشباع ← خروجی مجموع CE اشباع

n تا ترانزیستور داریم ← n تا می‌شود.

۴ یک طرفش اتصال به جایی وصل نیست. پایه‌های ترانزیستور دقیقا جایی وصل نباشد اتصالش قطع است.

محدودیت داریم در تعداد ترانزیستور ها برای NAND داریم.

Fan in برای NAND

n تا نباید بتوانند مدار را روشن کنند.

$$n\,V_{CE}(\text{forward}) < V_{BE}(\text{forward})$$

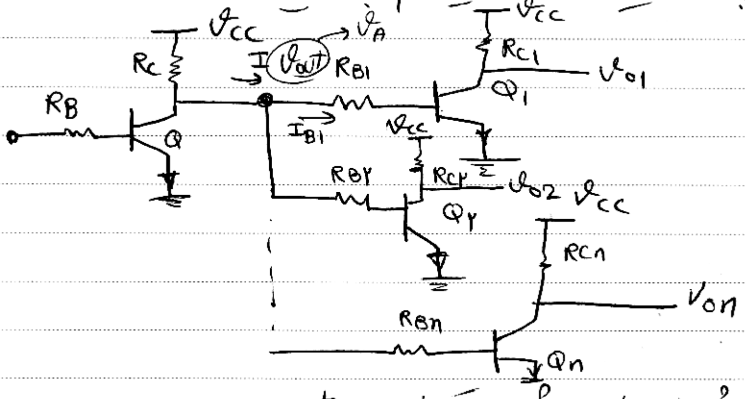
$$\boxed{n < \frac{V_{BE}\ (\text{forward})}{V_{CE}\ (\text{sat})}} \Rightarrow n = 3$$

با عددهایی در اینجا استفاده می‌شود
n = ۳ می‌شود اگر عدد دیگری
داشتیم باید n را حساب کنیم.

برای NOR این مشکل را نداشتیم و در خروجی هم $\overset{\uparrow}{}$ n تا می‌شد مشکل نداشتیم
V(CE) اشباع

Fan out برای معکوس کننده RTL

این روش کار برای هدایت دو مدار دیگری هم به همین صورت است .


V_{CC}
R_C
R_B
Q
I
v_{out}
v_A
R_{B1}
I_{B1}
V_{CC}
R_{C1}
v_{o1}
Q_1
V_{CC}
R_{B2}
R_{C2}
v_{o2}
Q_2
V_{CC}
R_{Cn}
V_{on}
R_{Bn}
Q_n

چند تا ترانزیستور به خروجی را به ورودی اش متصل کنیم ← Fanout
یعنی چند گیت دیگر مثل خود را بتواند support کند .

v_{out} را v_A اسم گذاری کنیم تا با تغییر v_o ها اشتباه نشو

. v_A اگر L باشد یعنی ابتدا ورودی را H داده ایم . Q اشباع ← v_A
L

L نمی تواند هیچ کدام را روشن کند . Q1 تا Qn ← خاموش .

در این حالت مشکلی نیست . v_A : Low → Q_1 — Q_n : off
Q(sat)

v_A : high → Q_1 — Q_n : sat
Q(off) v_{in} = Low

جریان می کشد

I تقسیم می شود . I باید مقداری باشد بزرگتر از مجموع جریان های B_1 تا B_1

P4PCO

$$\frac{v_A - v_{CC}}{R_C} \geq I_{B1} + I_{B2} + \cdots + I_{Bn}$$

$$I_{Bi} = \frac{v_A - v_{BE(sat)}}{R_{Bi}}$$

$$\underbrace{R_{B1} = R_{B2} = R_{B3} \cdots = R_{Bn}}_{\text{اینها مشابه}}$$

$$\frac{v_A - v_{CC}}{R_C} \geq \frac{v_A - v_{BE(sat)}}{R_{B1}}\, n \Rightarrow$$

$$\boxed{n \leq \frac{\dfrac{v_A - v_{CC}}{R_C}}{\dfrac{v_A - v_{BE(sat)}}{R_{B1}}}}$$

از v_A همه دارند یک مقاومت یکسان

می شوند ترانزیستورها اشباع =>

v_{BE} اشباع دارند

اگر n تا مقاومت با هم موازی هستند.

$$R_{total} = R_{B1} \parallel R_{B2} \parallel \cdots R_{Bn}$$

چون همه ی ترانزیستورها اشباع

هستند دیگر طرف به مقاومت R_B

از یک طرف به v_A وصل هستند.

$$R_{total} = \frac{R_{B1}}{n}$$

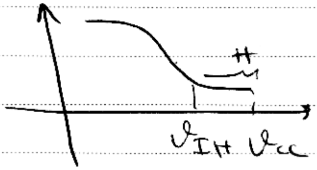
$$\boxed{I_{R_{total}} = \frac{v_A - v_{BE(sat)}}{\underset{\text{مقاومت کل}}{R_{B1}/n}}}$$

و از طرف دیگر و نقطه های BE اشباع می توانیم تبدیل همه با هم موازی شده اند

و معادل موازی شده را در نظر بگیریم

v_A ← مجهول است مقدارش مجهول است.

از v_{IH} به بعد به عنوان H می‌گیریم.



اگر v_{cc} باشد هیچ مشکلی نیست.

مشکل زمانی است که کمترین مقدار H باشد ← کافی است به جای v_A ← v_{IH} که در معکوس کننده RTL بدست آوردیم را بگذاریم.

$v_A = v_{IH}$

کمترین مقدار v_A برای ما مهم است. کمترین مقدارش ← v_{IH} است.

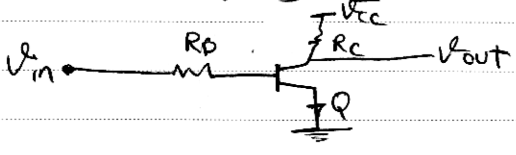
و n بلافاصله مجهول بدست می‌آید.

برای RTL ، TTL و ... به همین روش استفاده می‌کنیم.

روند کار به همین صورت است و فرمول ها ممکن است تغییر کند.

تمرین معرفی ایستا:

الف) بدون بار می‌خواهیم ببینیم از منبع تغذیه چقدر جریان می‌کشیم.



توان مصرفی ← average ← میانگین جریان‌ها در حالت‌های خروجی ← L

و جریان‌ها در حالت‌های خروجی ← H

$$\boxed{P_{CC\,avg} = \frac{I_{OH} + I_{OL}}{2} V_{CC}}$$

I_{OH} باید ببینیم V_{OH} است چه جریانی داریم.

$V_{OH} : Q(\text{off}) \Rightarrow I_C = I_{OH} = 0$

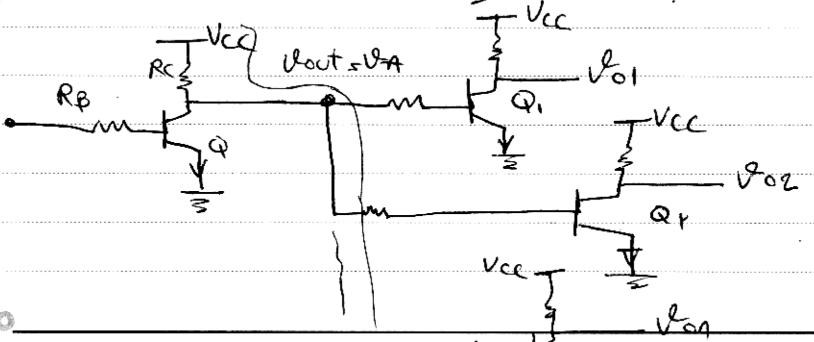
$V_{OL} : Q(\text{sat}) \Rightarrow I_C = I_{OL} = \dfrac{V_{CC} - V_{CE(sat)}}{R_C}$ collector

$$\boxed{P_{CC} = \frac{V_{CC} - 0.2}{2R_C} V_{CC}}$$

در حالتی که به خروجی هیچ باری وصل نشده باشد.

دارای بار ← هر چی در خروجی قرار بدهیم بار را ایجاد می‌کند.

(زمانی که به خروجی چیزی وصل کرده باشیم. (مثلا خروجش را به ورودی وصل کرده باشیم)



P4PCO

Q ← off است . ولی Qها $Q_1 \ldots Q_n$ اشباع هستند
در v_{OH}

جریان بین Qها تقسیم می‌شود.

جریانی را می‌خواهیم که با خط قرمز مشخص شده. بجای مقاومت‌ها می‌توانیم

R_{total} درنظر می‌گیرم.

$$I_{OH} = \frac{v_{CC} - v_{BE(sat)}}{R_C + R_B/n}$$

دیگر برابر با I_{CE} نیست
صفر است. ✓
مقدار دارد.

v_{OL} : $Q(sat) \rightarrow$ همه ترانزیستورها خاموش

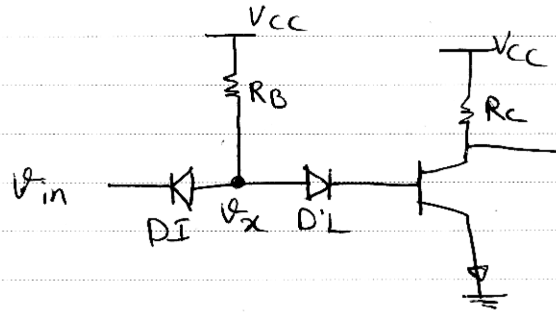
$$I_{OL} = \frac{v_{CC} - v_{CE(sat)}}{R_C}$$

$Q_1 \;\text{---}\; Q_n$: off

$$\boxed{P_{CC_{avg}} = \frac{\dfrac{V_{CC} - ۰/۸}{R_C + R_B/n} + \dfrac{V_{CC} - ۰/۲}{R_C}}{۲}\, v_{CC}}$$

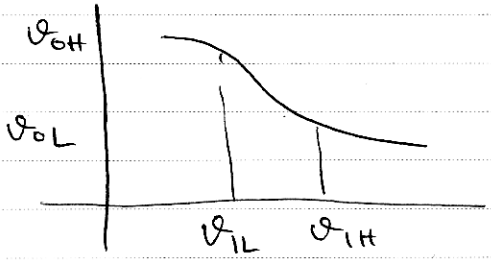
Diode transistor logic DTL منطق

ورودی اش دیود دارد.



اولین شکلی بررسی می‌کنیم معکوس کننده است.

معکوس کننده



ورودی‌ها مقدار پایین؟

ولتاژ می‌دهیم ح max

مقدار و می‌بینیم خروجی چی می‌شود

$\boxed{v_{OH}}$: v_{in} : Low ≃ ۰٫۲

آگر سا بدهیم.

زیرا چون به v_{cc} وصل شده و طرف دیگرش ۰٫۲ می‌تواند روشن شود. D1 می‌تواند

روشن شود. یعنی ۰٫۲ + ۰٫۷ دیود. در نقطه v_x به ولتاژ تقریبا ۰٫۹

می‌رسیم. ترانزیستور Q در صورتی روشن است که v_{BE} ۰٫۷

داشته باشد.

۰٫۷ هم D_L می‌خواهد تا بتواند ۰٫۸ را روی ترانزیستور بنشاند.

۰٫۹ نمی‌تواند دو تا ۰٫۷ را برای من بپوشاند ⇐ با ورودی L

ترانزیستور مال خاموش است. Q ← خاموش ⇐ خروجی ← H

$D_I(on) \rightarrow v_x = ۰٫۲ + v_D(on) \Rightarrow v_x = ۰٫۹$

$v_{DL}(on) + v_{BE}(for)$
$۰٫۷ + ۰٫۷ = ۱٫۴$

$Q(off) \Rightarrow v_{out} = v_{OH} = v_{cc}$

ورودی را زیاد می‌کنیم که چه حدی ورودی را زیاد کنیم تا ترانزیستور به وضعیت فعال مستقیم برسیم، و وضعیت اشباع برود.

حال $۰/۸ + ۰٫۷ = ۱٫۵$
ولت می‌تواند قرار بدهد ⇐ خروجی ← L
تفاوت بین L و H کم است.
⇐ دقیقاً سیستم not را می‌دهد.

$\boxed{v_{IL}}$: Q(on) یا Q(for) مرز روشن شدن است

$v_x = v_{DL}(on) + v_{BE}(for) = ۰٫۷ + ۰٫۷ = ۱٫۴$

روشن $D_I \Rightarrow v_x = v_{in} + v_D(on) \Rightarrow v_{in} = ۰٫۷$

Subject:
Year. Month. Date. ( )

در v_{IL} ← Q می‌خواهیم ← on و forward باشد.
active

در نتیجه احتیاج داریم بدانیم v_x برابر با ۱٫۴ باشد.

از طرفی DI روشن است ⇐ تا زمانی ورودی‌مون ۷٫ از v_{CC} بم

روشن است.

$$v_x \leftarrow \underbrace{\underbrace{v_{in}}_{\text{ورودی}}+\underbrace{v_{D(on)}}_{\text{۰٫۷}}}_{\text{۱٫۴}} \text{ می‌شود.}$$

$$\Rightarrow \boxed{v_{in} = \text{۰٫۷}}$$

وقتی ۰٫۷ باشه وضعیت forward را داریم.

v_{IH}:

ولتاژ ورودی را باز هم اضافه می‌کنیم.

زمانی که ترانزیستور خروجی اشباع و فعال است.

اشباع است

$$Q(sat) \Rightarrow v_x = v_{DL(on)} + v_{BE(sat)}$$

$$\Rightarrow v_x = \text{۰٫۷} + \text{۰٫۸} = \text{۱٫۵}$$

روشن DI $\rightarrow v_x = v_{in} + v_{D(on)} \Rightarrow v_{in} = v_{IH} = \text{۰٫۸}$

یعنی اختلاف IH با IL فقط ۰٫۱ است.

V_{OL}: Q(sat) $\Rightarrow v_{out} = v_{CE}(sat) = ۰٫۲$

اگر حاشیه نویز بالا و پایین را بخواهیم

$NMH = |\underset{۵}{V_{OH}} - \underset{۰٫۸}{V_{IH}}| = ۴٫۲$

$NML = |\underset{۰٫۷}{V_{OL}} - \underset{۰٫۲}{V_{IL}}| = ۰/۵\ v$

همچنین اشکال دارد نویز در منطق بالا می‌توانیم تا ۴٫۲ ولت نویز داشته

باشیم. در پایین مقدار نویز کم است. خیلی نامتقارن است.

ترجیح می‌دهیم که حاشیه نویزها به هم نزدیک باشند ⇐ روی همین مدار تغییر

می‌دهیم و تغییرات حاشیه نویزها را می‌بینیم به طوری که حاشیه نویزها متقارن شو

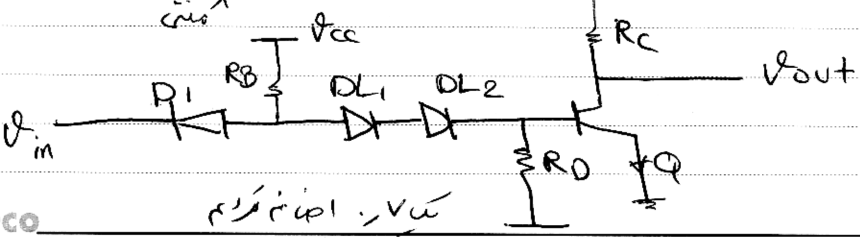
و انقدر تفاوت نداشته باشند.

DTL اصلاح شده

R_D تاثیر زیادی روی ولتاژ ندارد اما تاثیرش بر این است که می‌خواهیم

تخلیه بار را با سرعت به مسیر دشارژ می‌دهد. تا اینکه از خروجی شارژ کند

و تاثیر روی منحنی را اثبات می‌دهد



یک ۰٫۷ اضافه کردیم

V_{OH}: $V_{in} = Low \simeq ۰٫۲ \longrightarrow D_I(on) \Rightarrow V_x = ۰٫۲ +$

$V_D(on) \Rightarrow V_x = ۰٫۹ < ۲٫۱$

$$\underset{۰٫۷}{V_{DL_1}} + \underset{۰٫۷}{V_{DL_2}} + \underset{۰٫۷}{V_{BE}(for)} = ۲٫۱$$

$\Rightarrow Q(off) \Rightarrow V_{out} = V_{OH} = V_{CC} = ۵$

V_{IL}: $Q(for) \Rightarrow V_x = V_{DL_1}(on) + V_{DL_2}(on) + V_{BE}(fo$

$\Rightarrow V_x = ۰٫۷ + ۰٫۷ + ۰٫۷ = ۲٫۱$

روشن $D_1 \rightarrow ۲٫۱ = V_x = V_{in} + V_D(on) \Rightarrow V_{in} = ۱٫۴$

$V_{IL} = ۱٫۴$

V_{IH}: $Q(sat) \Rightarrow V_x = \underset{۰٫۷}{V_{DL_1}(on)} + \overset{۰٫۷}{V_{DL_2}(on)} + \overset{۰٫۸}{V_{BE}(sat)}$

$= ۲٫۲$

روشن $D_1 \Rightarrow ۲٫۲ = V_x = V_{in} + V_D(on) \Rightarrow$

$V_{in} = V_{IH} = ۱٫۵$

(باز) اضافه شو نسبت ۰٫۵ در ۴٫۵ بیشتر است.

V_{OL}: $Q(sat) \Rightarrow V_{OL} = V_{out} = V_{CE}(sat) = ۰٫۲$

Subject:

Year. Month. Date. ( )

اگر بخواهیم باز هم بهتر شود. یک دیود دیگری توانیم اضافه کنیم ولی مشکل سطح ورودی ایجاد می‌کند که ورودی باز هم ولتاژ ورودی باید ۷، بیشتر شود.

$NMH = |V_{OH} - V_{IH}| = ۴٫۵$

$NML = |V_{OL} - V_{IL}| = ۱٫۲$

تمرین: برای مدار اصلاح شده fan out را بیابید.

$R_D = R_B = ۵K\Omega$

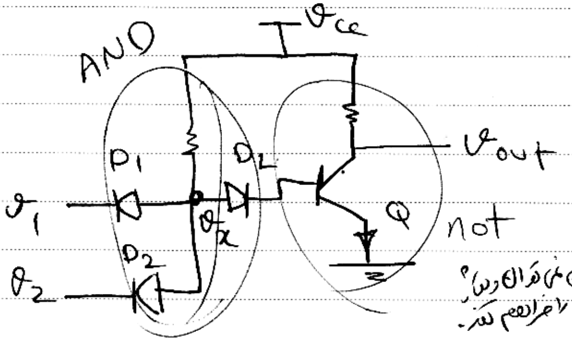
$R_C = ۲٫۲K$ $\beta = ۳۰$

$V_{CC} = ۵V$ $\sigma = 1$

P4PCO

DTL با NAND

گیت NAND می‌خواهیم با DTL ایجاد کنیم :



چون D_1 و D_2 روشن نمی‌توانند باشند؟ این را هم چک کند.

	v_1	v_2	D_1 D_2 D_L Q	v_{out}
دیودها تقدم	L	L	on on off off	H
	L	H	on off off off	H
	H	L	off on off off	H
	H	H	off off on sat	L
			CE است	

transistor transistor logic

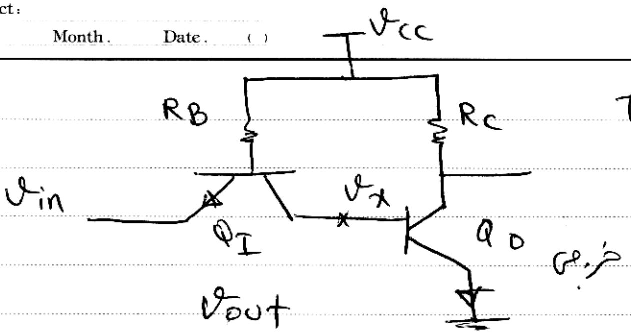
TTL

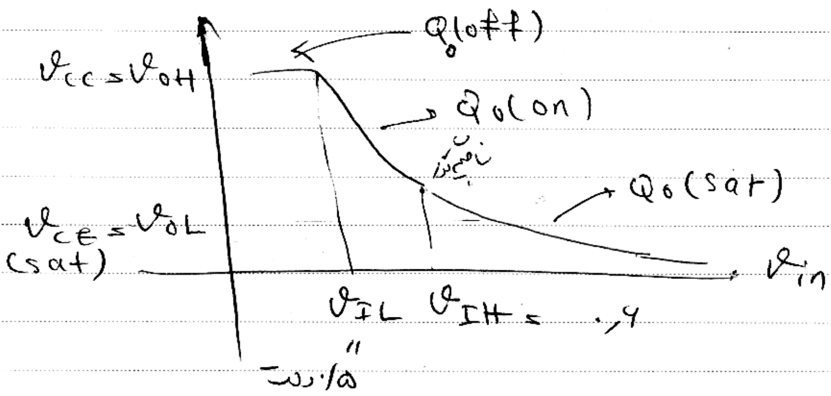
✓ منطق ترانزیستوری است. دیود نداریم. دیود کندی می‌کند.

ترانزیستور ترکیب ۲ تا دیود است.

TTL با این شکل است. به جای دو تا دیود یک ترانزیستور گذاشتند.

معکوس کننده TTL





ابتدا مقادیر ویژه مشخصه را بدست می‌دهیم. Q_I به ~~ناحیه~~ fA می‌رود و می‌تواند اشباع هم شود چون BE می‌تواند ۰/۸ باشد. v_{CC} بزرگ داریم

Q_o شد v_x حداقل ۰/۷ داشته باشیم. Q_o روشن می‌شود.

Q_I اشباع ⇐ $v_{in} + \underset{\text{اشباع}}{v_{CE(sat)}}$ تا وقتی $v_{in} <$ ۰/۵

$\boxed{۰/۷}$ = ۰/۲ + ۰/۵ Q_o خاموش است

اگر $v_{in} >$ ۰/۵ بیشتر باشد. Q_I اشباع باشد.

Q_o روشن می‌شود اما تا وقتی $v_x <$ ۰/۸ باشد. فقط Q_o روشن است.

نفی $v_{in} < ۰/۶$ باشد. $۰/۵ < v_{in} < ۰/۶$:

Q_o روشن شده و در خروجی مقدار افت داریم

$v_{in} > ۰/۶$ Q_o هم اشباع

Q_I اشباع ← تا زمانی که هم BE روشن / CE روشن باشد.

BE تا زمانیکه ورودی ← $v_{cc} - ۰/۷$ روشن است.

به محض اینکه از این بیشتر شد. ترانزیستور از این وضعیت در می‌آید. $Q_I \rightarrow$ معکوس

ترانزیستور o اشباع مانده فقط BE روشن است.

v_{in}	Q_I	Q_o	v_{out}
$v_{in} < ۰/۵$	sat	off	v_{cc}
$۰/۵ < v_{in} < ۰/۶$	sat	on	$v_{cc} - R_C I_C$
$۰/۶ < v_{in} < v_{cc} - ۰/۷$	sat	sat	$v_{CE}(sat)$
$v_{cc} - ۰/۷ < v_{in}$	R_A	Sat	$v_{E}(sat)$

البته به مقاومت ها هم بستگی دارد.

v_{OH} : v_{cc}

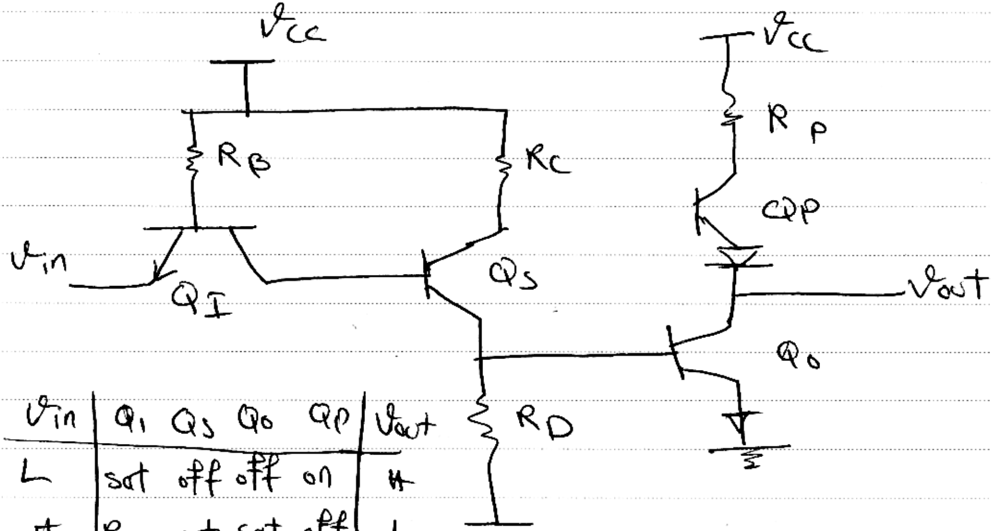
v_{OL} : v_{CE} (اشباع)

حدود ۰/۱۵ ، ۰/۲ . مرز آنست : مرز بین ~~[illegible]~~ خاموش ~~[illegible]~~ ۰/۵ : v_{IL}

مرز بین روشن و اشباع ۰/۶ : v_{IH}

TTL پایه } v_{in} L → ۰/۲ ، v_{in} H → V_{cc}

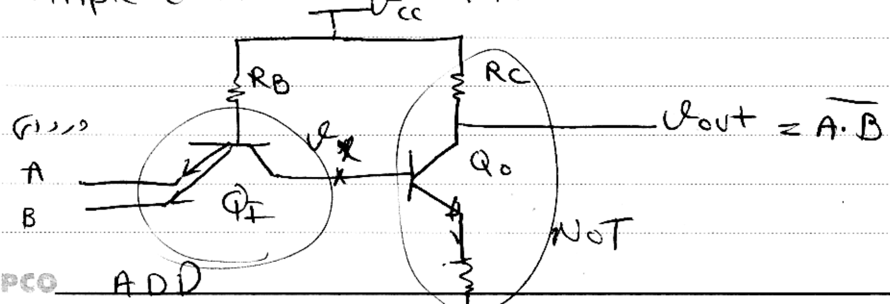
totempole TTL


V_{cc}
R_B
R_C
v_{in}
Q_I
Q_s
V_{cc}
R_p
Q_p
v_{out}
Q_o
R_D

v_{in}	Q_1	Q_s	Q_o	Q_p	v_{out}
L	sat	off	off	on	H
H	RA	sat	sat	off	L

ترانزیستورهای چند پایه Emitter دارد.

multiple Emitter TTL


V_{cc}
R_B
R_C
ورودی
A
B
v_x
Q_I
Q_o
$v_{out} = \overline{A \cdot B}$
NOT
ADD

A	B	Q_1	Q_0	V_{out}
L	L	٫۲+٫۲=٫۴ sat	off	H
L	H	sat	off	H
H	L	sat	off	H
H	H	RA	sat	L

اگر یکی از BE ها روشن باشد ← ترانزیستور روشن است.
همزمان BE اش هم روشن باشه

اصلاح: در روشن بودن ۲تا BE نیست. یکی از آنها هم کافی است.

BE ی A وصل است روشن است و اشباع می رود.

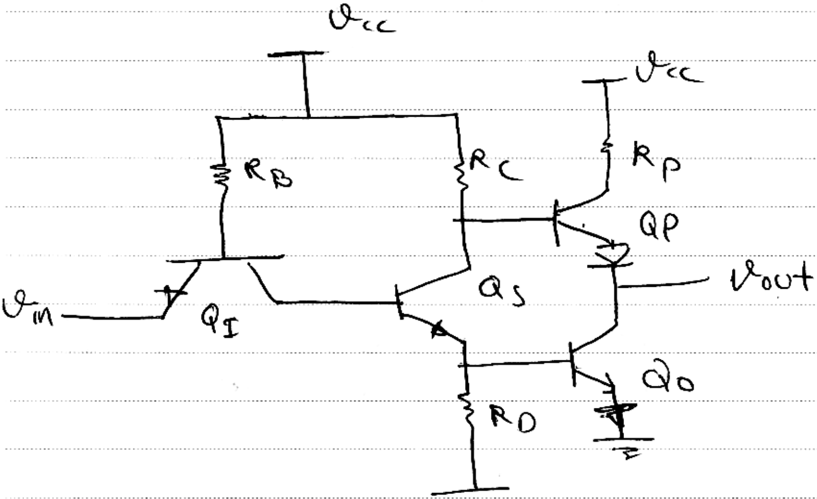
هر دو را خاموش A,B ← فعال معکوس.

با یک مدار multiple E گیت NAND ساختیم.

در DTL ← دوتا دیود پیوندی جا به جا با ترانزیستور است.

⇐ هر تابعی را با این مدل می توان ایجاد کرد

معکوس کننده TTL با خروجی totempole


v_{cc}
v_{cc}
R_B
R_C
R_P
Q_P
v_{out}
v_{in}
Q_I
Q_S
Q_O
R_D

v_{in}	Q_i	Q_s	Q_o	Q_p	v_{out}
L	sat	off	off	on	H
H	RA	sat	sat	off	L

اگر ترانزیستور قرار دادیم برای H را مقدار ثابت را مشخص می‌کنیم تا ببینیم خروجی چی می‌شود.

Q_I ، Q_s با همان مطالب قبلی صادق است.

v_{in} ۲/۵ Q_1 ← اشباع

Q_s ← خاموش

Qs خاموش ← BE اتصال ولتاژ ندارد که بخواهد روشن شود
از مقاومت رفتن شده.
⇐ Qo خاموش

Qp از طریق تغذیه و Rc می‌تواند روشن باشد.

BE دیگر دیود.
۰٫۷ + ۰٫۷ = ۱٫۴
اشباع ← ۱٫۵ ولت لازم دارد. ⇐ Qp روشن

Qp روشن یا اشباع؟ به Rc و جریانی که از آن می‌گذرد بستگی دارد.

محدود نکردیم که Rc ، RB طوری باشد که به اشباع ببرد.

$$v_{cc} - \underset{\text{Qp}}{v_{BE}}(\text{اشباع}) - v_D - R_C I_{base}$$

از اثر I_{base} صرف‌نظر کنیم. به طور کلی

$$\boxed{V_{OH}} = v_{cc} - ۲\,2v_D$$

در صورتی که برای اندازه‌گیری جریان D را ناچیز در نظر می‌گیریم.

که از آن RI صرف‌نظر شود.

ولتاژ h خوب نیست.

برای اینکه P.U یا P.D ایجاد کنند از آنها استفاده می‌کنند.

ولتاژ high خوبی نمی‌دهد.

P4PCO

Subject:

Year. Month. Date. ( )

در اینجا در مورد مقاومت محدودیت نداریم. محدودیتی که ترانزیستور به اشباع ببرد را دیگر ندارد.

Q_s اشباع ← Q_0 اشباع

۰/۸ + ۰/۸ + ۰/۷

Q_p خاموش است.

$v_m = v_{CE(sat)} + v_{BE(sat),o}$

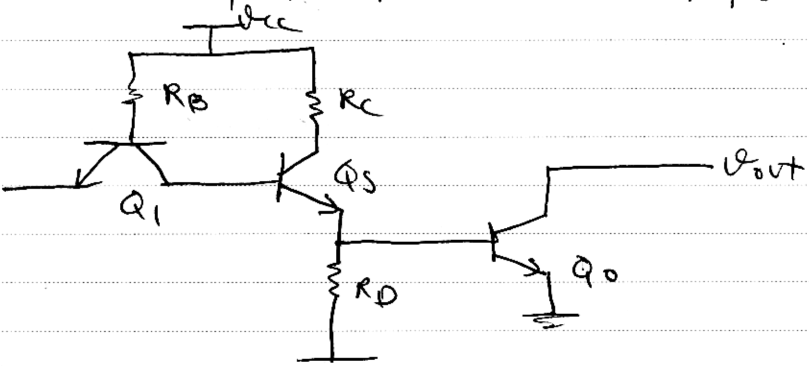
اوست . $\nless$ ۰/۲ + ۰/۷

دیود را اگر نگذاشتیم Q_p می‌توانست روشن شود.

و با دیود، Q_p خاموش.

v_{CE}(اشباع) Q_0 → خروجی

open collector TTL



← ترانزیستور آخر به جایی وصل نیست.

Subject:
Year. Month. Date. ( )

v_{in}	Q_1	Q_s	Q_0	v_{out}
L	sat	off	off	H.I
H	RA معکوس	sat	sat	$L(v_{CE}(sat))$

وقتی ورودی Low است. Q_1 ← اشباع

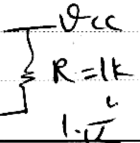
Q_s خاموش Q_0 خاموش

خروجی ← HI است.

وقتی که HI می‌خواهیم می‌توانیم از آن استفاده کنیم.

قسمتی که HI می‌شود باید دقت کنیم. مداراتی را که استفاده می‌کنیم خروجی‌های به شکل open collector است. وقتی Low می‌دهیم H نمی‌گیریم. مدار می‌بینیم درست کار نمی‌کند چون دقت نکردیم open collector است.

عملاً V.P می‌کنیم با یک مقاومت 1K یا 1.1K به منبع تغذیه وصل می‌کنیم تا مشکل نشود؟ چون HI خروجی H دهد.



مدار اینکه مقدار نامشخص نده، V.P می‌کنیم.

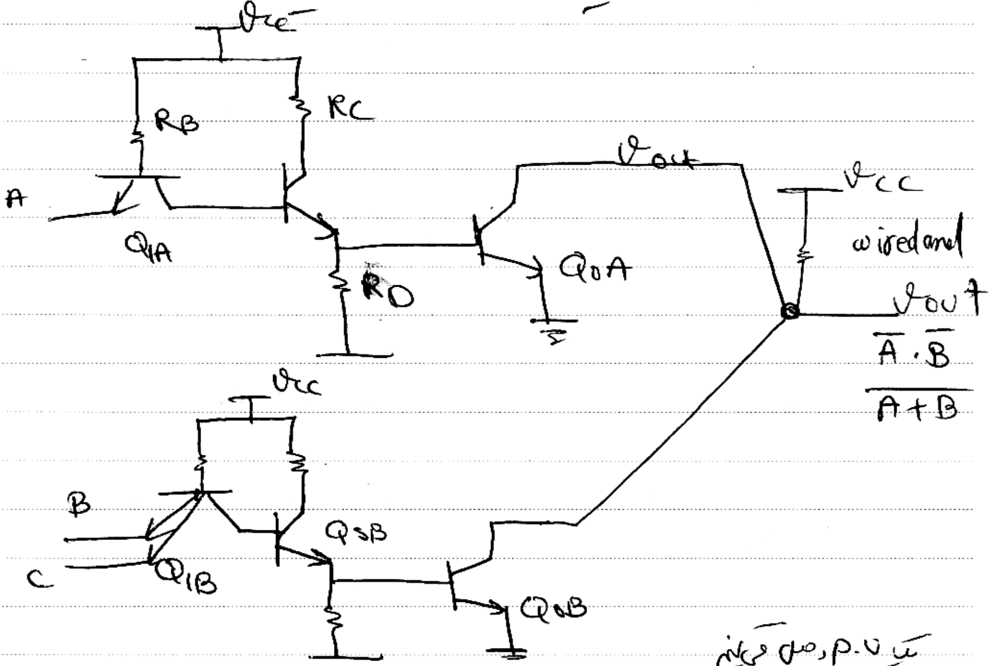
1.1K (پول آپ یا بالا کشیدن) V.P

طراحی گیتهای TTL :

NAND را با multiple E پیاده کردیم.

حالا می خواهیم با TTL open c پیاده کنیم. می توانیم چندین

مدار open c داشته باشیم و از شون تابع بسازیم


Vcc
RB
RC
A
Q1A
RD
Vout
Q0A
Vcc
wired and
Vout
$\overline{A}.\overline{B}$
$\overline{A+B}$
Vcc
B
C
Q1B
QSB
Q0B

یک p.u وصل می کنیم

خروجی ها را به هم اتصال می دهیم. عمل اتصال خروجی هم ها را به یک p.u باش

عمل wired and . (and می شد)

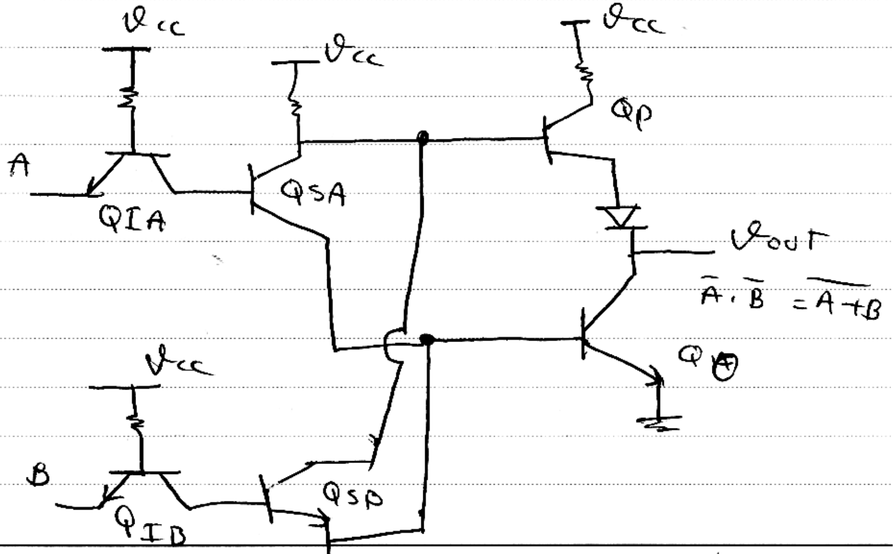
عکسش $\overline{A}.\overline{B}$ را درآوردیم

A	B	QIA	QSA	Q[illegible]	QIB	QSB	QoB	Vout
L	L	sat	off	off	sat	off	off	H
L	H	sat	off	off	RA	sat	sat	L
H	L	RA	sat	sat	sat	off	off	L
H	H	RA	sat	sat	RA	sat	sat	L

می‌توانیم mux هم درست کنیم . $\overline{A}+\overline{BC}$

تمرین : با استفاده از open collector گیت XNOR را طراحی کنید .

TTL گیت NOR totempole


Vcc
Vcc
Vcc
Qp
A
QSA
QIA
Vout
$\overline{A}\cdot\overline{B}=\overline{A+B}$
Qo
Vcc
B
QSB
QIB

E ها را به هم وصل نکنیم
C ها " " "
اگر پس ادامه می دهیم فرم totempole رش
را در می آوریم.

A	B	Q1A	QSA	QIB	QSB	Qp	Q0	Vout
L	L	sat	off	sat	off	on	off	H
L	H	sat	off	RA	sat	off	sat	L
H	L	RA	sat	sat	off	off	sat	L
H	H	RA	sat	RA	sat	off	sat	L

Qp روشن بودنش را مطمئن هستیم اما آنچه اشباع است یا روشن را نمی دانیم.

QSB چون اشباع است می تواند Q0 را به اشباع ببرد.

به همین علت C را به هم وصل نکردیم که ولتاژ های متفاوتی برای هر یک باشد.

HL
LH
برای ورودی Q1A
Q1B برعکس هم هستند.

Q0 ، Qp هم حالت عکسی را دارند.

HH
Q1A
QB و قطع هم می شوند.

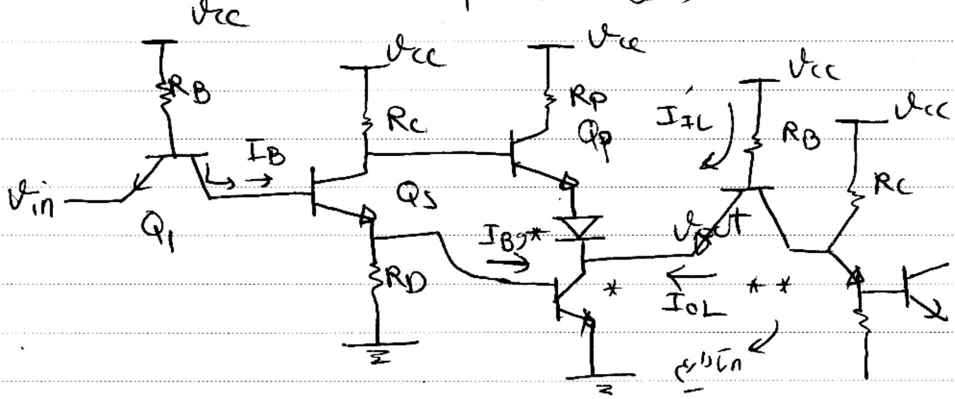
$$V_{out} = \bar{A} \cdot \bar{B} = \overline{A+B}$$

Subject:
Year. Month. Date. ( )

تمرین: با استفاده از IC totempole $F = \overline{AB+CD}$

را طراحی کنید (کافی است از حالت پل امیتر استفاده کنیم)
کار AND ها حل می‌شود.

FANOUT در مدل totempole



V_{CC}
R_B
V_{CC}
R_C
V_{CC}
R_P
Q_P
I_{IL}
V_{CC}
R_B
V_{CC}
R_C
I_B
V_{in}
Q_1
Q_S
I_{B^*}
V_{out}
R_D
*
I_{OL}
**
ما داریم

مهم در FANOUT دو حالت را در نظر بگیریم V_o: high

ترانزیستوری که قرار است در خروجی باشد. V_o: Low

اگر $V_o \leftarrow$ high باشد $Q(**)$ را به وضعیت RA می‌برد

⇐ جریانی که کشیده می‌شود در کار ما ندارد نیازی به بررسی نیست.

V_o: Low $Q(**)$ sat
Q_I RA
Q_S sat
$Q(*)$: sat

حال جریان خروجی با n تا جریان ورودی برابر باشد.

$$I'_{IL} = \frac{V_{CC} - V_{BE,**}^{(sat)} - V_{CE,*}^{(sat)}}{R_B}$$

$$\boxed{n = \frac{I_{OL}}{I'_{IL}}}$$

Qp خاموش

I_{OL} جریان C * است.

$$I_{OL} = I_{C,*} = \underset{\text{پارامتر اشباع}}{\sigma}\,\underset{\text{ضریب بهره}}{\beta}\, I_{B,*}$$

$$I_{B,*} = I_{E,S} - I_{RD} \qquad I_{E,S} = I_{B,S} + I_{C,S}$$

$$I_{RD} = \frac{V_{BE(sat)}}{R_D}$$

$$I_{B,S} = I_{C,I} = (\beta_R + 1) I_{B,I}$$

$$I_{B,I} = \frac{V_{CC} - V_{BC,I}^{(R)} - V_{BE,S}^{(sat)} - V_{BE,*}^{(s}}{R_B}$$

$$I_{C,S} = \frac{V_{CC} - V_{CE,S}^{(sat)} - V_{BE,*}^{(sat)}}{R_C}$$

جریان B بدست می‌آید. با استفاده از آن جریان C و د،ر را بدست می‌آوریم.

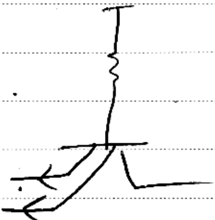
طراحی گیتهای منطقی با TTL :

۴ مدل را با استفاده از open c ر گفتیم.

اینکه با استفاده از open c and Direct ایجاد کنیم.

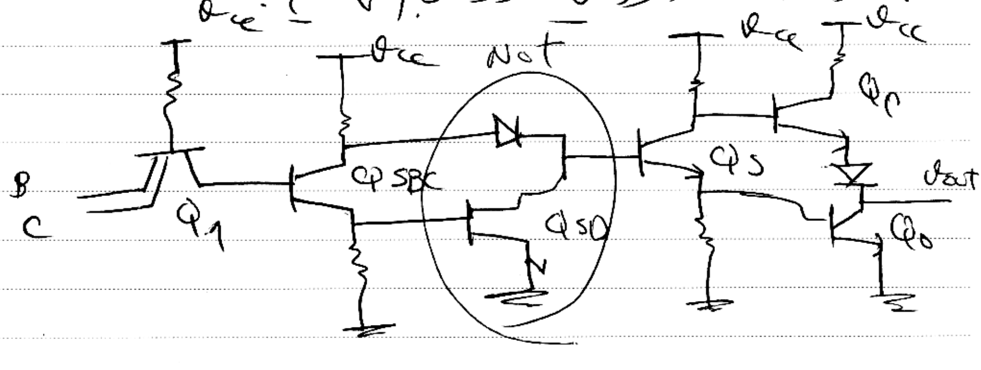
multiple E در ورودی بگذاریم در خروجی تا بتوانیم nand بگیریم.

اگر بخواهیم به جای استفاده از multiple E کار کنیم. طور دیگری عمل کنیم کاری انجام می دادیم این بود که با استفاده از totempole یک nand ایجاد کنیم.



حال می‌خواهیم AND ایجاد کنیم.

می‌توانیم یک multiple E nand بگذاریم و not اش کنیم.

اما به صورت استاندارد این کار را انجام نمی‌دهیم