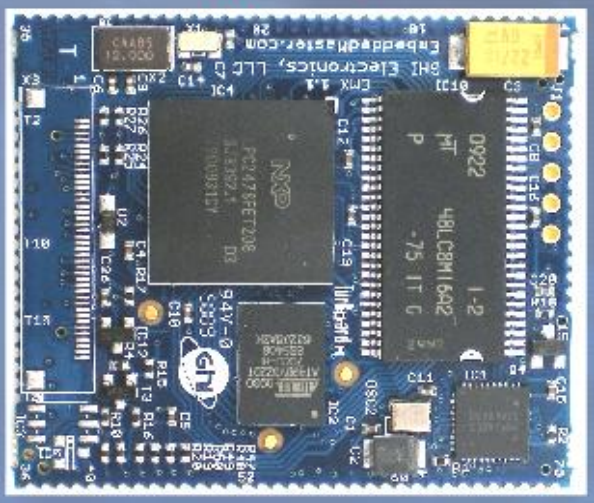
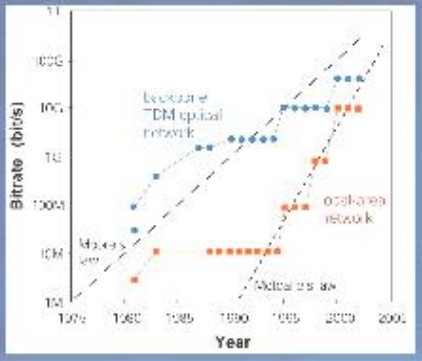
مبانی الکترونیک دیجیتال

جلسه اول



چرا الکترونیک دیجیتال؟

- در حال حاضر نیمه رساناها دنیای ما رو احاطه کرده اند . حتی در ماشین لباس شویی و اسباب بازی ها هم پیدا می شوند
- در حال حاضر دنیای ارتباطات و فن آوری اطلاعات به شدت به نیمه رساناها و داده های دیجیتال وابسته است
- این وابستگی در همه ی زمینه ها روند افزایشی خواهد داشت



روند رو به رشد الکترونیک دیجیتال

اولین ماشین های محاسبه مکانیکی بودند

برخی از مشکلات این ماشین ها

- ✓ پیچیدگی و هزینه ی طراحی
- ✓ هزینه ی بالای ساخت (بیش از ۲۵۰۰۰ قطعه)
- ✓ سرعت بسیار پایین

روند رو به رشد الکترونیک دیجیتال

بعد از ماشین های مکانیکی از رله ها برای پیاده سازی منطق های بسیار ساده استفاده شد .

رله ها ابزارهای نیمه مکانیکی و نیمه الکتریکی هستند .

رله ها هنوز هم استفاده دارند .

روند رو به رشد الکترونیک دیجیتال

سپس برای ساخت پردازشگر با قابلیت های بیشتر از لامپ خلا استفاده شد .

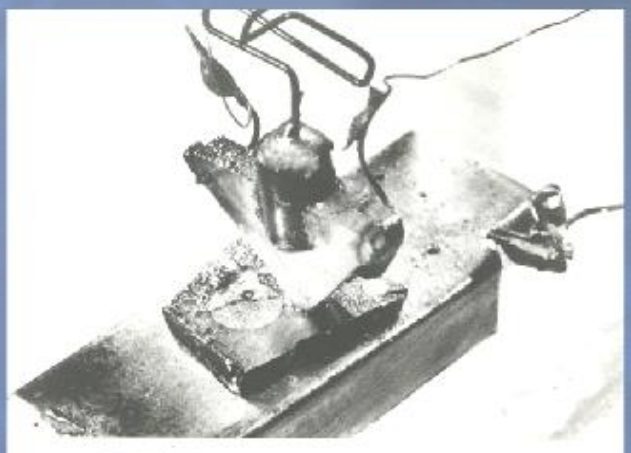
لامپ خلا در ابتدا فقط کاربرد آنالوگ داشت .

روبرویی با مشکلات بزرگ

- ✓ قابلیت اطمینان پایین
- ✓ توان مصرفی بسیار بالا
- ✓ هزینه ی بسیار زیاد

روند رو به رشد الکترونیک دیجیتال

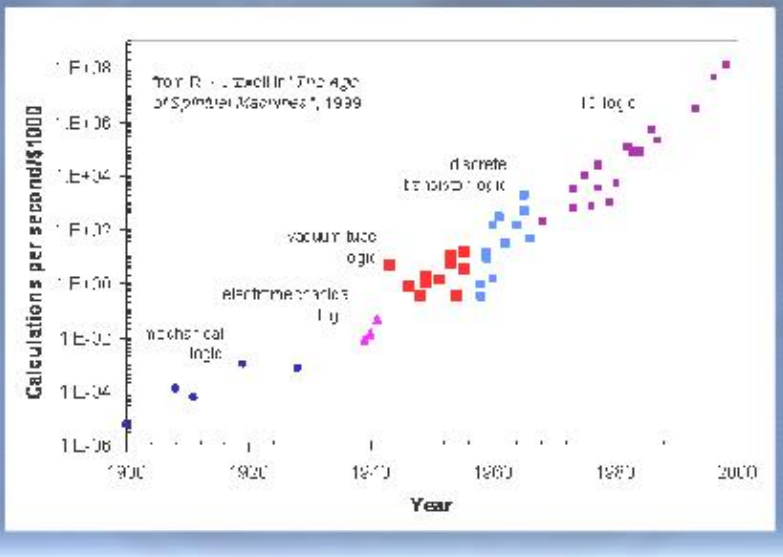
اختراع اولین ترانزیستور و آغاز انقلاب کامپیوتر



THE FIRST TRANSISTOR AS IT WAS PATENTED BY THREE NOBEL PRIZE-WINNING BELL LABORATORIES SCIENTISTS

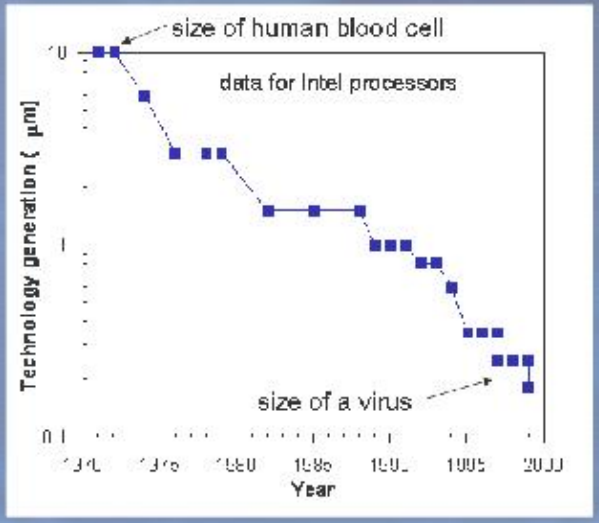
روند رو به رشد الکترونیک دیجیتال

مقایسه ی نسبت قدرت پردازش به هزینه برای تکنولوژی های متفاوت



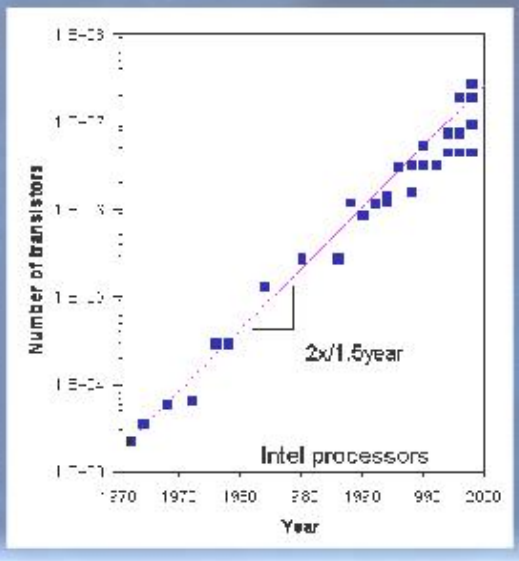
روند رو به رشد الکترونیک دیجیتال

کاهش سایز ترانزیستورها ← امکان مجتمع سازی ، کاهش ابعاد مدار ، کاهش توان مصرفی



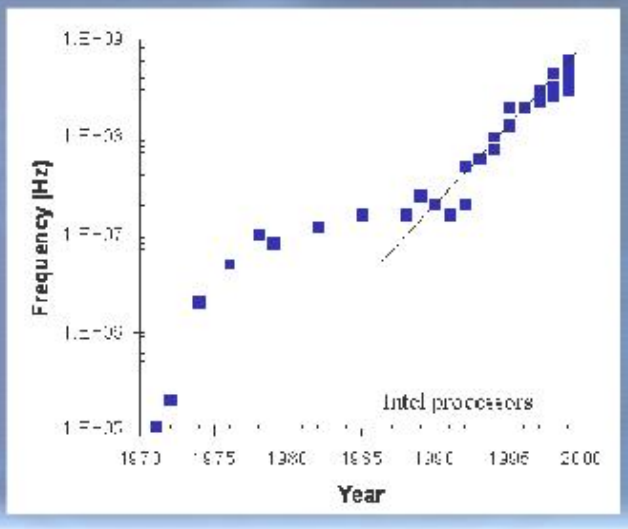
روند رو به رشد الکترونیک دیجیتال

افزایش تعداد ترانزیستورها ← امکان پیاده‌سازی مدارهای پیچیده‌تر ، کارایی بیشتر

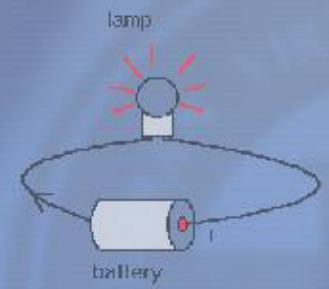


روند رو به رشد الکترونیک دیجیتال

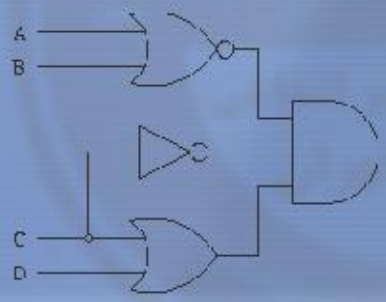
افزایش فرکانس پالس ساعت ← افزایش سرعت مدار ، پردازش بیشتر در واحد زمان



جایگاه درس بین درس های رشته کامپیوتر

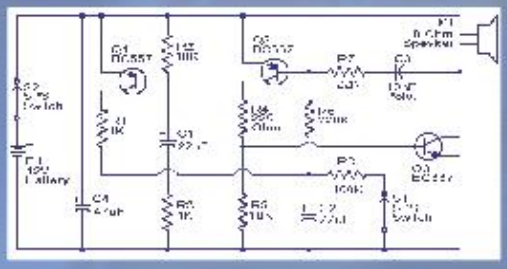


- فیزیک و مدار الکتریکی

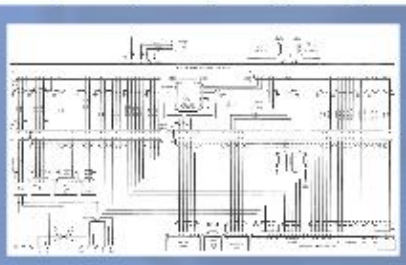


- مدار منطقی

جایگاه درس بین درس های رشته کامپیوتر

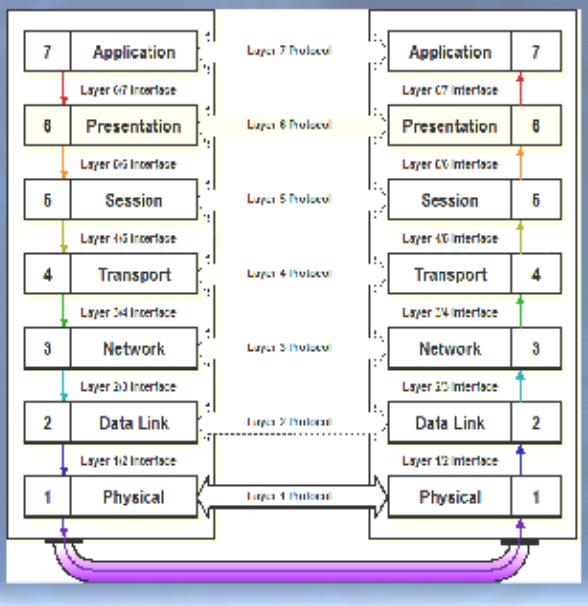


- مدار الکترونیکی



- الکترونیک دیجیتال

جایگاه درس بین درس های رشته IT



سرفصل های اصلی درس

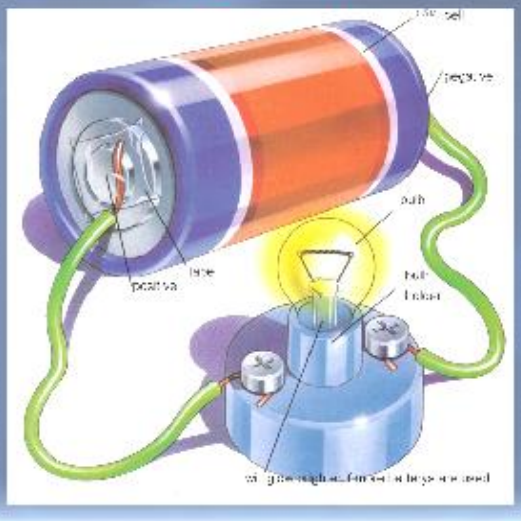
- مبانی برق و الکترونیک
- آشنایی با نیمه هادی ها و ترانزیستورها
- منطق کلید زنی و طراحی گیت با استفاده از شبکه ی کلید
- مشخصات ایستا و پویای گیت
- معرفی چند خانواده ی منطقی مهم
- بررسی چند نمونه از مدارهای خاص

جلسه آینده ...

- مبانی برق
- قانون های ولتاژ و جریان
- مفهوم توان

مبانی الکترونیک دیجیتال

جلسه دوم



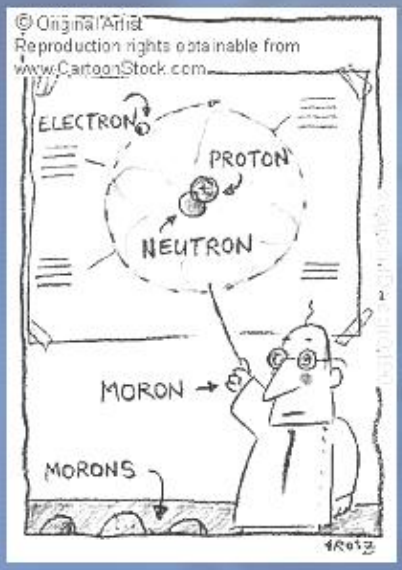
پیشوند مقدارها

علامت	اسم	ضریب	ضریب با نماد علمی
T	Tera	1000000000000	10^12
G	Giga	1000000000	10^9
M	Mega	1000000	10^6
K	Kilo	1000	10^3
m	milli	.001	10^-3
µ	micro	.000001	10^-6
n	nano	.000000001	10^-9
p	pico	.000000000001	10^-12
f	femto	.000000000000001	10^-15

واحدهای الکتریکی

کمیت	نماد کمیت	واحد در سیستم بین المللی (SI)	نماد واحد
Charge	Q	coulomb	C
Energy	W	joule	J
Power	P	watt	w
Potential difference	V	volt	v
Current	I	Ampere	A
Resistance	R	ohm	Ω
Conductance	G	Siemens	S
Capacitance	C	farad	F
Inductance	L	Henry	H
Impedance	Z	ohm	Ω
Frequency	F	Hertz	Hz

بار الکتریکی



- بار الکتریکی **دو نوع مثبت و منفی** دارد .
- بار الکتریکی یک **کمیت گسسته** است . یعنی بار الکتریکی ضریبی از بار الکتریکی یک الکترون است . یک کولن باری به اندازه ی بار 6.25 X 18^10 الکترون را دارد .
- **پتانسیل الکتریکی** ، انرژی واحد بار الکتریکی است .
- با **زیاد شدن اختلاف پتانسیل الکتریکی**، نیروی بین بارهای مثبت و منفی برای جذب و خنثا شدن بیشتر می شود .

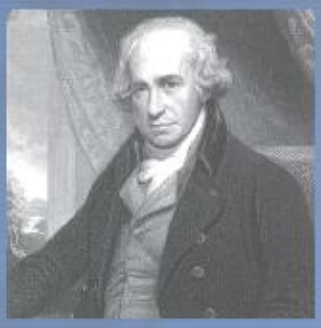
انرژی و توان

- انرژی امکان انجام کار است .

$$W = V \times Q$$

- توان ، آهنگ (سرعت) تولید یا مصرف انرژی است .

$$P = \frac{W}{T}$$



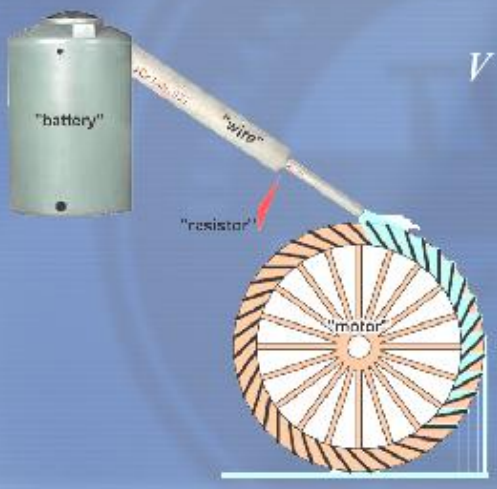
قانون وات

$$P = \frac{W}{T} = \frac{V \times Q}{T} = V \times I = R \times I^2 = \frac{V^2}{R}$$

اختلاف پتانسیل الکتریکی

- پتانسیل الکتریکی را می توان با قدرت ایجاد شده توسط پمپ آب یا ارتفاع آب مقایسه کرد.

$$V = \frac{W}{Q}$$

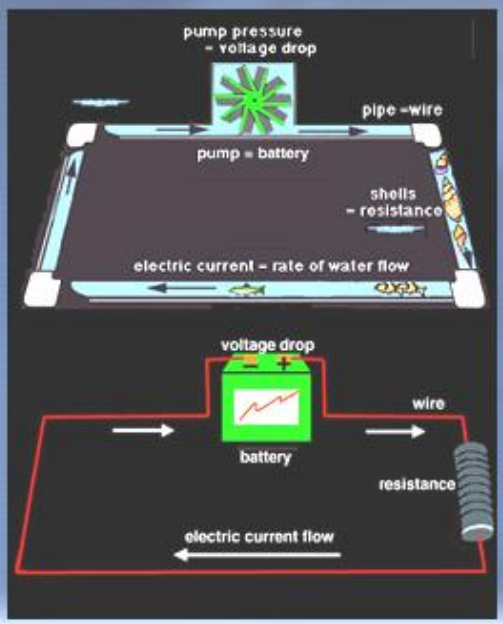


جریان الکتریکی

$$I = \frac{Q}{T}$$

- جریان الکتریکی شار بار الکتریکی مثبت در واحد زمان است .
- بار مثبت با از دست دادن انرژی جریان می یابد و به پتانسیل کمتر می رسد .
- بنابراین جریان مثل ولتاژ کمیت جهت داری است .
- علامت منفی در جریان الکتریکی را می توانیم به صورت جریان بارهای منفی در آن جهت یا جریان بارهای مثبت در جهت مخالف فرض کنیم .

جریان الکتریکی



جریان بار الکتریکی را می توان با شار آب مقایسه کرد .

رابطه ی ولتاژ و جریان

- اگر اختلاف پتانسیل الکتریکی به دو سر یک ماده اعمال کنیم شاید جریان الکتریکی ایجاد شود .
- به نسبت ولتاژ بر جریان **مقاومت الکتریکی** می گویند .

$$R = \frac{V}{I}$$

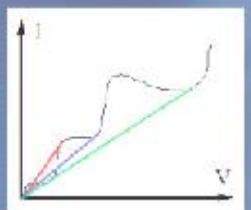
- به نسبت جریان بر ولتاژ **هدایت الکتریکی** می گویند .

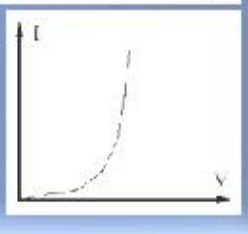
$$G = \frac{I}{V}$$

قانون اهم

$$V = I \times R \qquad I = \frac{V}{R}$$

نسبت ولتاژ و جریان در عناصر مختلف



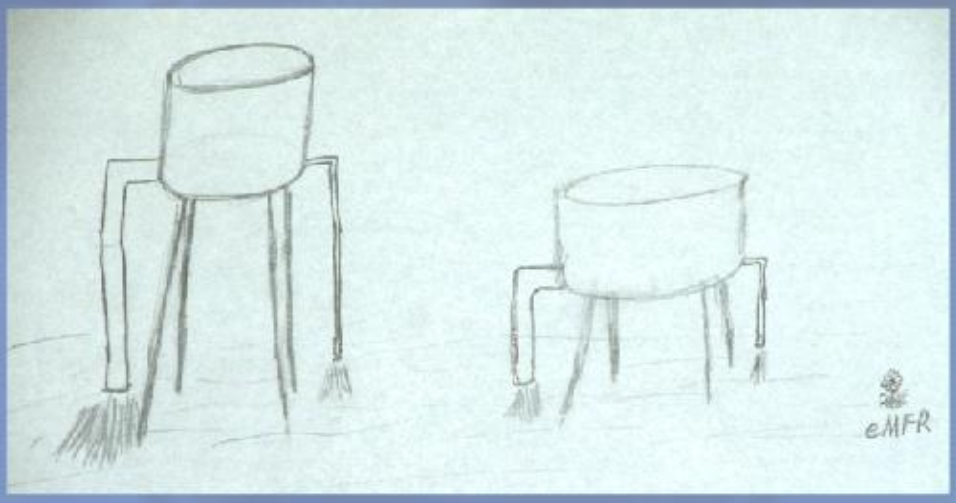


- نمودار جریان بر حسب ولتاژ را با اندازه‌گیری و تست می توان بدست آورد .
- شیب خط وصل کننده ی هر نقطه از نمودار به مبدا نشان دهنده ی هدایت نقطه ای در ولتاژ مشخص شده است .
- مقاومت و هدایت ارتباط عکس دارند .

$$R = \frac{1}{G}$$

- مقاومت یک عنصر خطی است . (شیب ثابت)
- اگر شیب ثابت نباشد عنصر غیر خطی است .

بیایید ولتاژ و جریان را حس کنیم!



عناصر خطی و غیر خطی

- ✓ عناصر خطی فقط مقاومت ، سلف و خازن هستند .
- ✓ هدایت الکتریکی مقاومت در برابر عبور جریان مستقل از فرکانس است .
- ✓ هدایت الکتریکی سلف و خازن در برابر عبور جریان با فرکانس تغییر می کند .

Impedance = resistance + capacitance + inductance

Resistance : رفتار مقاومت در برابر اعمال ولتاژ

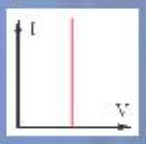
Capacitance : رفتار خازن در برابر اعمال ولتاژ

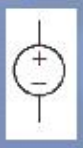
Inductance : رفتار سلف در برابر اعمال ولتاژ

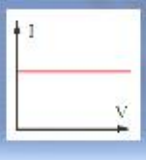
Impedance : اسم کلی برای توصیف نسبت ولتاژ به جریان

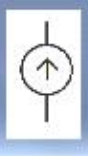
Conductance : اسم کلی برای توصیف نسبت جریان به ولتاژ

منبع ولتاژ و جریان









- ژنراتورها انرژی را از شکل مکانیکی به شکل الکتریکی تبدیل کنند .
- باتری ها انرژی را از شکل شیمیایی به شکل الکتریکی تبدیل کنند .
- سلول های خورشیدی انرژی را از شکل الکترومغناطیسی به شکل الکتریکی تبدیل کنند .
- منبع ولتاژ ایده آل مستقل از جریان گذرنده از آن ، دو سر خود ولتاژ ثابتی را تولید می کند .
- منبع جریان ایده آل مستقل از ولتاژ دو سرش ، جریان ثابتی را عبور می دهد .

جلسه آینده...

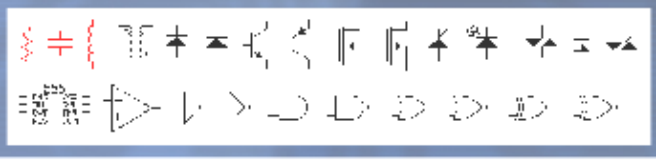
- قانون ولتاژ کریشهف
- قانون جریان کریشهف

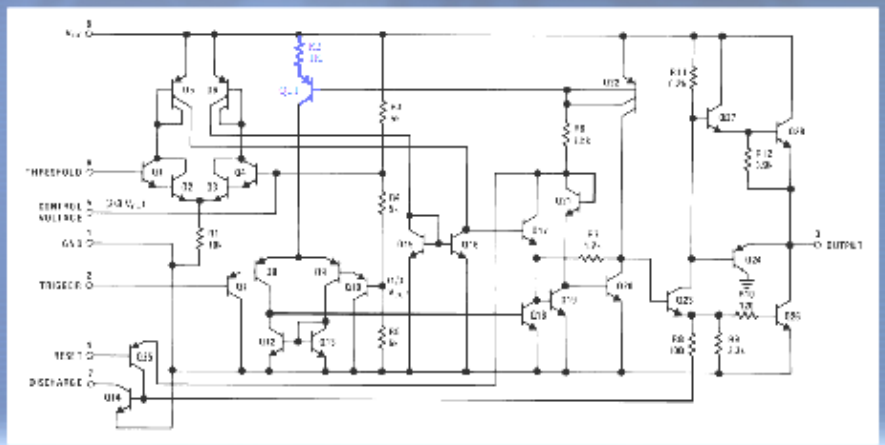
مبانی الکترونیک دیجیتال

جلسه سوم

تعریف ها

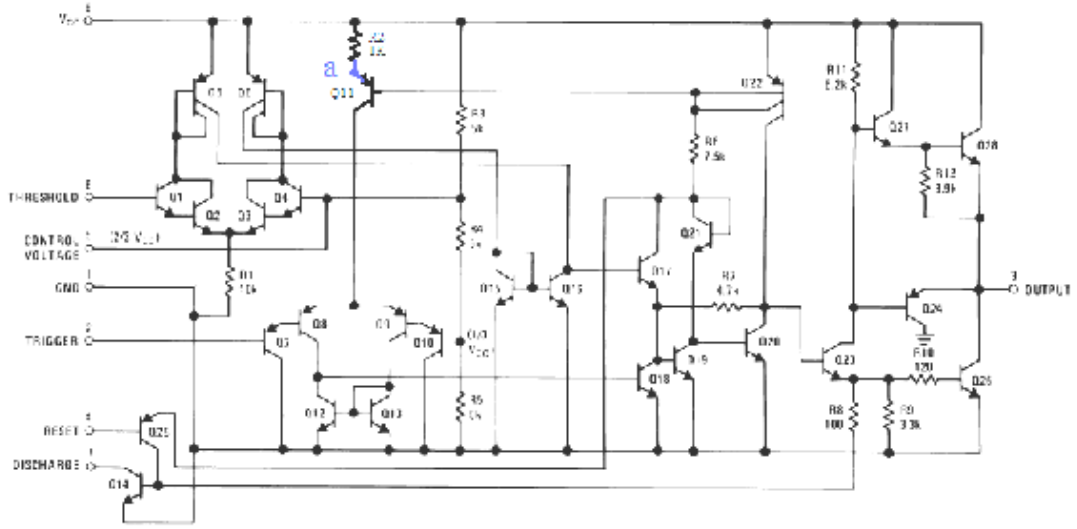
المان الکتریکی گره شاخه اختلاف پتانسیل Vab اتصال سری و موازی





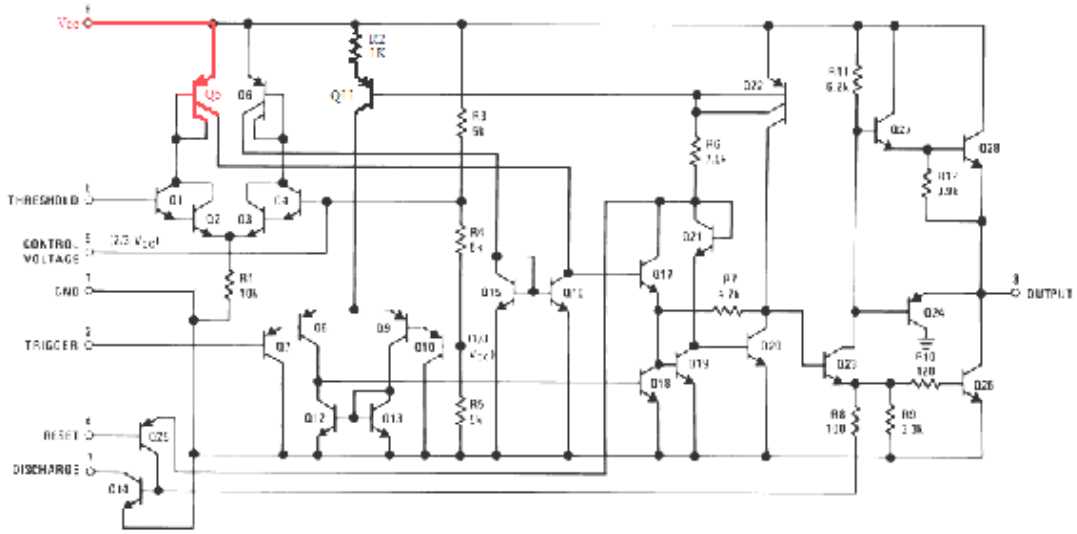
تعریف ها

المان الکتریکی گره شاخه اختلاف پتانسیل Vab اتصال سری و موازی



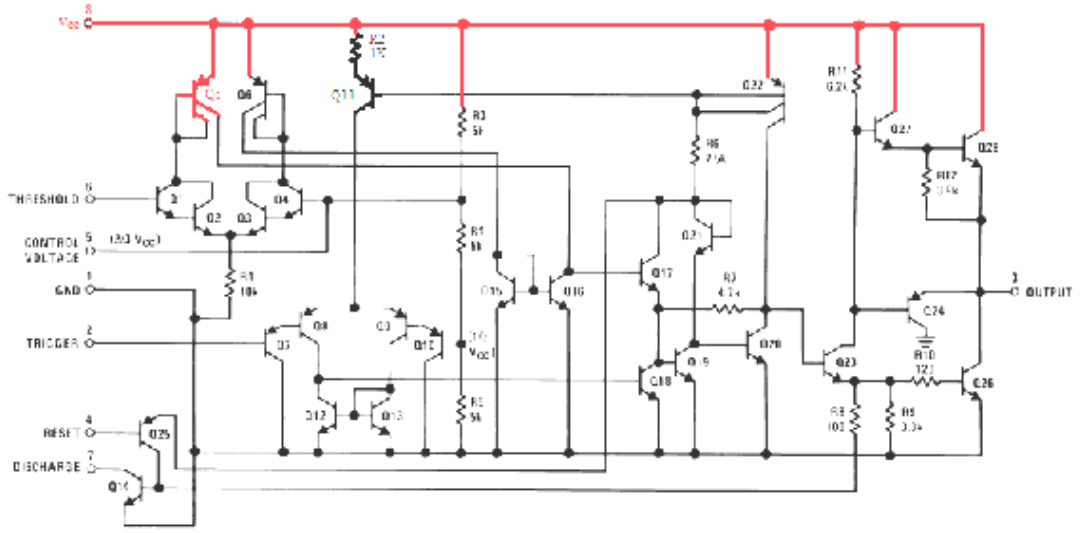
تعریف ها

المان الکتریکی گره شاخه اختلاف پتانسیل Vab اتصال سری و موازی



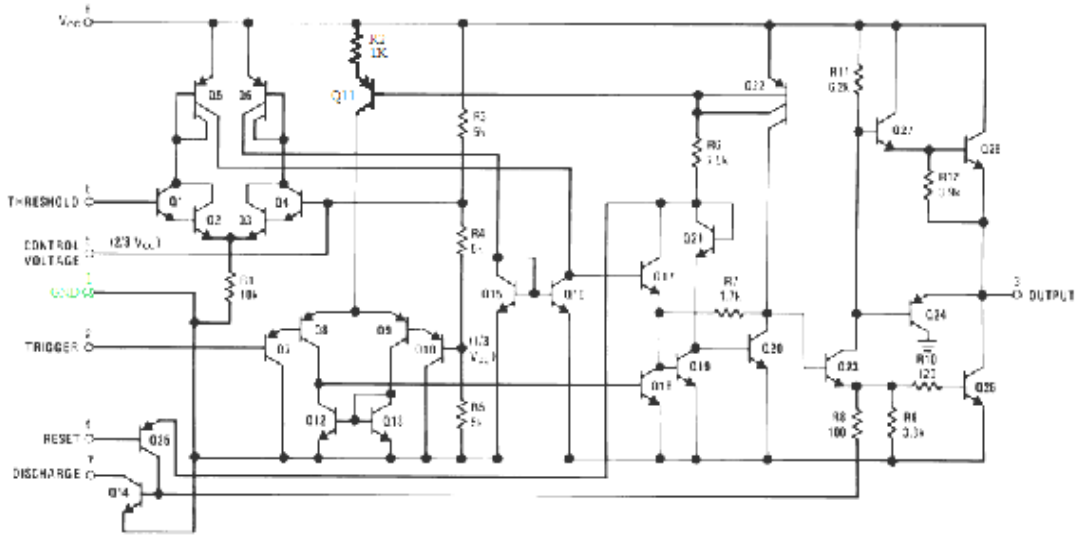
تعریف ها

المان الکتریکی گره شاخه اختلاف پتانسیل Vab اتصال سری و موازی



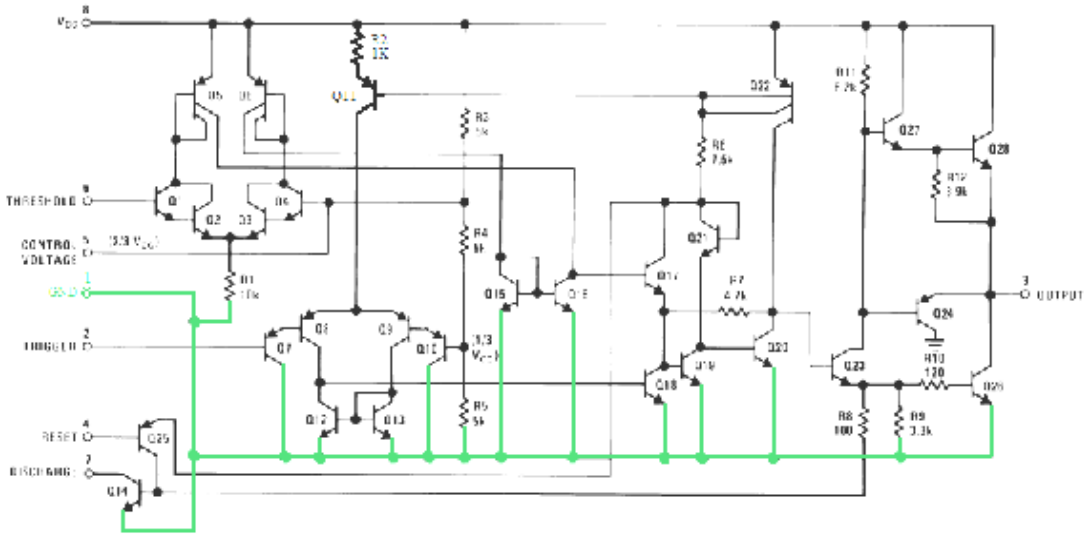
تعریف ها

المان الکتریکی گره شاخه اختلاف پتانسیل Vab اتصال سری و موازی



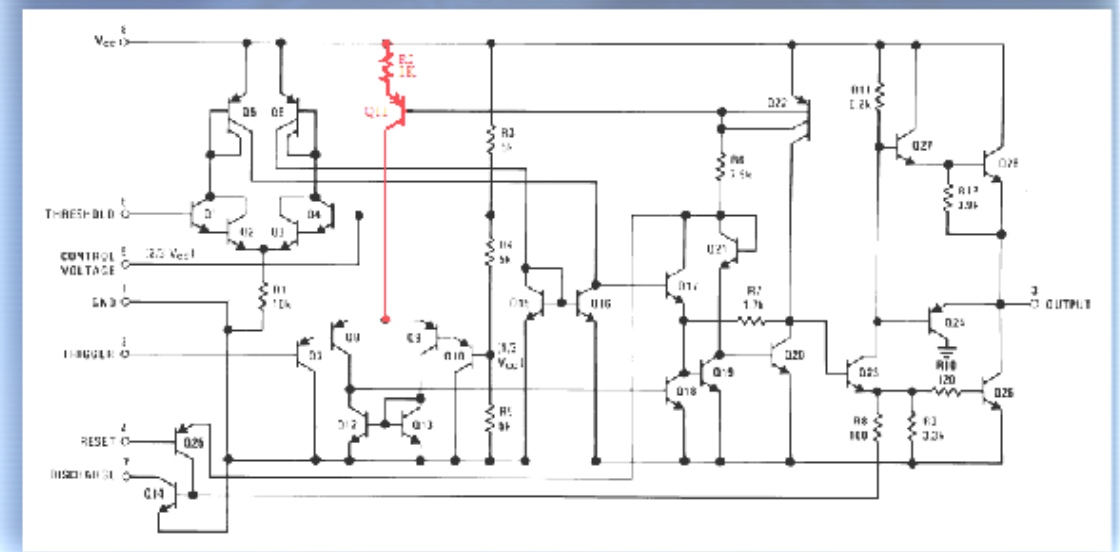
تعریف ها

المان الکتریکی گره شاخه اختلاف پتانسیل Vab اتصال سری و موازی



تعریف ها

المان الکتریکی گره شاخه اختلاف پتانسیل Vab اتصال سری و موازی

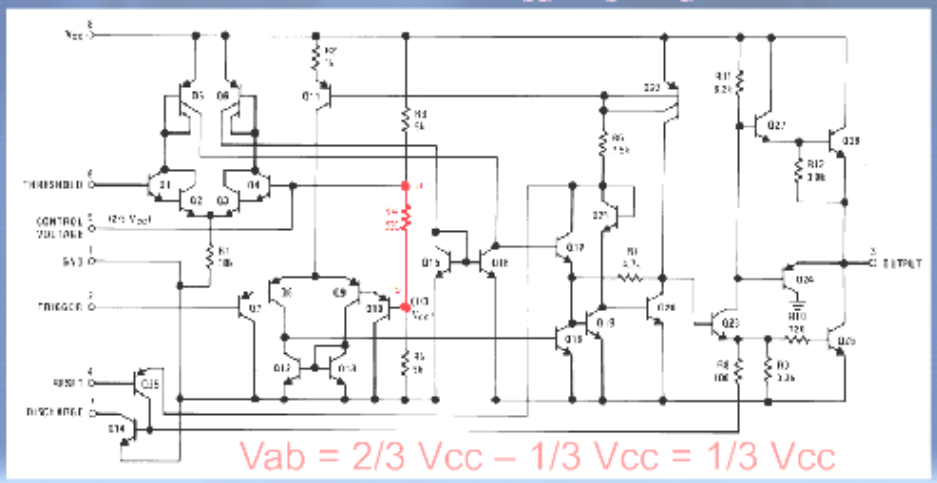


تعریف ها

المان الکتریکی گره شاخه اختلاف پتانسیل Vab اتصال سری و موازی

$V_{ab} = V_a - V_b$

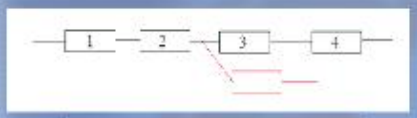
$V_{ba} = V_b - V_a$



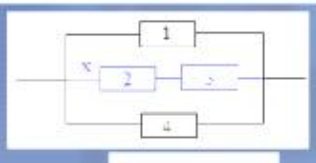
Vab = 2/3 Vcc – 1/3 Vcc = 1/3 Vcc

تعریف ها

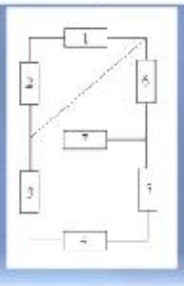
المان الکتریکی گره شاخه اختلاف پتانسیل Vab اتصال سری و موازی



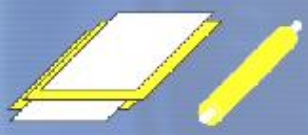
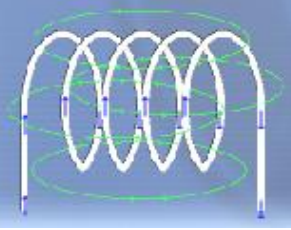
✓ عناصر سری : عناصر پشت سر هم بدون انشعاب



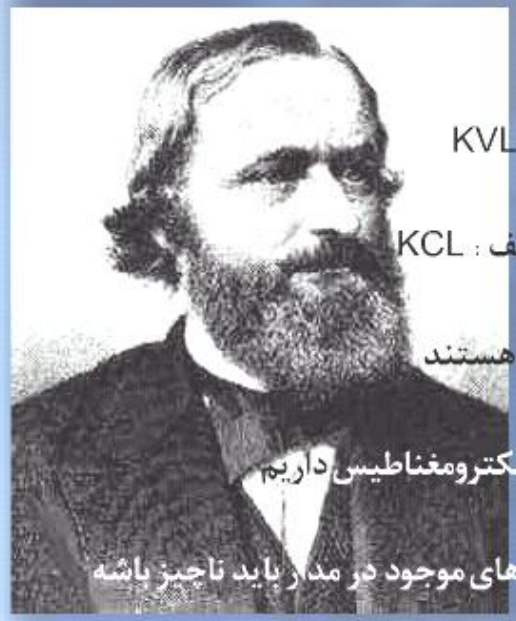
✓ عناصر موازی : اتصال نظیر به نظیر سرهای المان ها



معرفی مختصر بعضی از عناصر الکتریکی

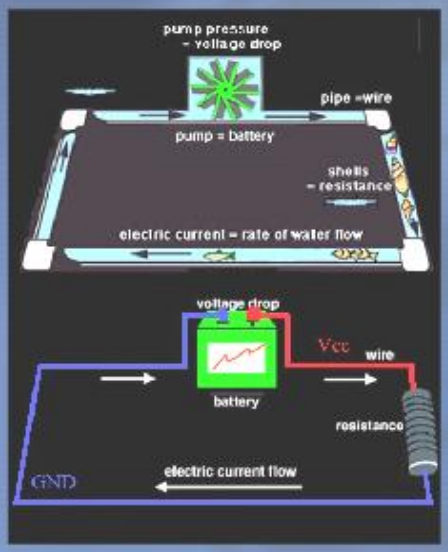
ساختار	شکل	شماتیک	
			✓ مقاومت
			✓ خازن
			✓ سلف

قوانین ولتاژ و جریان کیرشهف



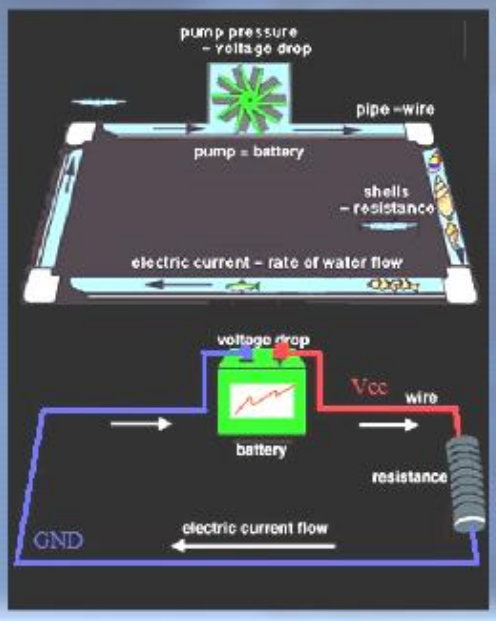
- ✓ قانون بقای انرژی ⬅ قانون ولتاژ کیرشهف : KVL
- ✓ قانون بقای ماده ، بار ⬅ قانون جریان کیرشهف : KCL
- ✓ این قوانین برای مدارهای فشرده قابل استفاده هستند
- ✓ برای بررسی مدارهای گسترده احتیاج به علم الکترومغناطیس داریم
- ✓ ابعاد مدار فشرده در مقابل طول موج سیگنال های موجود در مدار باید ناچیز باشه

قانون ولتاژ کیرشهف



- قانون بقای انرژی
- در یک مدار بسته ، اگر از یک نقطه شروع به حرکت کنیم ، ممکن است با گذر از هر المان ولتاژ تغییر کند ، اما با رسیدن به نقطه اول ، به همان ولتاژ خواهیم رسید .

قانون ولتاژ کیرشهف



- جمع جبری ولتاژ شاخه ها در یک مدار بسته صفر است .

$$V_{Gnd} + V_{battery} - V_{resistor} = V_{Gnd}$$

$$+$$

$$-V_{Gnd} = -V_{Gnd}$$

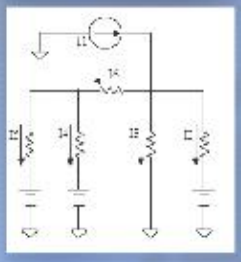
$$V_{battery} - V_{resistor} = 0$$

$$V_{battery} = V_{resistor}$$

$$V_{Gnd} + V_{battery} = Vcc$$

$$Vcc = V_{battery}$$

قانون جریان کیرشهف

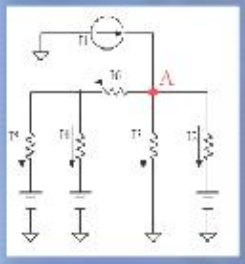


- ✓ قانون بقای بار
- ✓ مقدار باری که به گره وارد می شود با مقدار باری که از آن خارج میشود برابر است .
- ✓ جمع جبری جریان های یک نود صفر است .

$$I1 = I2 + I3 + I6$$

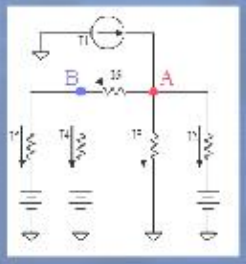
$$I6 = I4 + I5$$

$$I1 = I2 + I3 + I4 + I5$$



$$+I1 - I2 - I3 - I6 = 0$$

$$I1 = I2 + I3 + I6$$



$$+I6 - I4 - I5 = 0$$

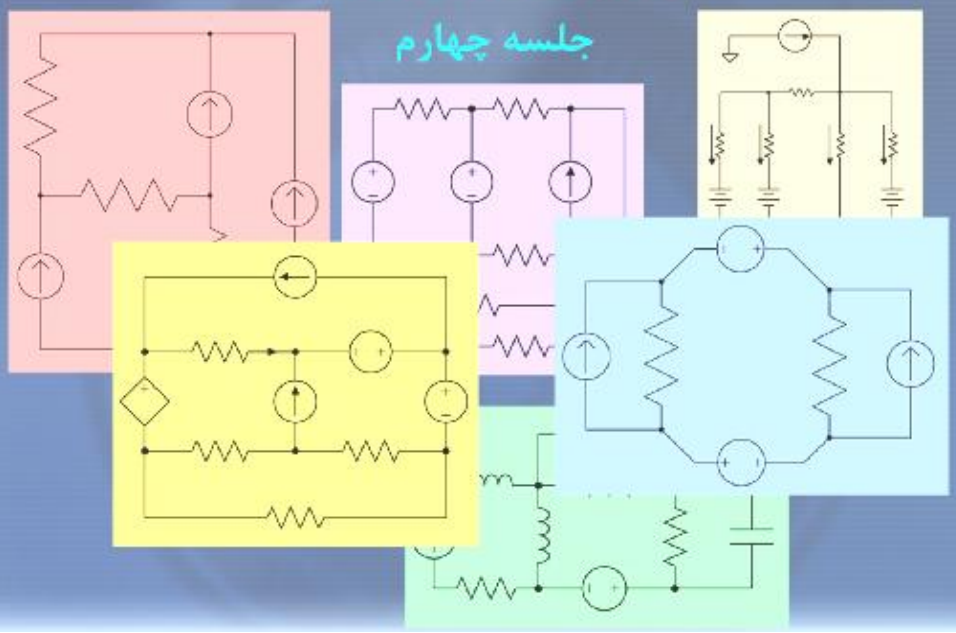
$$I6 = I4 + I5$$

جلسه آینده...

- حل مثال و تمرین در مورد KVL و KCL
- معادل تونن و نورتن

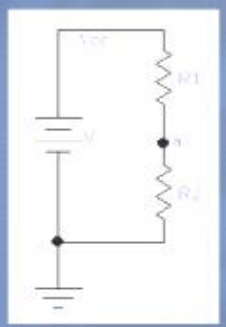
مبانی الکترونیک دیجیتال

جلسه چهارم



مثال

حل کردن مدار : بدست آوردن ولتاژ همه ی نودها و جریان همه شاخه ها



KCL a :

$I1 = I2 = I$

KVL :

$Vcc - I1.R1 - I2.R2 = 0$

KCL a & KVL :

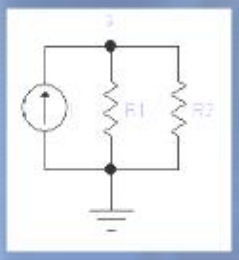
$Vcc = I.R1 + I.R2 = I(R1+R2)$

→

$I = Vcc / (R1+R2)$

$Va = I(R2)$

مثال



KCL a :

Isource = I1 + I2

KVL :

+I1.R1 – I2.R2 = 0 or I1.R1 = I2.R2 = Va

Isource = Va/R1 + Va/R2

I2 = Va/R2 → I2 = I1.R1/R2 → I2/I1 = R1/R2

Isource = I1 + I2 = Va/R1 + Va/R2 = (R2.Va+R1.Va)/(R1.R2)

Isource = Va(R1+R2)/(R1.R2)

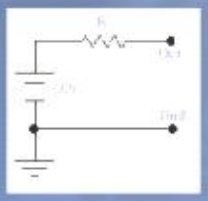
Va = Isource(R1.R2)/(R1+R2)

I1 = Va/R1

I2 = Va/R2

معادل تونن و نورتن

✓ به جای هر مدار خطی تغییر ناپذیر با زمان می توان مدارهای معادل زیر را قرار داد



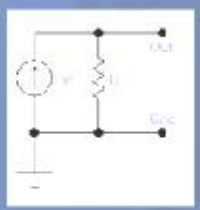
✓ مدار تونن

Short circuit :

I = Vth / R

Open circuit :

V = Vth



✓ مدار نورتن

Short circuit :

I = Ino

Open circuit :

V = Ino . R

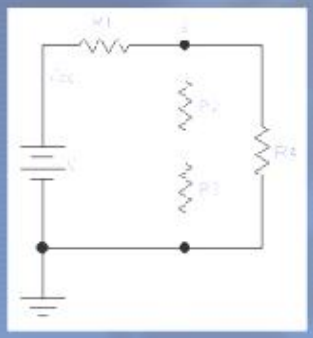
✓ تبدیل مدار تونن به نورتن و بر عکس

Ith = Ino → Ino = Vth/R

Vth = Vno → Vth = Ino . R

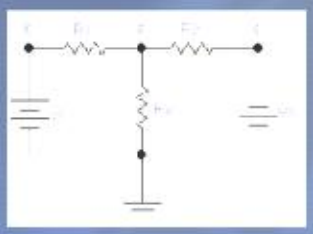
Rth = Rno

مثال



KCL 1:
I2 = I3
KCL 2 :
I1 = I2 + I4
KVL 1:
Vcc – I1.R1 – I2.R2 – I3.R3 = 0
KVL 2:
Va –I4R4 +I2.R3 +I2.R2 = Va
–I4R4 +I2.R3 +I2.R2 = 0
→ I2(R2+R3) = I4.R4
→ I4 = I2((R2+R3)/R4)
KVL 1 & KCL 2:
Vcc – (I2+I4)R1 – I2.R2 – I2.R3 = 0
& KVL 2:
Vcc – I2[((R2+R3+R4)/R4).R1 – R2 – R3] = 0

مثال

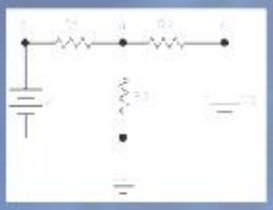


KCL a :
+I1 +I2 –I3 = 0 → I1 + I2 = I3
KVL 1:
+V1 –I1.R1 –I3.R3 = 0
KVL 2:
+V2 –I2.R2 –I3.R3 = 0

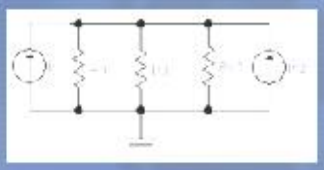
KVL 3:
Va – I3.R3 = 0 → Va = I3.R3 & I3 = Va/R3
KVL 1 & KVL 3:
V1 –I1.R1 = Va → I1 = (V1-Va)/R1 : ohm's law
KVL 2 & KVL 3:
V2 –I2.R2 = Va → I2 = (V2-Va)/R2 : ohm's law

KCL a:
I3 = I1+I2 → Va/R3 = (V1-Va)/R1 + (V2-Va)/R2

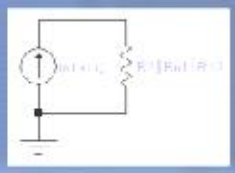
حل مثال قبل با استفاده از معادل نورتن



- در بعضی موارد تبدیل کردن مدارهای خطی تغییر ناپذیر با زمان به معادل های نورتن یا تونن ، حل مدار را راحت تر می کند .



- در این مورد خاص با تبدیل منابع ولتاژ و مقاومت های آن ها به معادل نورتن ، حل مدار را سریع تر می کند .



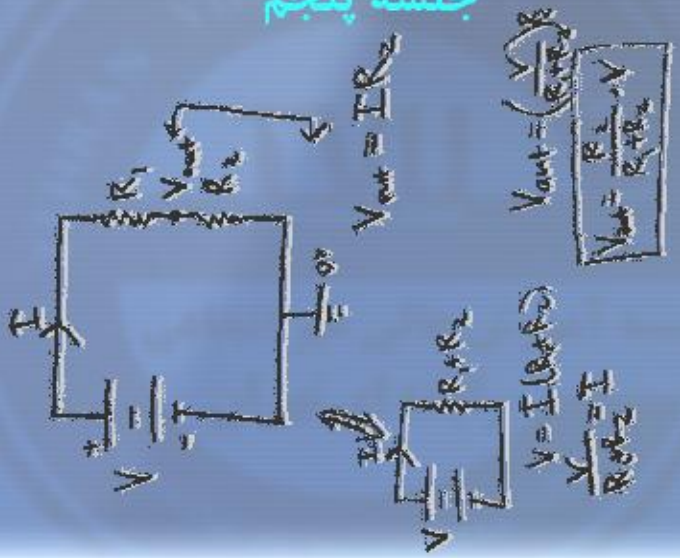
- سه مقاومت موازی و دو منبع جریان ساده خواهند شد .

جلسه آینده...

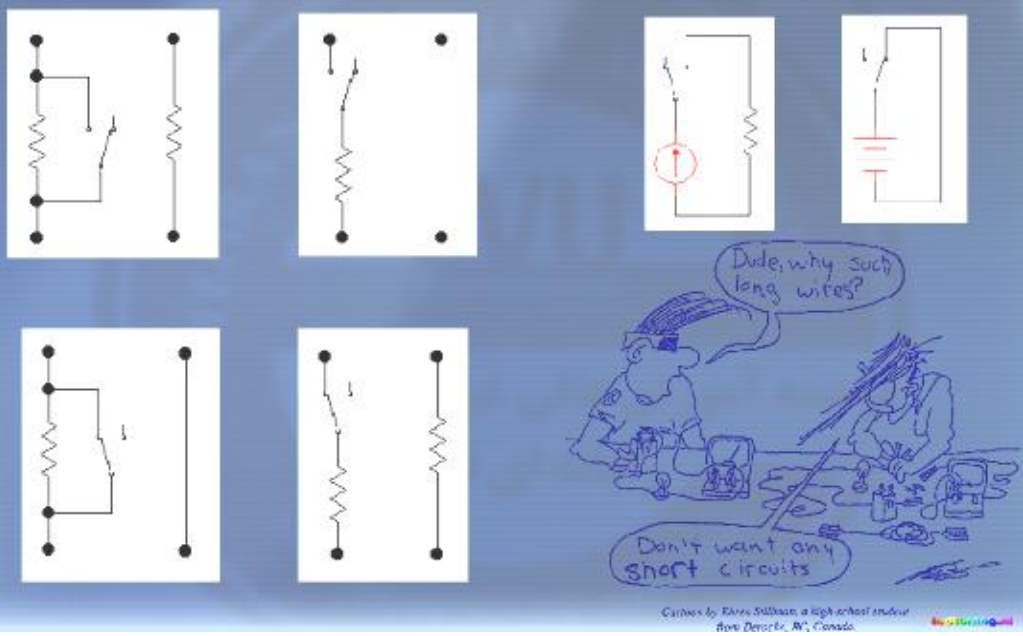
- تقسیم ولتاژ و تقسیم جریان
- المان های سری و موازی
- مدار باز و مدار کوتاه

مبانی الکترونیک دیجیتال

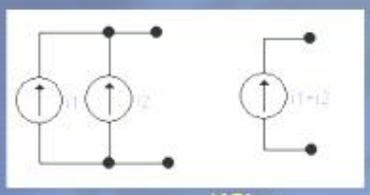
جلسه پنجم



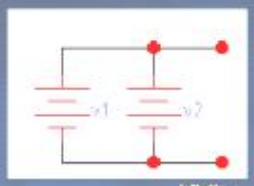
اتصال باز ، اتصال کوتاه



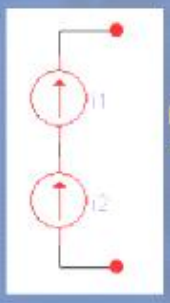
منابع معادل



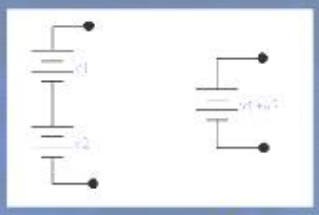
KCL :
جریان منابع با هم جمع می شود



KVL :
ولتاژ منابع باید یکی باشد



KCL :
جریان منابع باید یکی باشد



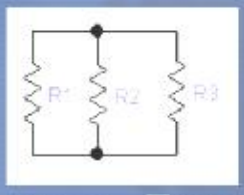
KVL :
ولتاژ منابع با هم جمع می شود

مقاومت ، خازن و سلف های معادل

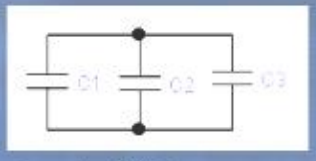
Rtotal = $\sum$Ri
i1 = i2 = …

1/Ctotal = $\sum$ (1/Ci)
q1 = q2 = …

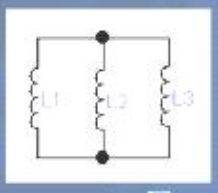
Ltotal = $\sum$ Li
i1 = i2 = …



1/Rtotal = $\sum$ (1/Ri)
v1 = v2 = …



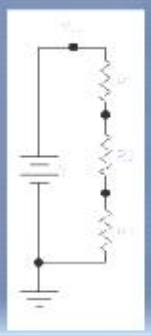
Ctotal = $\sum$Ci
v1 = v2 = …



1/Ltotal = $\sum$ (1/Li)
v1 = v2 = …

تقسیم ولتاژ

- در مقاومت های سری ، مجموع ولتاژهای دو سر مقاومت ها برابر ولتاژ کل است (قانون ولتاژ کیرشهف)
- در مقاومت های سری ، جریان مقاومت ها یکسان است (قانون جریان کیرشهف)
- در مقاومت های سری ، ولتاژ دو سر هر مقاومت متناسب با آن مقاومت است



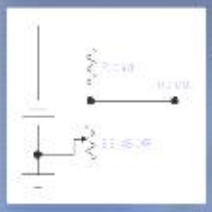
$$R_{total} = \sum R_i$$

$$I = V_{cc} / R_{total}$$

$$V_i = R_i \cdot I$$

$$V_i = V_{cc} (R_i / R_{total})$$

یک کاربرد تقسیم ولتاژ : سنسور

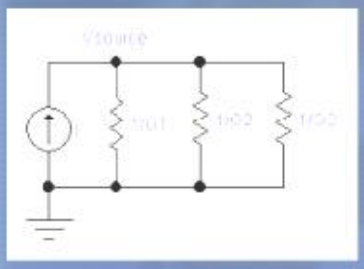


$$V_{out} = V_{cc} \cdot \left(R_{sensor} / (R_{sensor} + R_{load}) \right)$$

- مقاومت الکتریکی برخی از سنسورها با تغییر یک محرک خارجی تغییر می کند
- محرک خارجی : نور ، رطوبت ، حرارت ، گازها ، ....
- هدف : تشخیص تغییر محرک خارجی با استفاده از سیستم دیجیتال
- ابزار تشخیص : سنسور به شکل مقاومت متغیر
- راه‌کار :
  ۱. تبدیل مقاومت متغیر به ولتاژ متغیر (تقسیم ولتاژ با مقاومت)
  ۲. تبدیل ولتاژ متغیر به عدد (تبدیل کننده ی آنالوگ به دیجیتال)

تقسیم جریان

- در مقاومت های موازی ، ولتاژ دو سر مقاومت ها برابر است
- در مقاومت های موازی ، جریان هر مقاومت متناسب با هدایت آن است



Gtotal = $\sum$ Gi

V = Isource / Gtotal

Ii = Gi . V

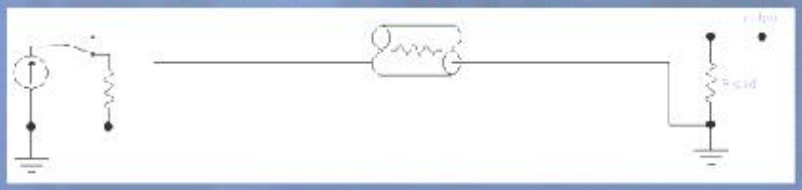
Ii = Isource (Gi/Gtotal)

- در برق و کامپیوتر دوگانی رو به وضوح میشه دید

Rtotal = $\sum$ Ri	Gtotal = $\sum$ Gi
I = Vcc / Rtotal	V = Isource / Gtotal
Vi = Ri . I	Ii = Gi. V
Vi = Vcc (Ri/Rtotal)	Ii = Isource (Gi/Gtotal)

تقسیم جریان

- نویز : سیگنال های ناخواسته که از طرف محیط به مدار اعمال می شود .
- نویز به صورت ولتاژ به سیگنال های دیگر مدار اضافه می شود (سیم واقعی مقاومت دارد !)
- این ولتاژ ناخواسته انتقال داده را مختل می کند .
- یک راه بر طرف کردن مشکل ارسال جریان الکتریکی به جای ولتاژ است .



- استفاده از قانون جریان کیرشهف ← مستقل از ولتاژ سیم ، هر جریانی که وارد سیم شود از آن خارج می شود .
- در گیرنده این جریان از مقاومت می گذرد و به ولتاژ تبدیل می شود .

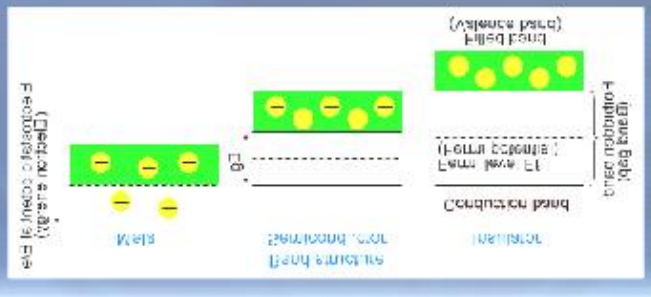
مبانی الکترونیک دیجیتال

جلسه ششم

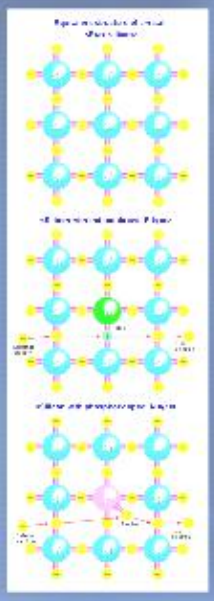
نیمه هادی ها

B	C	N	O
Al	Si	P	S
Ga	Ge	As	Se
In	Sn	Sb	Te

- هدایت الکتریکی از طریق جابجایی بارهای الکتریکی انجام می شود .
- بارهای مثبت در غالب پروتن و درون اتم ثابت شده اند .
- الکترون ها که قابلیت جابجایی دارند حامل بار منفی هستند .
- برخی از الکترون ها به هسته ی اتم وابستگی دارند .
- برخی دیگر در باندهای بالاتر انرژی قرار دارند و وابستگی‌کمتری به هسته دارند
- اختلاف سطح انرژی الکترون های لایه ی آخر با بقیه ی الکترون ها ، مشخص کننده ی خصوصیات الکتریکی آن جسم است .

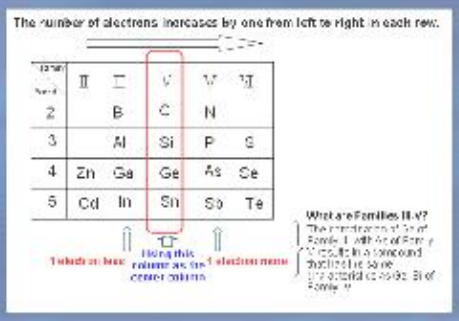


نیمه هادی های نوع مثبت و منفی



- از اضافه کردن ناخالصی به شبکه ی کریستال نیمه رسانا نیمه هادی های مثبت و منفی به وجود می آید .
- نیمه هادی نوع مثبت در خود بارهای آزاد از جنس مثبت دارد.
- نیمه هادی نوع منفی در خود بارهای آزاد از جنس منفی دارد.
- نیمه هادی های نوع مثبت و نوع منفی باردار نیستند.

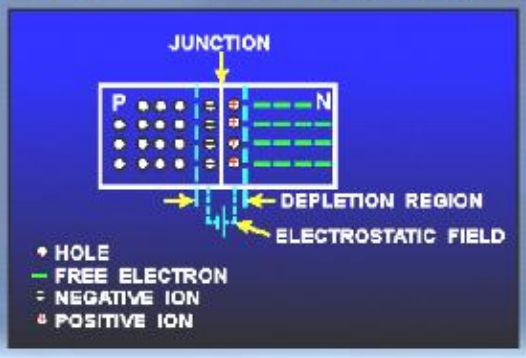
http://www.play-hookey.com/semiconductors/basic_structure.html



پیوند نوع N و نوع P

- در نیمه هادی ها ، تحرک بارهای منفی از تحرک بارهای مثبت راحتتر و بیشتر است .
- بارهای آزاد مثبت و منفی در اطراف پیوند همدیگه رو خنثی می‌کنند .
- به این ناحیه ی خالی از بار آزاد ، ناحیه ی تخلیه می گویند .
- جابجا شدن این بارها برای خنثی شدن، باعث ایجاد میدان الکتریکی در ناحیه ی تخلیه می شود.
- این میدان الکتریکی ناحیه ی تخلیه را ایجاد می کند و امکان تولید جریان را ندارد .

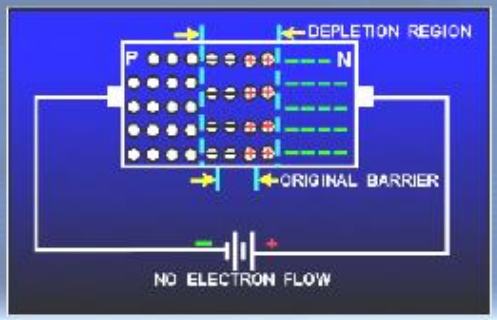
http://www.play-hookey.com/semiconductors/pn_junction.html



پیوند نوع N و نوع P

- اگر به نیمه هادی n ولتاژ مثبت و به نیمه هادی p ولتاژ منفی اعمال کنیم بارهای مثبت p و بارهای منفی n جذب باتری خواهند شد ← ناحیه ی تخلیه بزرگ می شود .
- اگر به نیمه هادی n ولتاژ منفی و به نیمه هادی p ولتاژ مثبت اعمال کنیم بارهای مثبت p و بارهای منفی n بیشتر خواهند شد ← ناحیه ی تخلیه کوچک می شود .

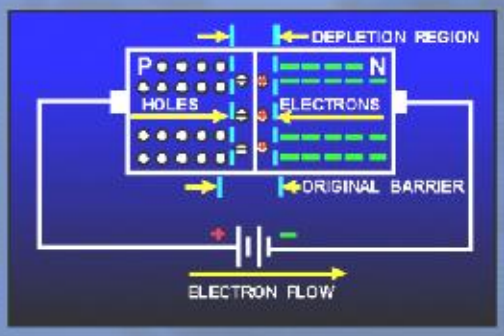
http://www.st-andrews.ac.uk/~www_pa/Scots_Guide/info/comp/passive/diode/pn_junc/pn_junc.htm



پیوند نوع N و نوع P

- اگر به نیمه هادی n ولتاژ مثبت و به نیمه هادی p ولتاژ منفی اعمال کنیم بارهای مثبت p و بارهای منفی n جذب باتری خواهند شد ← ناحیه ی تخلیه بزرگ می شود .
- اگر به نیمه هادی n ولتاژ منفی و به نیمه هادی p ولتاژ مثبت اعمال کنیم بارهای مثبت p و بارهای منفی n بیشتر خواهند شد ← ناحیه ی تخلیه کوچک می شود .

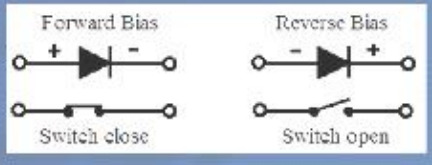
http://www.st-andrews.ac.uk/~www_pa/Scots_Guide/info/comp/passive/diode/pn_junc/pn_junc.htm



دیود

- تشکیل شده از یک پیوند نیمه هادی N و نیمه هادی P
- رفتار این پیوند با تغییر جهت اعمال پتانسیل الکتریکی ، تغییر می کند .
- محل برخورد دو نوع نیمه هادی به صورت طبیعی خالی از بار آزاد و در نتیجه نارسانا است .
- در صورت اعمال ولتاژ بیشتر به P (بایاس مستقیم ، forward bias) این محدوده ی خالی از بار کوچک می شود تا این که به کلی از بین برود ← رسانایی
- در صورت اعمال ولتاژ بیشتر به N (بایاس معکوس ، reverse bias) این محدوده ی خالی از بار بزرگ تر می شود ← عدم رسانایی

http://www.st-andrews.ac.uk/~www_pa/Scots_Guide/info/comp/passive/diode/diode.htm

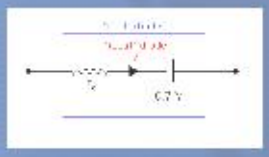


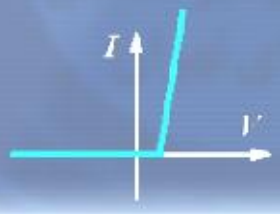
مدل ساده ی دیود

دیود به عنوان کلید یک طرفه (دیود ایده آل)

در نظر گرفتن ولتاژ forward bias

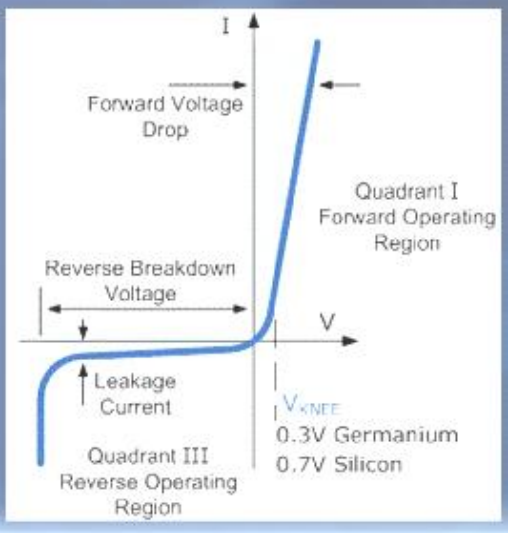
در نظر گرفتن مقاومت داخلی دیود





رفتار دیود واقعی

http://www.st-andrews.ac.uk/~www_pa/Scots_Guide/info/comp/passive/diode/chars/chars.htm



کاربردهای دیود

http://www.play-hookey.com/semiconductors/specialized_diodes.html

- یک سو سازی
- استفاده به عنوان خازن متغیر
- استفاده از دیود حساس به نور (photo diode) به عنوان سنسور یا گیرنده اطلاعات
- دیود ساتع کننده ی نور(LED (Light Emitting Diode

جلسه آینده...

- ترانزیستورها
- ترانزیستورهای BJT

مبانی الکترونیک دیجیتال

جلسه هفتم

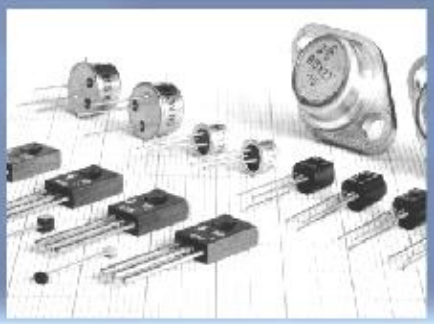
ترانزیستور چیست

- ترانزیستور یک قطعه ی نمیه رسانا است که سیگنال الکتریکی را تقویت می کند.
- کلمه ی transistor از کلمه های Transfer Resistor گرفته شده.
- اشتباه نکنید!! ترانزیستور تولید کننده ی انرژی نیست
- ترانزیستور مثل یک کلید عمل می کند که با سیگنال الکتریکی تحریک می شود.
- ترانزیستورها زندگی ما رو منقلب کردند.
- مدار چیپ ها تقریبن فقط از ترانزیستور و سیم ساخته شدند.

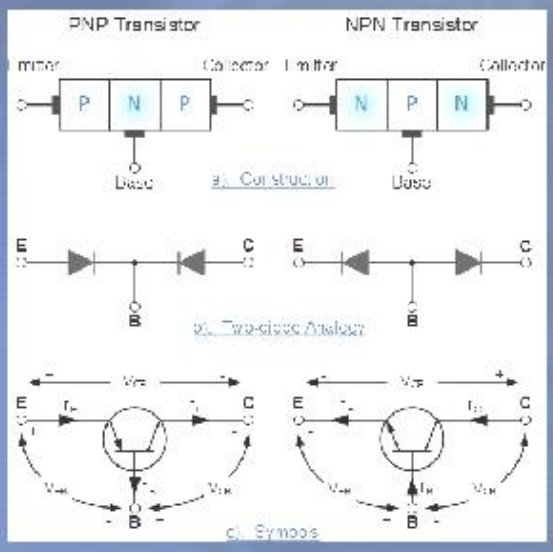
انواع ترانزیستور

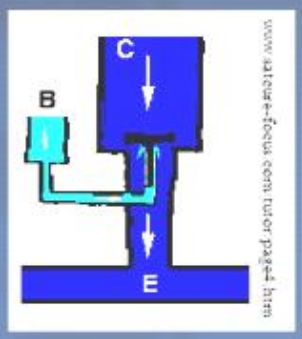
- ترانزیستورهایی که بیشتر مورد استفاده قرار می گیرند
  - BJT : Bipolar Junction Transistor دو قطبی
  - FET : Field Effect Transistor اثر میدان
- اگر تمایل دارید در مورد دسته های مختلف ترانزیستورها اطلاعات بیشتری پیدا کنید، به لینک زیر مراجعه کنید

http://en.wikipedia.org/wiki/Category:Transistor_types



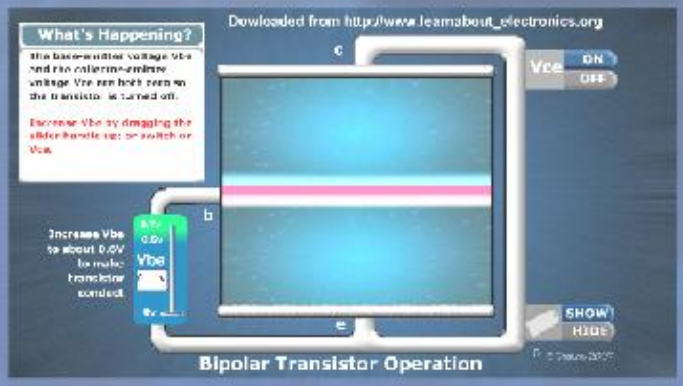
ساختار ترانزیستورهای BJT





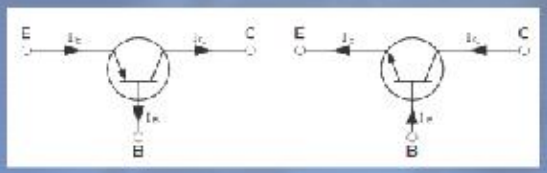
عملکرد ترانزیستور BJT

http://www.learnabout-electronics.org/bipolar_junction_transistors_05.php



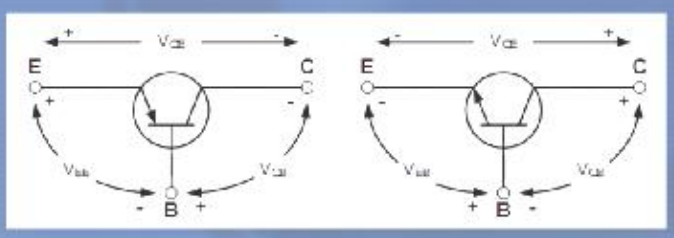
رابطه ی ولتاژ و جریان در ترانزیستورBJT

✓ مجموع جریان های وارد شونده به ترانزیستور با مجموع جریان های خارج شونده از آن برابر است (KCL).



IE = IC + IB

✓ با گذشتن از پایه های ترانزیستور و رسیدن به نود اول، جمع جبری ولتاژها صفر می شود (KVL).



VCB + VBE + VEC = 0
or
VCB + VBE = VCE

ناحیه های کارBJT

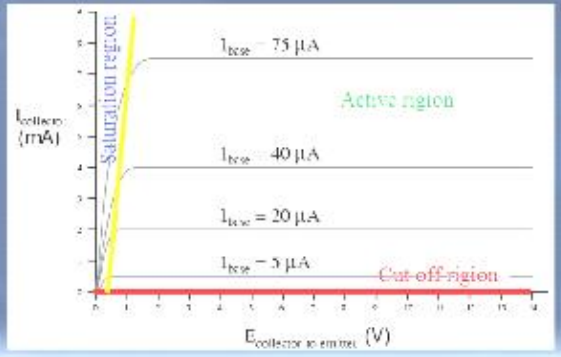
- برای این که طرز کار ترانزیستور bjt رو بررسی کنیم، باید ببینیم هر کدوم از دیودهای تشکیل دهنده ی ترانزیستور در چه وضعیتی قرار دارند
- در حقیقت ما همیشه بر اساس نیازمون برای پدیده ها مدل پیدامی‌کنیم.جدول زیر رفتار ترانزیستور رو فوق العاده ساده توصیف می کنه. برای این که نمونه ی دقیق تر مدل ترانزیستور رو ببینید به این لینک برید و به تعداد پارامترهایی‌که برای‌توصیف رفتار ترانزیستور تعریف شده نگاه کنید !

http://en.wikipedia.org/wiki/Gummel%E2%80%93Poon_model

BE diode bias	BC diode bias	Mode	Relation	Simple model
Reverse	Reverse	Cut off	Ic = 0 , IB = 0 , |VBE| < .7	Open circuit
Forward	Reverse	Active	Ic = β . IB , |VBE| = .7	Current source
Reverse	Forward	Reverse active	Ic = βR . IB , |VBE| < .7	βR ≈ 1
Forward	Forward	Saturation	VCE = .2V , |VBE| = .8	Close switch

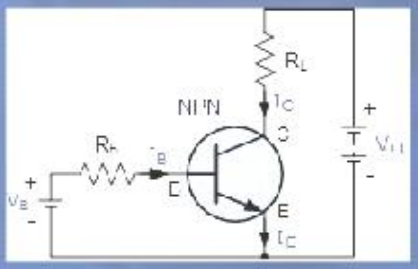
نمودار ولتاژ-جریانBJT

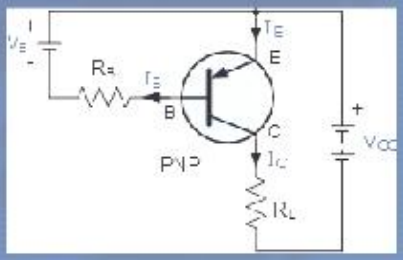
- در ناحیه ی قطع، مستقل از این که چه ولتاژی دو سر کلکتور تا امیتر می افته، از کلکتور جریانی نمی گذره.
- در ناحیه ی فعال، مستقل از این که چه ولتاژی دو سرکلکتور تا امیترمی افته، ازکلکتورβ برابر جریان بیس می گذره.
- در ناحیه ی اشباع، ولتاژ کمی دو سر کلکتور تا امیتر می افته، جریان کلکتور تو ناحیه ی اشباع نمی تونه از β برابر جریان بیس بیشتر بشه.



بایاس ساده ی ترانزیستورBJT

نقطه ی کار ترانزیستور : ولتاژ کلکتور-امیتر ، جریان کلکتور ، ولتاژ بیس-امیتر
نقطه ی کار ترانزیستور ، نقطه ای از نمودار سه بعدی است که ترانزیستور در آن شرایط کار می کند .





جلسه آینده...

- ترانزیستورهای JFET
- ترانزیستورهای MOSFET

مبانی الکترونیک دیجیتال
جلسه هشتم

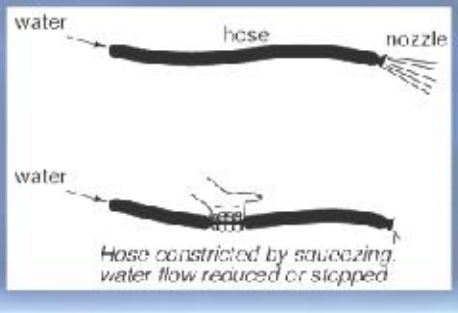
ترانزیستورهای FET

FET : Field Effect Transistor

ترانزیستور اثر میدان

میدان الکتریکی در این ترانزیستورها عبور جریان الکتریکی از کانال ترانزیستور را کنترل می کنند.

در این ترانزیستورها بر خلاف ترانزیستورهای BJT از پایه ی تحریک کننده، جریان عبور نمی کند.

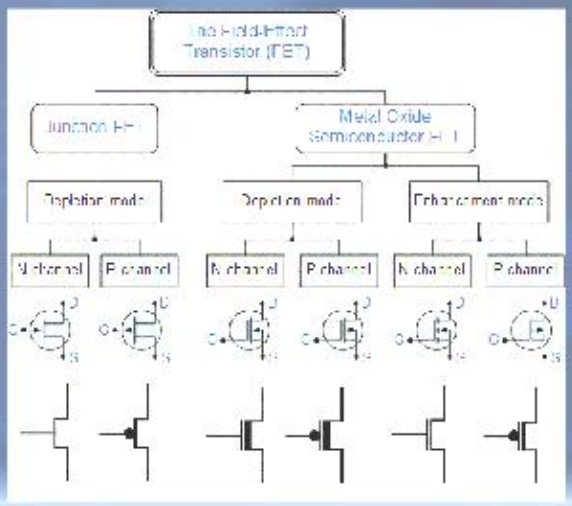


انواع FET

ترانزیستورهای اثر میدان شامل دو خانواده ی عمده هستند :

JFET : Junction FET

MOSFET : Metal Oxide Semiconductor FET



رابطه ولتاژ و جریان در ترانزیستورهای FET

ID = IS

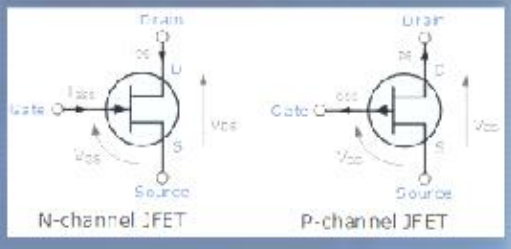
IG = 0

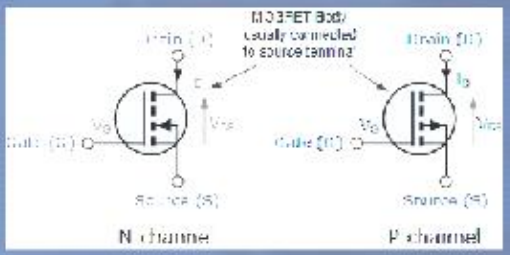
VDS = VDG + VGS = VGS – VGD

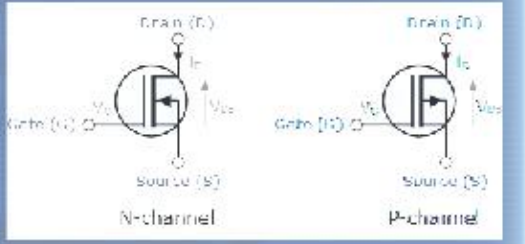
VGD = VGS + VSD = VGS – VDS

N channel : VD ≥ VS

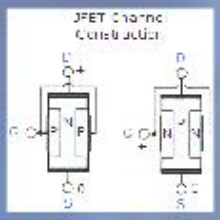
P channel : VD ≤ VS



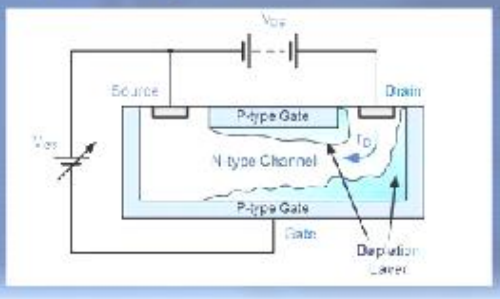


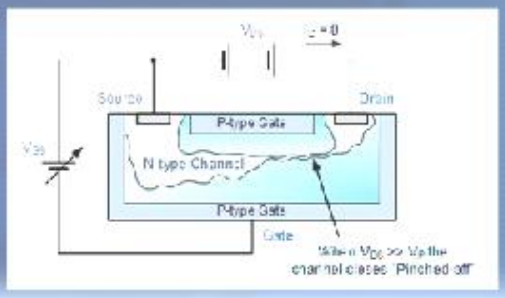


ساختار ترانزیستورهایJFET



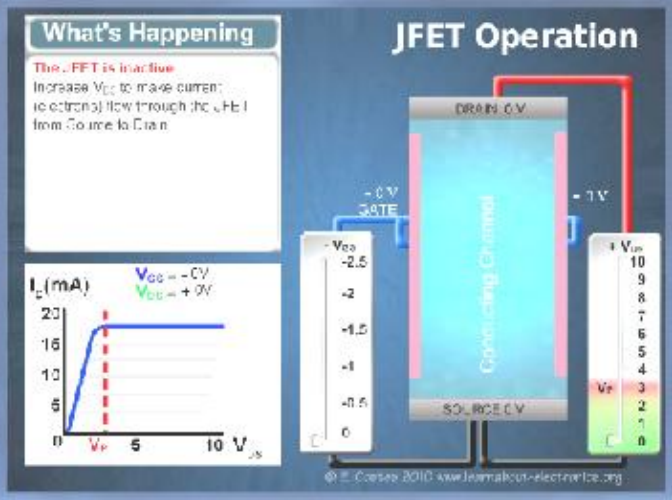
- ترانزیستورهای JFET از یه کانال نیمه هادی تشکیل شده اند .
- دو تکه نیمه هادی مخالف با جنس کانال به کانال متصل شده‌اند .
- اعمال ولتاژ به این نیمه هادی ها باعث بزرگ شدن ناحیه ی تخلیه و در نتیجه کوچک شدن سطح موثر برای عبور جریان می‌شود.
- ترانزیستورهایJFET به صورت عادی جریان را از خود عبور می دهند.
- با اعمال ولتاژ مناسب به ترانزیستور می توانیم جریان را کم یا قطع کنیم.





عملکرد ترانزیستورJFET

http://www.learnabout-electronics.org/fet_03.php



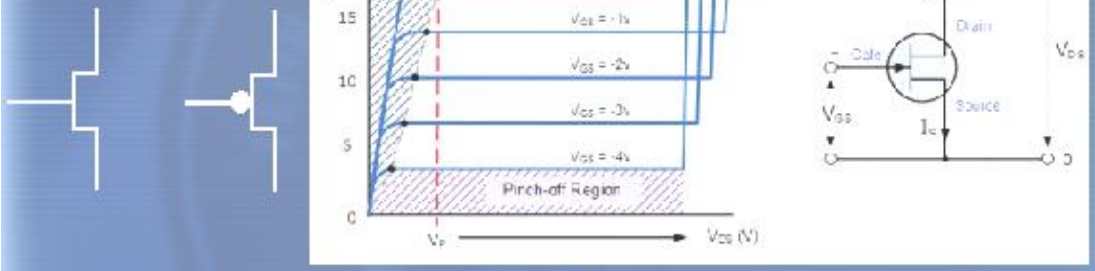
ناحیه های کار ترانزیستورJFET

Vp = Pinch off Voltage N: Vp<0 P: Vp>0
IDSS = ID when (VGS=0 & VDS=Vp)

Channel near Source	Channel near Drain	Mode	Relation	Simple model
×	×	Cut off	I = 0	Open circuit
✓	×	Saturation	I = (IDSS/Vp^2) [VGS - Vp]^2	Current source
✓	✓	Linear	I = (IDSS/Vp^2) [2(VGS-Vp)VDS – VDS^2]	Resistor

JFET	×	✓
channel near Source	|VGS| ≥ |Vp|	|VGS| < |Vp|
Channel near Drain	|VGD| ≥ |Vp|	|VGD| < |Vp|

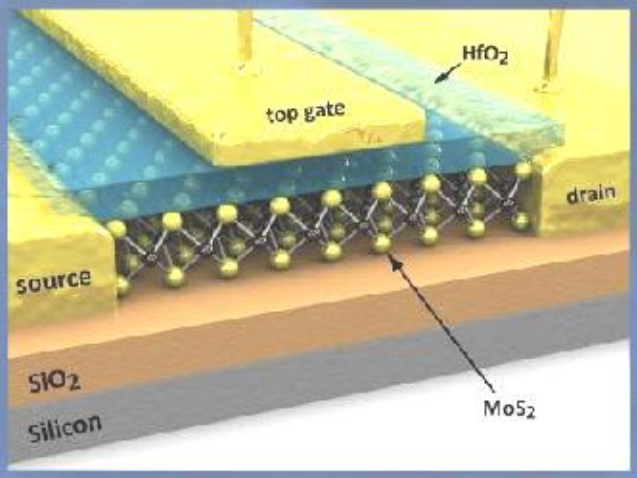
نمودار ولتاژ-جریانJFET



جلسه آینده...

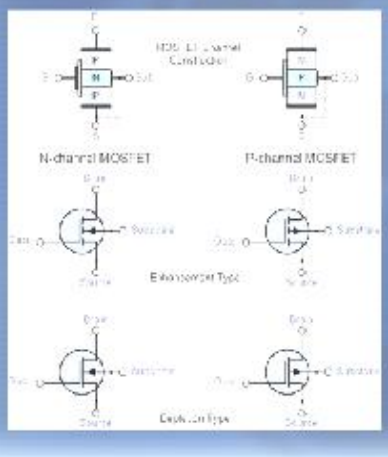
- ترانزیستورهای MOSFET

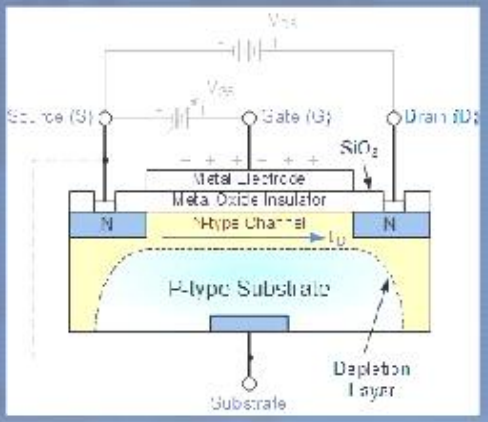
مبانی الکترونیک دیجیتال
جلسه نهم



ساختار ترانزیستورهایMOSFET

- جنس نیمه رسانا در میانه ی کانال در ترانزیستورهای MOSFET تغییر می کند.
- این ساختار تشکیل دو دیود پشت به پشت را می دهد ، که جریان را عبور نمی‌دهد.
- ترانزیستورهای MOSFET افزایشی به صورت عادی جریان را از خود عبور نمی‌دهند.
- ترانزیستورهای MOSFET تخلیه ای به صورت عادی جریان را از خود عبور می‌دهند.





عملکرد ترانزیستورMOSFET

http://www-g.eng.cam.ac.uk/mmg/teaching/linearcircuits/mosfet.html

ناحیه های کار ترانزیستورMOSFET

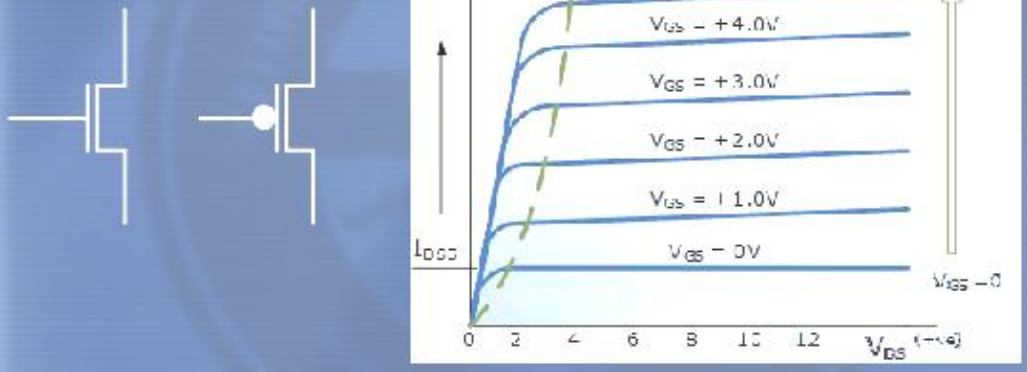
Vt = threshold Voltage N: Vt>0 P: Vt<0

K' (W/L)

Channel near Source	Channel near Drain	Mode	Relation	Simple model
×	×	Cut off	I = 0	Open circuit
✓	×	Saturation	I = .5 (K' . W/L) [VGS - Vt]^2	Current source
✓	✓	Linear	I = .5 (K' . W/L) [2(VGS-Vt)VDS – VDS^2]	Resistor

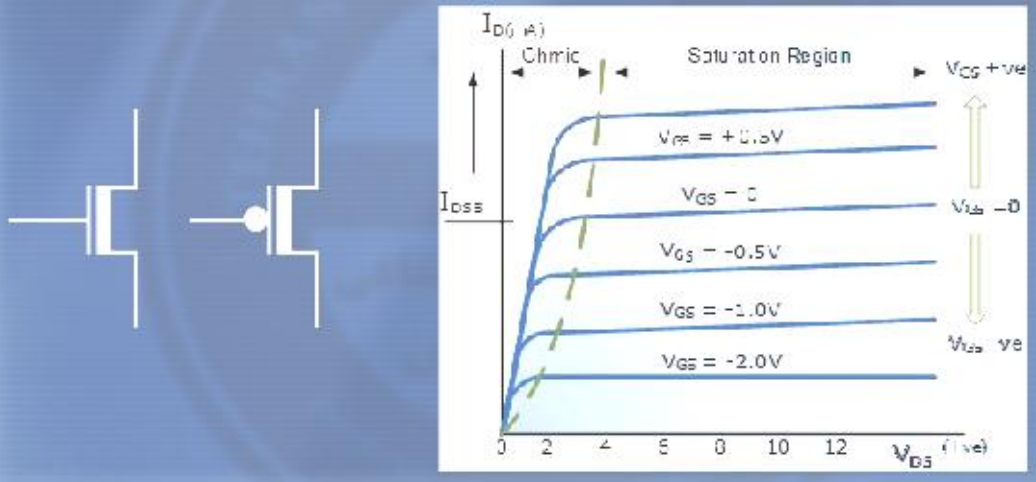
MOSFET	×	✓
channel near Source	|VGS| < |Vt|	|VGS| ≥ |Vt|
Channel near Drain	|VGD| < |Vt|	|VGD| ≥ |Vt|

نمودار ولتاژ-جریانMOSFET



تخلیه ای MOSFET

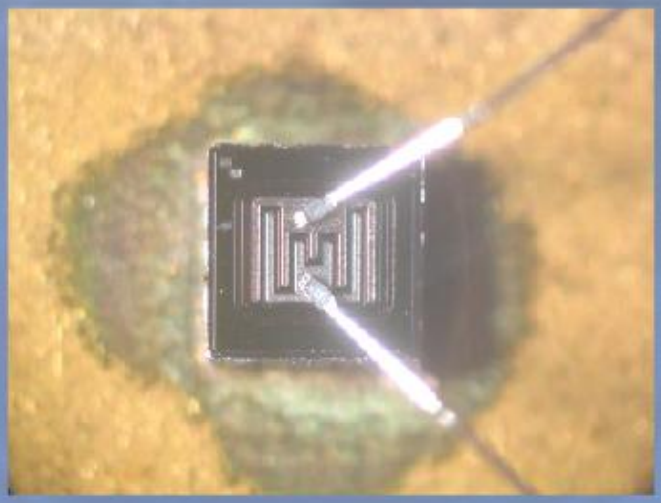
For depletion MOS:N: Vt<0 P: Vt>0



جلسه آینده...

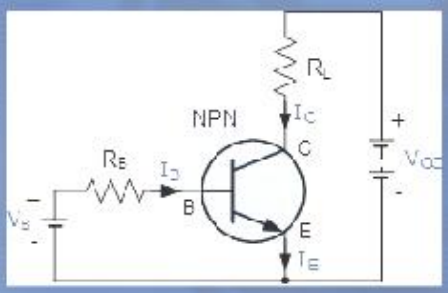
- تمرین برای ترانزیستورها

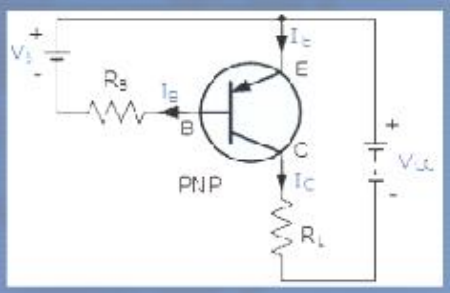
مبانی الکترونیک دیجیتال
جلسه دهم



مدارهای ترانزیستوری

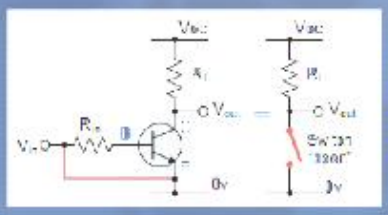
- برای حل مدارهای ترانزیستوری باید از روابط ترانزیستور در ناحیه ی کار صحیح استفاده کنیم.
- همیشه تا قبل از حل کامل مدار، ناحیه ی دقیق کار ترانزیستورها مشخص نمی شود. بنابراین در بعضی از موارد باید ناحیه ی کار ترانزیستور رو حدس زد.
- بعضی وقت ها برای فهمیدن ناحیه ی کار ترانزیستورها مجبور به سعی و خطا هستیم.



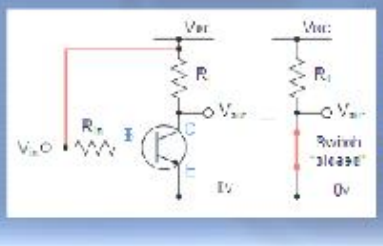


حل تقریبی NPN

در این مثال به جای حل دقیق مدار ، رفتار تقریبی مدار با دو ورودی صفر و ولتاژ تغذیه بررسی شده.



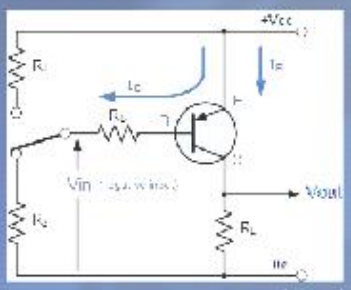
Vbe = 0 < .7V ➔ BE diode: reverse bias
Vbc = 0-Vcc = -Vcc < .7V ➔ BC diode: reverse bias
➔ Cut off region ➔ Ic = 0 ➔ Ir = 0
Vout = Vcc – I * r = Vcc – 0 = Vcc



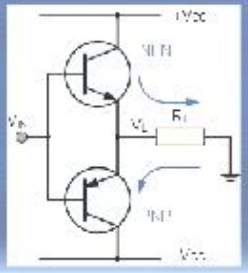
Vbe >= .7V ➔ BE diode: forward bias
Vbc = Vb – Vc = (Vcc-Ib.Rb) – (Vcc-Ic.Rc) >=.7
➔ BC diode: forward bias ➔ Saturation region
➔ Vce = .2V
Vout = Vce = .2V ≈ 0V

حل تقریبی

در این مثال ترانزیستور pnp استفاده شده که بر خلاف مثال قبل با سیگنال منفی تحریک و روشن می شود.



در این مدار از خاصیت هر دو ترانزیستور npn و pnp استفاده شده:

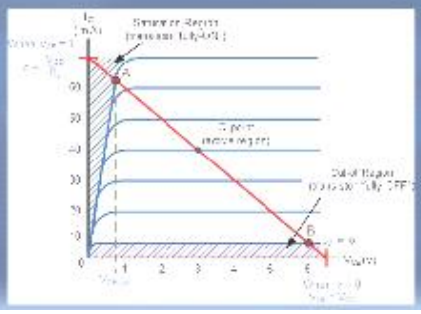


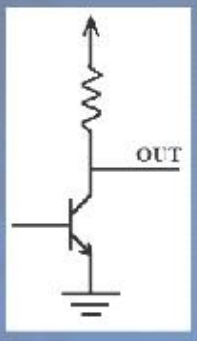
حل دقیق، روش ترسیمی

حل دقیق مدار با استفاده از رسم نمودار ولتاژ جریان محل تلاقی دو نمودار جواب معادله است.

KVL : Vcc – Vr – Vce = 0 ➔

Vr = Vcc – Vce





روند حل مدارهای ترانزیستوری

۱- ابتدا پایه های درین و سورس رو تشخیص می دهیم.

۲- ناحیه ی کار هر ترانزیستور را حدس میزنیم.

۳- رابطه های KCL و KVL لازم رو می نویسیم.

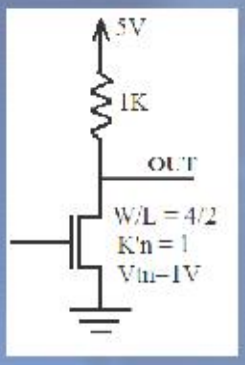
۴- با توجه به ناحیه ی ترانزیستورها، روابط مناسب رو در معادله ها قرار می دهیم.

۵- با حل معادله ها، جواب ها رو به دست می آوریم.

۶- با مقایسه ی جواب ها با فرض های اولیه، از درستی جواب ها مطمئن می شویم.

۷- در صورت غلط بودن جواب، فرض ناحیه کار را تغییر می دهیم و دوباره مسئله رو حل می کنیم.

مثال، NMOS، قطع



به ورودی ولتاژ Vin = 0V را اعمال می کنیم.

هر چه از بالای این مدار به سمت پایین حرکت کنیم ولتاژ کمتر می شود.

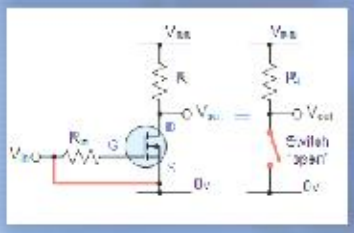
بنابراین پایه ی درین بالایی و پایه ی سورس پایینی است.

Vgs = Vg – Vs = 0 – 0 = 0

0 < 1V ➔ کانال سمت سورس بسته است

کانال سمت سورس بسته است ➔ حتمن کانال سمت درین هم بسته است

زیرا ولتاژ درین بزرگتر مساوی ولتاژ سورس است.

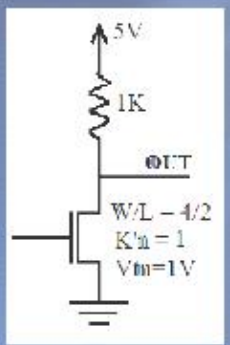


➔ Cut off region ➔ Id = 0

KCL : Ir = Id ➔ Ir = 0

KVL : 5 – I * R = Vout ➔ Vout = 5

مثال، NMOS، خطی



Vout = Vds

به ورودی ولتاژ Vin = Vdd را اعمال می کنیم.

Vgs = Vg – Vs = 5 – 0 = 5

5 > 1 ➔ کانال سمت سورس باز است

فرض می کنیم که ترانزیستور در ناحیه ی خطی است.

می دانیم که در این ناحیه اختلاف ولتاژ درین تا سورس کمتر از ناحیه ی اشباع است.

KCL : Ir = Id

I = (5 – Vout)/1K = .5*1*2*[2(Vgs-Vtn)Vds – Vds^2]

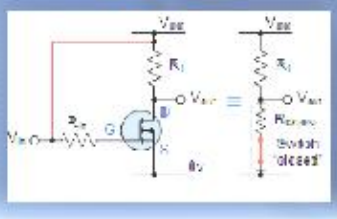
(5 – Vout)/1K = [2(5-1)Vout – Vout^2]

5-Vout = 1K (8Vout – Vout^2) ➔

5 – Vout = 8K Vout – 1K Vout^2 ➔

Vout^2 -8Vout +5m = 0 ➔ Vout^2 -8Vout ≈ 0

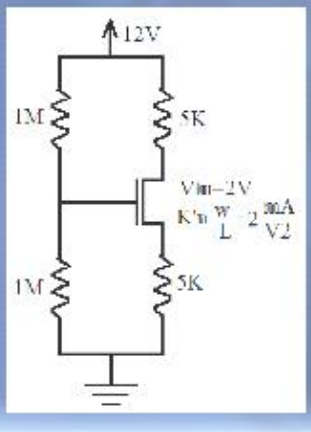
Vout ≈ 0 , 8



مقدار ۸ غیر قابل قبول – مقدار ۰ در شرایط خطی صدق می کند، پس جواب به صفر بسیار نزدیک است.

مثال، NMOS ، اشباع

- جریان های گذرنده از دو مقاومت 5K و ترانزیستور با هم برابر هستند.
- به دلیل وجود مقاومت های یکسان بالا و پایین ترانزیستور، قطعن ولتاژ درین از 6V بیشتر است و ولتاژ سورس از 6V کمتر است.
- برای حل مدار ترانزیستور رو در ناحیه ی اشباع در نظر می گیریم.



به دست آوردن ولتاژ گیت

KCL :

جریان گذرنده از هر دو مقاومت 1Mاهم با هم برابر است. زیرا گیت عایق است.

KVL :

Vg = 12* [1M/(1M+1M)] = 6V

فرض اشباع:

Vgs > Vtn ➔ 6-Vs > 2 ➔ Vs < 4

Vgd < Vtn ➔ 6-Vd <2 ➔ Vd > 4

مثال، NMOS ، اشباع

KCL : Ir1 = Ir2 = Id = I

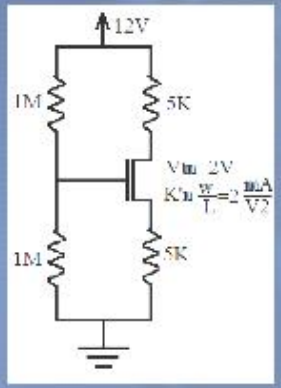
KVL : 12 – I*5K – Vds – I*5K = 0

از رابطه ی جریان ترانزیستور در ناحیه ی اشباع استفاده می کنیم:

I = .5 K'n (W/L) [Vgs-Vtn]^2

با توجه به این که سورس و مقاومت هم پتانسیل هستند:

Vs = Vr = 5K*I



حالا مقادیر رو در KCL جاگذاری می کنیم

I = .5*2 [6 – (5K*I) - 2]^2 ➔ I = (4 – 5K*I)^2

I = 16 -40K*I + 25M*I^2 ➔

25M*I^2 – 41K*I + 16 =0 ➔ I = 1mA , 0.64mA

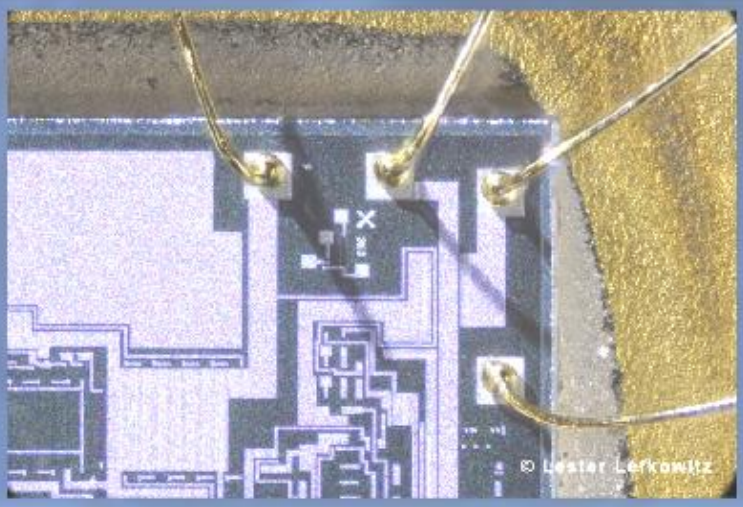
با جواب 1mA ولتاژ سورس 5V و با جواب 0.64mA ولتاژ سورس 3.2V می شود. بنابراین جواب 0.64mA جواب قابل قبول است.

جلسه آینده...

- باز هم حل مدارهای ترانزیستوری

مبانی الکترونیک دیجیتال

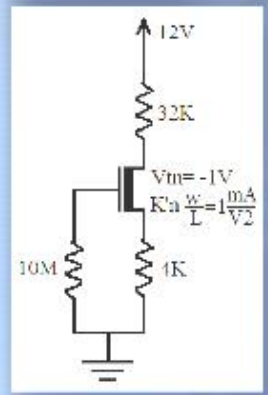
جلسه یازدهم



مثال، NMOS، تخلیه ای

ترانزیستور تخلیه ای NMOS مثل ترانزیستور NMOS با ولتاژ مثبت تحریک می شود.

- تفاوت ترانزیستور تخلیه ای با ترانزیستور عادی در این است که ترانزیستور تخلیه ای از قبل کانال دارد.



Vg = Ig * 10M = 0 * 10M = 0

فرض می کنیم ترانزیستور در ناحیه ی اشباع قرار دارد

I = 0.5K'(W/L)(Vgs-Vt)^2 ➔ I = .5(0-4K*I - -1)^2

2*I = (-4K*I + 1)^2 ➔ 16M*I^2 -10K*I + 1 = 0

I = .5mA , .125mA

با فرض .5mA :

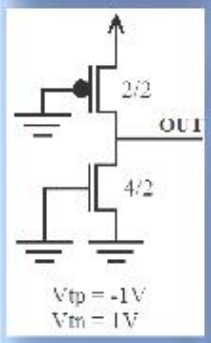
سورس بسته Vs = 4K*.5m = 2V ➔ Vgs = -2V : Vgs < Vt ➔

با فرض .125mA :

سورس باز Vs = 4K*.125m = .5V ➔ Vgs = -.5V : Vgs>Vt ➔

اگر سورس بسته باشد ترانزیستور قطع است و جریان صفر می شود . پس جواب .125mA درست است.

مثال PMOS



برعکس NMOS ، برای روشن شدن ترانزیستور PMOS باید به گیت آن ولتاژ پایین تر اعمال کنیم.

NMOS : Vgs = 0 – 0 = 0 ; 0<Vtn ➔ سورس بسته است

به دلیل بسته بودن سورس ، ترانزیستور در ناحیه ی قطع است .

PMOS : Vgs = 0 – 5 = -5 ; -5<Vtp ➔ سورس باز است

به دلیل منفی تر بودن Vgs از Vtp سورس باز است . ترانزیستور نمی تواند در ناحیه ی قطع باشد . ناحیه ی کار ترانزیستور رو خطی فرض می کنیم.

KCL : Ipmos = Inmos

Inmos = 0

Ipmos = .5K'p(W/L) [2(Vgs-Vt)Vds – Vds^2]

.5K'p(W/L)[2(Vgs-Vt)Vds–Vds^2] =0 ➔ [2(Vgs-Vt)Vds–Vds^2] =0

2(0-5- -1)(Vout-5) - (Vout-5)^2=0 ➔ 8(Vout-5) + (Vout-5)^2=0

(Vout-5)[8+(Vout-5)]=0 ➔ Vout= 5 , -3

عدد 3- از کمترین ولتاژ تغذیه کمتر هست . عدد 5 رو با شرایط فرض شده بررسی می کنیم :

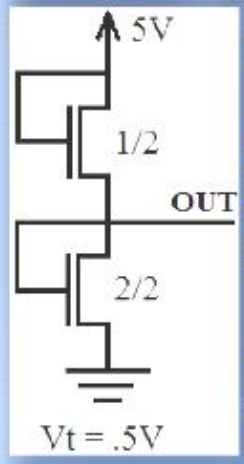
PMOS: Vgs=-5 < Vtp , Vgd=-5 < Vtp ➔ درین و سورس باز است و ناحیه خطی

مثال

در هر دو ترانزیستور NMOS درین به گیت وصل شده :

Vgd = 0 : Vgd < Vtn ➔ درین بسته است چون ولتاژ آستانه مثبت است

هر دو ترانزیستور رو در ناحیه ی اشباع در نظر می گیریم :



KCL : I1 = I2

.5K'n(W1/L1)(Vgs1-Vt)^2 = .5K'n(W2/L2)(Vgs2-Vt)^2

(1/2)(5-Vout - 1)^2 = (2/2)(Vout-0 - 1)^2

(4-Vout)^2 = 2(Vout-1)^2 ➔ |4-Vout| = √2 |Vout - 1|

4 – Vout = ± 1.4 (Vout - 1) ➔ Vout = 2.25 , -6.5

از این دو جواب ، 2.25 درست است . در این صورت :

Vgs1 = 2.25-0 = 2.25 > Vt ➔ سورس ترانزیستور پایین باز است

Vgs2 = 5-2.25 = 2.75 > Vt ➔ سورس ترانزیستور بالا باز است

به همین دلیل هر دو ترانزیستور طبق فرض ، در ناحیه ی اشباع هستند .

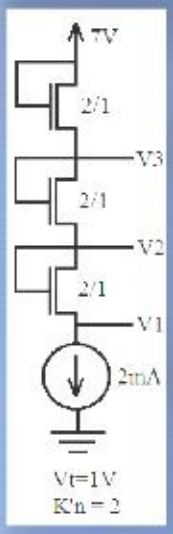
یه مثال دیگه!

گیت هر سه ترانزیستور به درین آن ها وصل شده .

وجود منبع جریان نشان می دهد که ترانزیستورها خاموش نیستند .

← ترانزیستورها در حالت اشباع قرار دارند .

نتیجه ی KCL در سه نود ۱ و ۲ و ۳ در رابطه ی زیر دیده می شود :



.5K'(W1/L1)(Vgs1 - Vt)^2 = .5K'(W2/L2)(Vgs2 - Vt)^2 = .5K'(W3/L3)(Vgs3 - Vt)^2 = 2mA

→ 2(Vgs1 -Vt)^2 = 2(Vgs2 -Vt)^2 = 2(Vgs3 -Vt)^2 = 2mA

→ |Vgs1 – 1| = |Vgs2 – 1| = |Vgs3 – 1| = 1

V2-V1 – 1 = ± 1 → V1 = V2-1±1

V3-V2 – 1 = ± 1 → V2 = V3-1±1

7-V3 – 1 = ± 1 → V3 = 6±1 = 5V

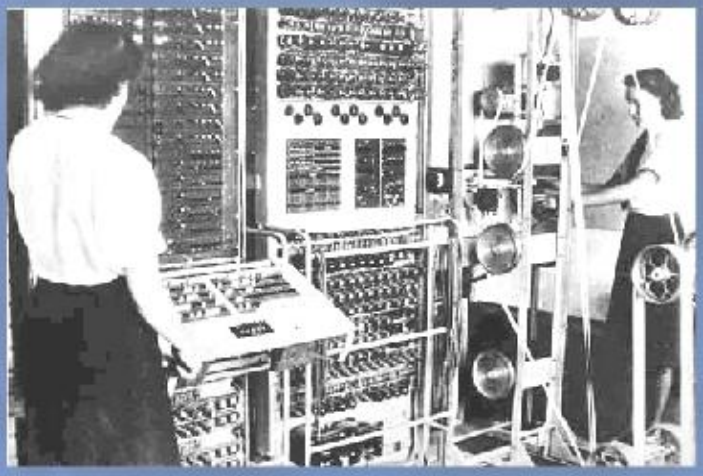
→ V2 = 5-1+1 = 3V

→ V1 = 3-1+1 = 1V

جلسه آینده ...

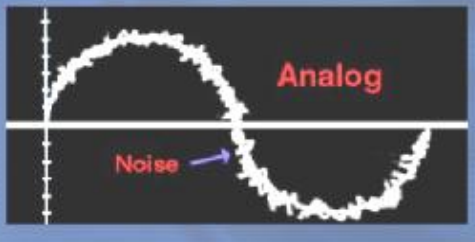
- مزایای سیستم های دیجیتال نسبت به آنالوگ
- منطق کلیدزنی و شبکه های سویچ
- استفاده از ترانزیستور به عنوان کلید

مبانی الکترونیک دیجیتال
جلسه دوازدهم



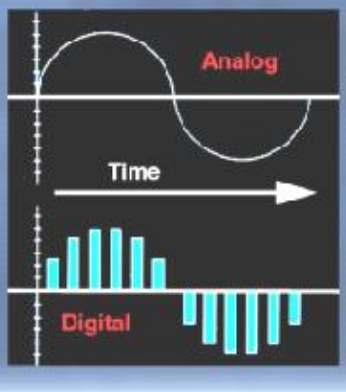
سیستم های آنالوگ

- در دنیای اطراف ما ، خیلی از کمیت های فیزیکی پیوسته یا نزدیک به پیوسته هستند.
- در محیط اطراف منابع نویز بسیار زیاد هستند .
- طراحی مدارهای آنالوگ سختی و پیچیدگی های زیادی دارد .



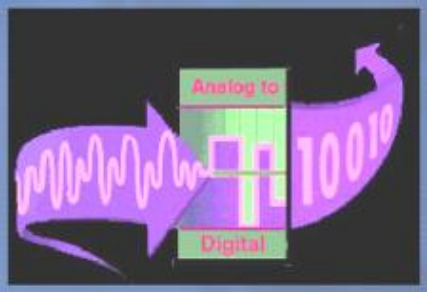
سیستم های دیجیتال

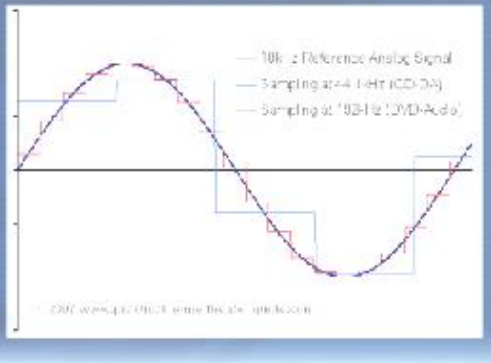
- تبدیل کردن مقادیر پیوسته به مقدارهای گسسته (زمان ، مقدار).
- مبنای کار سیستم های دیجیتال جبر بولین یا دودویی است .
- طراحی مدارهای دیجیتال روتین و روشمند است .



چرا سیستم های دیجیتال؟

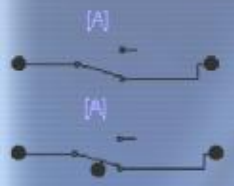
- جدا کردن نویز از دیتای اصلی
- روش های ذخیره سازی
- بهره گیری از کامپیوتر برای طراحی مدارهای دیجیتال
- امکان فشرده سازی مدارهای دیجیتال در مقیاس های بسیار بزرگ
- افزوده شدن قابلیت پردازش در سیستم های دیجیتال





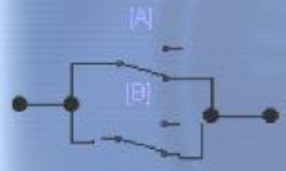
شبکه ی کلید

- کلیدها رو با متغیرهای جبری کنترل می کنیم.
- اگر متغیر جبری مقدار یک داشته باشد کلید بسته می شود.
- قرارداد : کلیدهایی که یک دایره دارند، با مقدار صفر وصل می شوند.

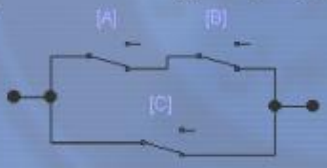


- برای وصل شدن کلیدهای سری ، باید همه ی کلیدها با هم وصل باشند.

- برای وصل شدن کلیدهای موازی ، باید لااقل یک کلید وصل باشد.

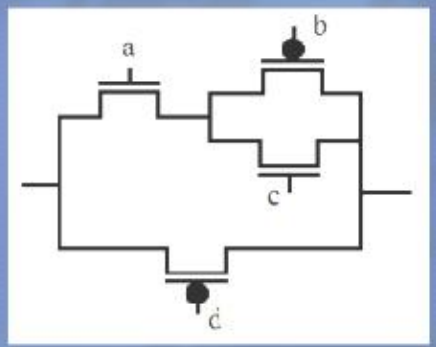


- با استفاده از این قواعد می توانیم روابط شبکه ای از کلیدها رو بنویسیم :



منطق کلیدزنی

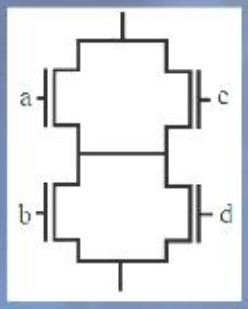
- در حقیقت این روابط جبری نشان دهنده ی راه هایی است که ورودی را به خروجی وصل می کند.
- راه دیگر برای نوشتن رابطه ی یک شبکه ، نوشتن مسیرهایی هست که دو طرف شبکه ی کلید را به هم وصل می کند.



$$d' + (a \cdot (b' + c))$$

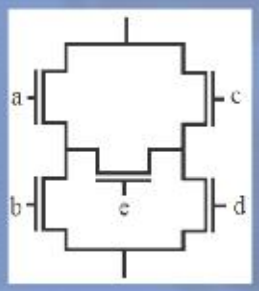
$$d' + a.b' + a.c$$

مثال



$(a + c) . (b + d)$

$a.b + c.d + a.d + c.b$



$e=0 : a.b + c.d$

$e=1 : a.b + c.d + a.d + c.b$

$\Rightarrow e'(a.b + c.d) + e(a.b + c.d + a.d + c.b)$

$\Rightarrow e'(a.b + c.d) + e(a.b + c.d) + e(a.d + c.b)$

$\Rightarrow (a.b + c.d) + e(a.d + c.b)$

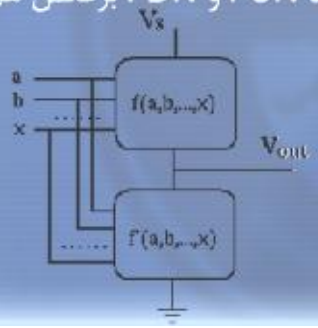
$a.b + c.d + a.e.d + c.e.b$

ولتاژ به جای مقدار جبری

- روابط جبری مقدارهای صفر و یک می گیرند.
- در مدارهای دیجیتال عموما ولتاژ بالا نماینده ی یک منطقی و ولتاژ پایین نماینده ی صفر منطقی هستند.
- برای این که خروجی مدار منطقی ما یک و صفر منطقی شود باید بتوانیم خروجی را به ولتاژ مثبت تغذیه و ولتاژ منفی تغذیه وصل کنیم.
- یک روش برای پیاده سازی، استفاده از دو شبکه ی ترانزیستوری است که یکی خروجی را به Vdd و دیگری به Gnd وصل می کند.
- به شبکه ای که خروجی را به Vdd وصل می کند، شبکه ی بالا کشنده یا Pull Up Network می گویند.
- به شبکه ای که خروجی را به Gnd وصل می کند، شبکه ی پایین کشنده یا Pull Down Network می گویند.

پیاده سازی گیت باPDNوPUN

- یک روش برای پیاده سازی گیت های منطقی این است که ورودی های مدار ، شبکه های بالا کشنده و پایین کشنده را کنترل کنند.
- اگر هر دو شبکه قطع باشند خروجی به هیچ ولتاژی وصل نیست و نسبت به بقیه ی مدار مقاومت زیادی از خود نشان می دهد. به این شرایط Z می گویند. Z مقدار منطقی نیست.
- اگر PUN قطع و PDN وصل باشد ، خروجی به ولتاژ منفی تغذیه وصل می شود.
- اگر PUN وصل و PDN قطع باشد ، خروجی به ولتاژ بالای تغذیه وصل می شود.
- درصورتی که هر دو شبکه وصل باشند حالت نامعلوم x پیش می آید که نامطلوب است.
- برای این که خروجی مدار فقط صفر و یک منطقی باشد باید PUN و PDN برعکس هم عمل کنند.



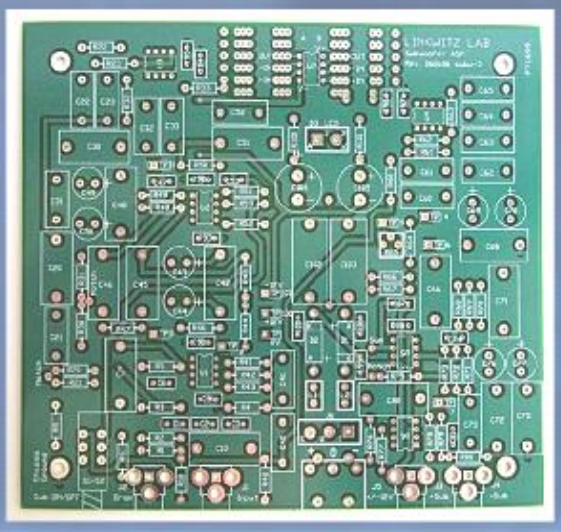
PUN	PDN	Out
×	×	High impedance , Z
×	✓	0
✓	×	1
✓	✓	x

جلسه آینده...

- ✓ گیت های منطقی
- ✓ مشخصات گیت های منطقی

مبانی الکترونیک دیجیتال

جلسه سیزدهم



یادآوری مدارهای منطقی

حتما مروری بر درس مدارهای منطقی داشته باشید!

	buffer	not
A	a	$\bar{a}$
0	0	1
1	1	0

	or	nor	and	nand	xor	xnor
A B	$a + b$	$\overline{a+b}$	$a \times b$	$\overline{a \times b}$	a ⊕b	a ⊙b
0 0	0	1	0	1	0	1
0 1	1	0	0	1	1	0
1 0	1	0	0	1	1	0
1 1	1	0	1	0	0	1

یادآوری مدارهای منطقی

برای یادآوری جبر بولین به پیوند زیر مراجعه کنید:

http://www.play-hookey.com/digital/boolean_algebra.html

برای یادآوری طرز کار گیت های منطقی به پیوندهای زیر مراجعه کنید:

http://www.play-hookey.com/digital/basic_gates.html
http://www.play-hookey.com/digital/derived_gates.html
http://www.play-hookey.com/digital/xor_function.html

مشخصات گیت منطقی

- گیت های منطقی مدارهای الکتریکی هستند که توابع منطقی را پیاده سازی می کنند.
- در این مدارها به جای صفر و یک منطقی ، ولتاژهای مشخص به کار می رود.
- عموما ولتاژ پایین منبع برای نشان دادن صفر منطقی و ولتاژ بالای منبع برای نشان دادن یک منطقی به کار می رود.
- گیت های منطقی در قالب خانواده های مختلفی از مدارهای الکتریکی پیاده سازی می شوند.
- درس الکترونیک دیجیتال به ساختار این مدارها و مقایسه ی آن ها می پردازد.
- برای مقایسه ی این مدارها باید پارامترهای کارایی آن ها را بررسی کنیم.
- این پارامترها را در دو حالت ایستا و پویا بررسی خاهیم کرد.

مشخصات ایستا

بررسی مشخصات گیت در حالتی که ورودی ها و خروجی آن ولتاژ ثابتی دارند.

- بررسی ولتاژ خروجی و ورودی
- بررسی جریان خروجی و ورودی
- بررسی توان مصرفی گیت

/http://free-books-online.org/computers/digital-logic-design
/digital-circuits-and-operational-characteristics

مشخصات ایستای ولتاژ

ولتاژهای بالا و پایین برای خروجی

VoL : ولتاژ خروجی وقتی که خروجی صفر منطقی است.
VoH : ولتاژ خروجی وقتی که خروجی یک منطقی است.

ولتاژهای بالا و پایین برای ورودی

ViL : حداکثر ولتاژی که برای گیت به عنوان صفر منطقی مناسب است.
ViH : حداقل ولتاژی که برای گیت به عنوان یک منطقی مناسب است.

ولتاژ میانه (Vm)

ولتاژ خروجی زمانی که ورودی به خروجی وصل است.
ولتاژ میانه ی گیت در ناحیه ی تعریف نشده قرار دارد.

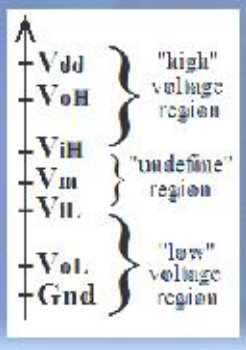
مصونیت در برابر نویز

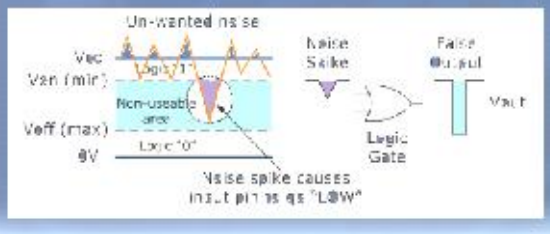
- محدوده ی ولتاژ صفر منطقی
- محدوده ی ولتاژ یک منطقی
- اندازه ی قابل تحمل نویز

$$NML = ViL - VoL$$

$$NMH = VoH - ViH$$

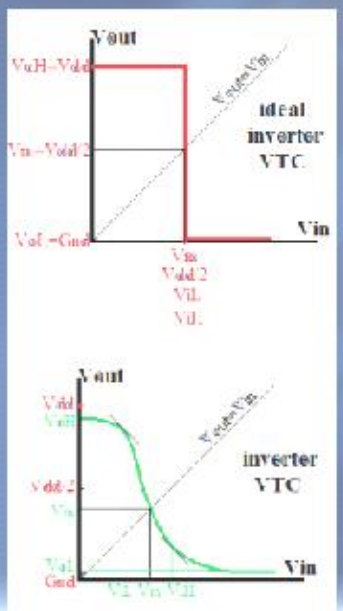
$$NM = \min\{NML , NMH\}$$

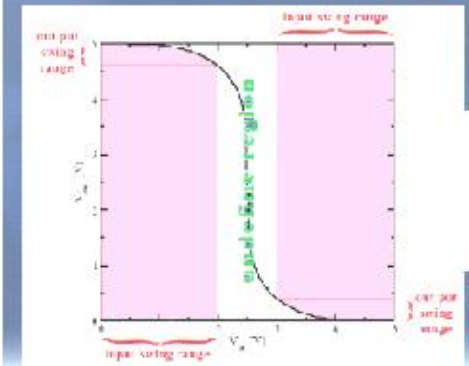




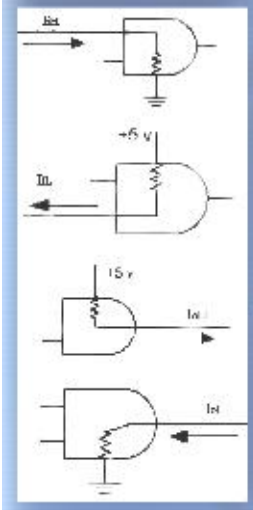
مشخصه ی انتقال ولتاژ

- (Voltage transfer characteristic) VTC
  - تابع تبدیل ولتاژ ورودی به ولتاژ خروجی
  - مشخصه ی انتقال برای گیت ایده آل
  - مشخصه ی انتقال برای گیت واقعی
- بازیابی سطح ولتاژ
- حذف نویز ورودی





مشخصات ایستای جریان



جریان صفر و یک ورودی

IiH : جریانی که ورودی گیت هنگام بالا بودن به خروجی می دهد.

IiL : جریانی که ورودی گیت هنگام پایین بودن از خروجی می گیرد.

حداکثر جریان خروجی برای صفر و یک منطقی

IoH : حداکثر جریانی که خروجی هنگام بالا بودن می تواند بدهد.

IoL : حداکثر جریانی که خروجی هنگام پایین بودن می تواند بگیرد.

fan in

حداکثر تعداد ورودی که گیت می تواند داشته باشد.

یک اصل مهم مهندسی

برون دهی یا **fan out** : حداکثر تعداد ورودی که می توان به خروجی یک گیت وصل کرد.

Fan out high = IoH / IiH Fan out low = IoL / IiL

Fan out = min {fan out L , fan out H}

همیشه در طراحی باید بدترین شرایط رو در نظر گرفت !

جلسه آینده...

- مشخصات پویای گیت
- بررسی پارامترهای دیگر کارایی گیت های منطقی

مبانی الکترونیک دیجیتال
جلسه چهاردهم

مشخصات پویا

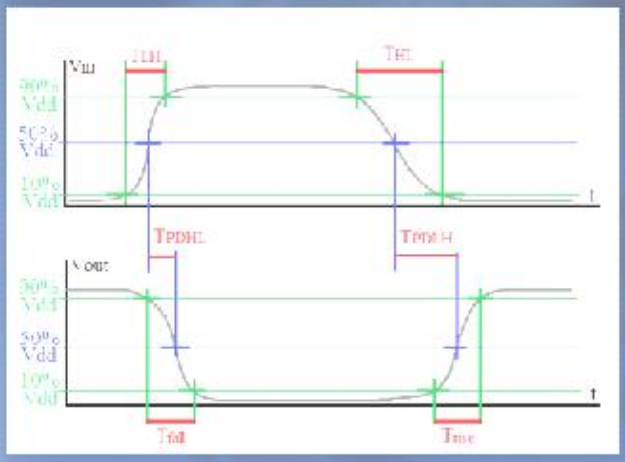
بررسی مشخصات گیت در حالتی که ورودی‌ها و خروجی در حال تغییر هستند.

- بررسی زمان تغییر ورودی
- بررسی زمان تغییر خروجی
- بررسی زمان انتقال تغییر ورودی به خروجی

عوامل ایجاد تاخیر

- اثر خازنی (شارژ و دشارژ خازن های مدار از طریق مقاومت)
- اثر سلفی
- تاخیر در سیم های انتقال دیتا در چیپ یا در برد

بررسی زمان تغییر ورودی تا خروجی



بررسی زمان تغییر ورودی
TLH و THL
بررسی زمان تغییر خروجی
Trise و Tfall
بررسی زمان انتقال تغییر ورودی به خروجی
Propagation Delay
TpdLH و TpdHL

چرا مصرف توان سیستم های دیجیتال مهم است؟

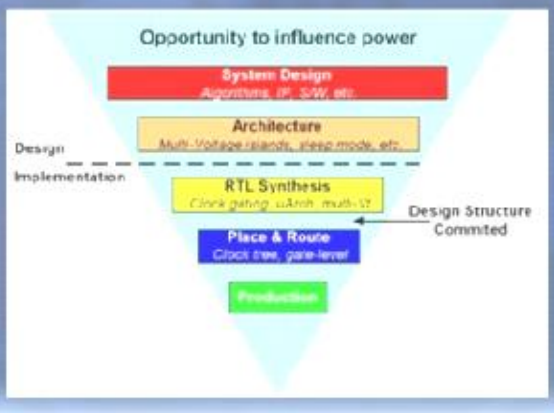
- مدارها برای کار کردن احتیاج به منبع تغذیه دارند.
- عبور جریان از مدار باعث مصرف انرژی منبع می شود.
- در سیستم های بسیار بزرگ، مصرف انرژی هزینه ی بسیار بالایی دارد.
- تعداد کامپیوترهای متوسط بسیار زیاد است.
- کامپیوترهای کوچک و قابل حمل محدودیت منبع انرژی (باتری) دارند.

توان مصرفی کل مدارهای مجتمع

- کل توان مصرفی گیت : توان ایستا + توان پویا

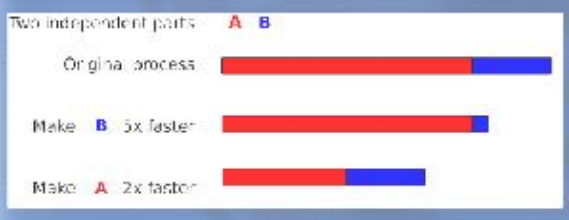
$$P = Ps + Pd$$

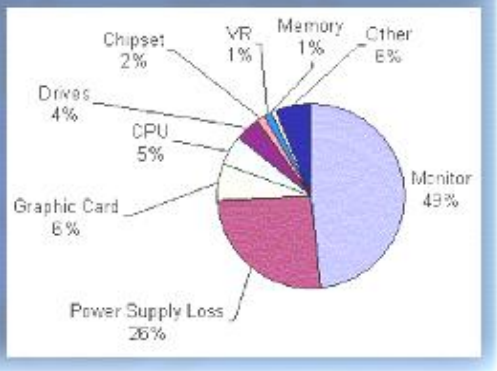
- اصولا مصرف توان و بسیاری از پارامترها روی هم اثرگذار متقابل دارند.
- مصرف توان در سطوح مختلف طراحی قابل کنترل هست.



قانون Amdahl

- قانون امدال در مورد حداکثر بهبود یافتگی در یک سیستم صحبت می کند.
- بهبود دادن بخشی که درصد بیشتری از سیستم رو تشکیل داده، اثر بیشتری خواهد داشت.
- بنابراین برای حل یک مشکل باید ابتدا به درستی تشخیص بدیم که سهم هر بخش در ایجاد یک مشکل چقدر هست.
- باید تمرکز رو روی بخشی بگذاریم که سهم بزرگ تری در بوجود آمدن مشکل بازی میکنه.





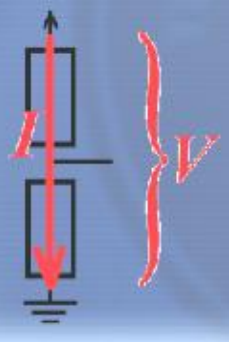
مصالحه بین توان و تاخیر

- همیشه برای به دست آوردن چیزی باید چیز دیگه ای رو از دست بدی!
- برای بهینه کردن یک پارامتر در طراحی باید پارامترهای دیگر را از حالت بهینه دورکرد
- در طرح های واقعی تعداد پارامترهای وابسته به هم و اثرگذار بی شمار است!
- دو پارامتر توان مصرفی و تاخیر با هم رابطه ی عکس دارند :
  کاهش توان ⟵ افزایش تاخیر، کاهش تاخیر ⟵ افزایش توان
- درصورت مهم بودن پارامتر خاصی در طرح، با صرف هزینه و از دست دادن مزایای دیگر به هدف نزدیک می شویم.
- درصورت مهم بودن هر دو پارامتر تاخیر و توان ، طراح سعی درحداقل‌کردن حاصل‌ضرب Power.Delay می کند.
- خیلی از جاها به جای مطرح کردن تنهای تاخیر یا توان مصرفی، P.D عنوان می شود.

توان مصرفی ایستا

حاصل از عبور جریان ثابت از گیت (یا هر قطعه از مدار)

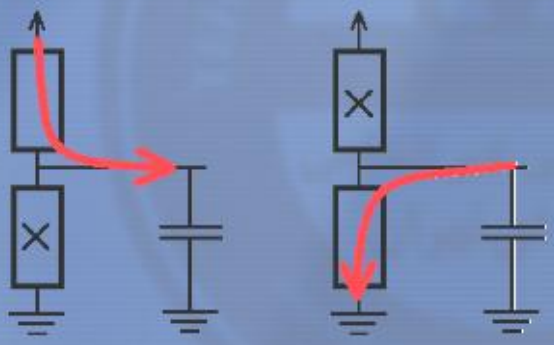
- **V**: ولتاژ تغذیه ی مدار
- **I**: جریان گذرنده از مدار در حالت ایستا
- مقدار جریان برای خروجی صفر و یک الزاما برابر نیست.
- زمان صفر بودن و یک بودن خروجی الزاما برابر نیست.



$$Ps = V.I$$
$$Ps = (\alpha)Ps1 + (1-\alpha)Ps0$$
$$Ps1 = V.I1$$
$$Ps0 = V.I0$$

توان مصرفی پویا

- حاصل از شارژ و دشارژ خازن های مدار در اثر تغییر وضعیت خروجی
- C : اثر خازنی کل مدار (وابسته به مدار و تکنولوژی ساخت)
- f : فرکانس پالس ساعت مدار
- V^2 : مجذور ولتاژ تغذیه



$$Pd = f.C.V^2$$

جلسه آینده...

بررسی موارد دیگر اثرگذار بر:

- ✓ کارایی مدارهای مجتمع
- ✓ هزینه ی ساخت مدارهای مجتمع
- ✓ روند طراحی مدارهای مجتمع

...

مبانی الکترونیک دیجیتال

جلسه پانزدهم

مجتمع سازی

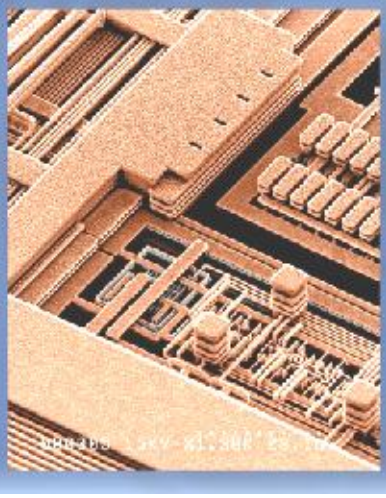
- **مجتمع سازی** : تکنیکی که به کمک آن المان ها و سیم های متصل کننده ی آنها در قالب تراشه هایی فشرده و با اطمینان پذیری زیاد و هزینه ی کم ساخته می شوند.
- **دلایل مجتمع سازی:**
  - مساحت بسیار کم مدار (فشردگی)
  - مصرف توان بسیار کم
  - نیاز به آزمون پذیری کم در سطح سیستمی
  - اطمینان پذیری زیاد (کیفیت بالای اتصالات)
  - سرعت بسیار زیاد (خازن های بار بسیار کوچک)
  - هزینه ی ساخت کم در تولید انبوه

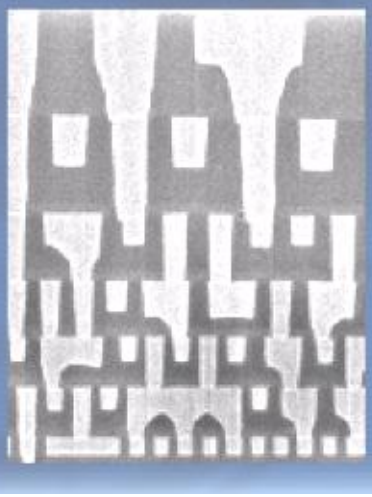
روند رشد

- در هر فن آوری جدید ساخت اندازه نما (فاصله ی بین درین تا سورس ترانزیستور) 0.7 برابر می شود.
- **قانون مور** : گوردن مور در سال ۱۹۶۵ پیش بینی کرد که تعداد ترانزیستورهایی که می توان روح سطح ثابتی از تراشه جا داد تقریبا هر ۱۸ ماه دو برابر می شود.
  این پیش بینی همچنان رشد ترانزیستورها را نشان می دهد!(پیش بینی می شود که تا ۲۰۱۶ حافظه هایی با ظرفیت ۱۲۸ گیگابایت ساخته می شوند)
- در مدارهای هم زمان ، مدار با پالس ساعت هم سرعت است. در حال حاضر(۲۰۱۱) با گذشت هر ۲,۷ سال سرعت مدار ۲ برابر می شود.
- کاهش ولتاژ تغذیه باعث کاهش توان مصرفی می شود. ولتاژ تغذیه در حال حاضر (۲۰۱۱) به 0.8V رسیده. باوجود این ، به دلیل زیاد شدن ترانزیستورها روی یک تراشه، مصرف توان تراشه ها رو به افزایش است.

روند رشد

- در حال حاضر (۲۰۱۱) تعداد لایه های اتصالات به کار رفته در تراشه ۱۰ لایه فلز است.
- با معرفی هر فن آوری جدید ،متوسط قیمت ترانزیستور کاهش پیدا می کند. در حال حاضر (۲۰۱۱) قیمت متوسط یک ترانزیستور در مدار مجتمع .01 میکرو سنت! است.





روند طراحی تا ساخت

توصیف سیستم

اطلاعات و محدودیت های مورد نیاز طرح ، حداقل فرکانس کاری ، حداکثر توان مصرفی قابل قبول ، ...

طراحی عملکرد

توصیف عملکرد یا توصیف مسیر انتقال ثبات ها استفاده از زبان های توصیف سخت افزار (HDL)

طراحی منطقی

پیاده سازی طرح با استفاده از کتابخانه های طراحی

پیاده سازی مدارهای منطقی با استفاده از مدارهای الکترونیک دیجیتال

طراحی مداری

مشخص کردن جای مدارها و مسیر سیم‌ها، به‌طوری که مساحت و فرکانس بهینه شود.

طراحی چیدمان

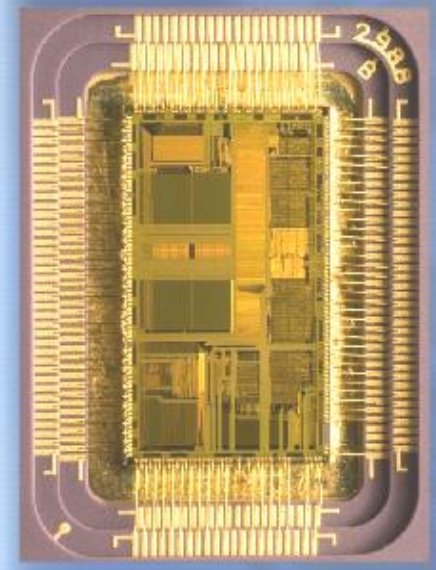
تولید ماسک های مختلف برای ساخت مدار

ساخت

Synthesis : تبدیل یک توصیف سطح بالاتر به توصیفی در سطح پایین‌تر و با جزئیات بیشتر را سنتز گویند.

Verification : هر مرحله احتیاج به وارسی و حصول اطمینان از صحت عملکرد طرح است.

سلسله مراتب در طراحی



- طراحی مدارهای مجتمع با کمک سلول های از پیش ساخته شده.(شبیه برنامه‌نویسی شی‌گرا یا استفاده از توابع کتابخانه ها)
  - قابلیت استفاده ی مجدد
  - طراحی بهینه و دقیق سلول ها
- روند رشد تکنولوژی از روند طراحی پیشی گرفته است.
- استفاده از ابزارهای اتوماتیک برای پیاده سازی طرح ها.
- دلیل رشد الکترونیک دیجیتال در مقایسه با مدارهای آنالوگ ، طراحی سلسله مراتبی است.

هزینه ی ساخت مدارهای مجتمع

- **هزینه های ثابت**
  - مستقل از میزان تولید
  - مقدار زمان و نیروی انسانی برای تولید طرح
  - هزینه ی تجهیزات کارخانه ، تحقیق و توسعه ، بازاریابی ، ساختمان ، ...
- **هزینه های متغیر**
  - متناسب با حجم تولید
  - قیمت قطعات به کار رفته در محصول
  - قیمت ساخت و بسته بندی
  - تست محصول

$$\text{قیمت هر تراشه} = \frac{\text{قیمت ثابت} + \text{قیمت متغیر}}{\text{تعداد محصول}}$$

بارآوری

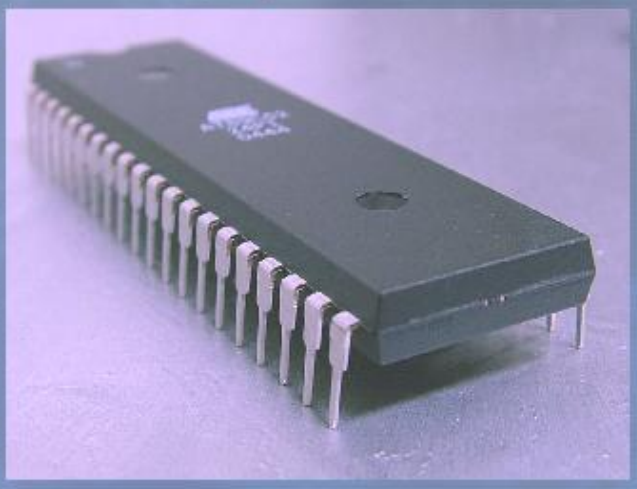
- **عوامل موثر در درصد سالم بودن محصول**
  - مساحت تراشه (متناسب با توان چهارم مساحت)
  - تکنولوژی ساخت
  - پیچیدگی فرایند ساخت (متناسب با تعداد ماسک ها)

$$\text{تعداد محصول} = \text{درصد سالم} * \text{تعداد همه ی تراشه ها}$$

$$\text{قیمت متغیر} = \frac{\text{قیمت تراشه} + \text{قیمت تست} + \text{قیمت بسته‌بندی}}{\text{تعداد محصول}}$$

جلسه آینده...
مقدمه ای بر خانواده های مدارهای دیجیتال
RDL , RTL

مبانی الکترونیک دیجیتال
جلسه شانزدهم



خانواده های مختلف مدارهای دیجیتال

- **مجموعه ی گیت های کامل** : مجموعه ای از گیت ها که با آن ها بتوان هر رابطه ی جبری را پیاده سازی کرد:

  {not , and , or}

  {nand , nor}

- یک خانواده از گیت های منطقی، مدارهایی هستند که خصوصیات مشترکی دارند، مثل ولتاژ تغذیه ، قابلیت به پشت هم بسته شدن ، ...

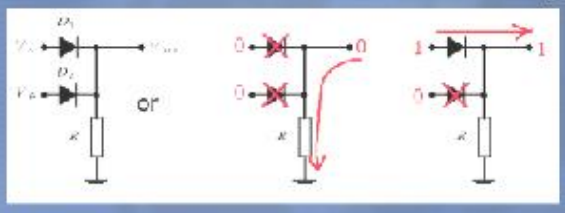
- برای دیدن لیستی از خانواده های منطقی به پیوند زیر مراجعه کنید:

  http://en.wikipedia.org/wiki/Logic_family

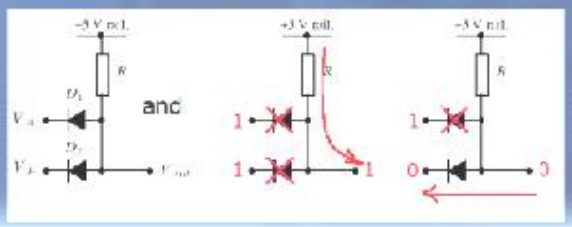
RDL : and , or

http://www.play-hookey.com/digital/electronics/dl_gates.html

- این گیت ها از Resistor و Diode تشکیل شده اند.
- گیت های and و or را پیاده سازی می کنند اما گیت not ندارند ← همه ی توابع منطقی را با این گیت ها نمی شود ساخت.
- پشت سر هم بستن این گیت ها ممکن نیست.
- این مدارها بسیار کند هستند.



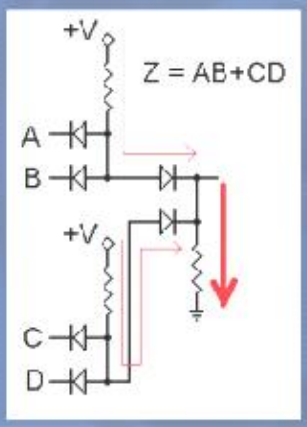
Out=0 → Vout = 0 + I.R
Out=1 → Vout ≈ Vin – Vf

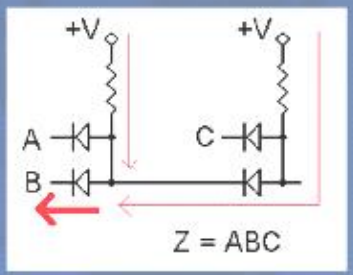


Out=0 → Vout ≈ Vin + Vf
Out =1 → Vout = Vdd – I.R

به هم بستن گیت های RDL

- افت ولتاژ (non restoring logic)
- افزایش جریان ها (fan out)

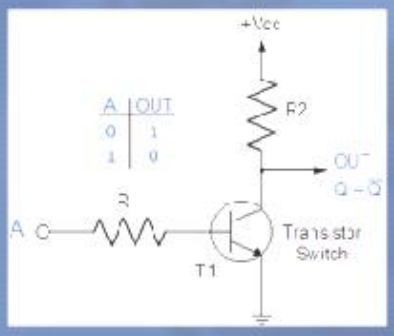


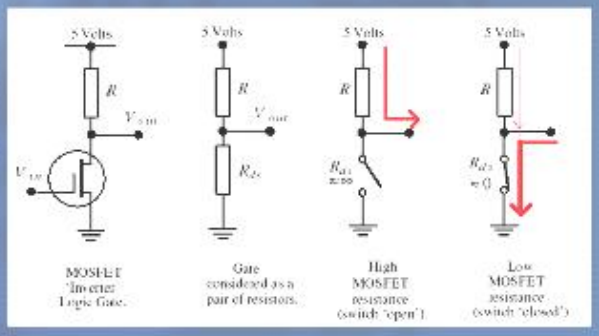


RTL : not

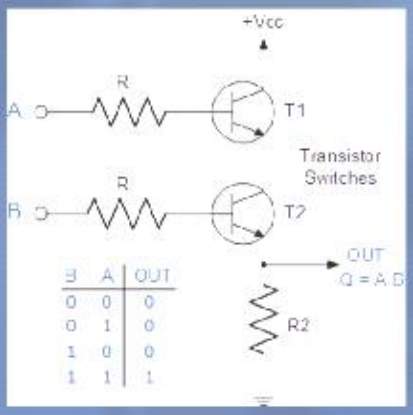
http://www.play-hookey.com/digital/electronics/rtl_gates.html

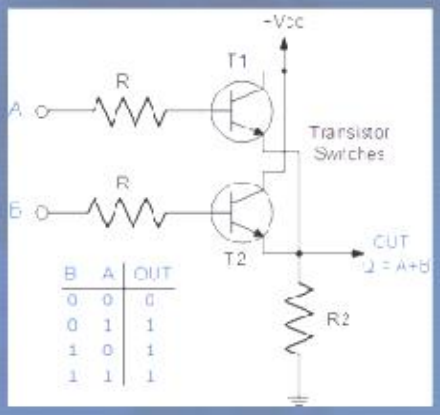
- در این خانواده از Resistor و Transistor استفاده شده است.
- ترانزیستور مثل سوییچ عمل می کند و خاصیت تقویت کنندگی دارد.



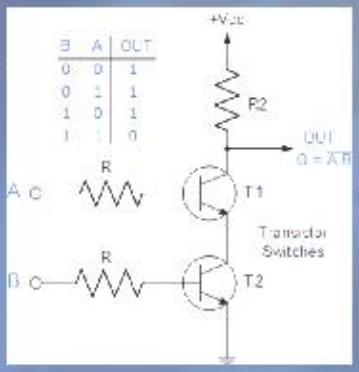


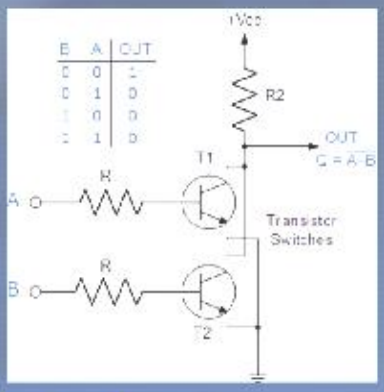
RTL : and , or





RTL : nand , nor





مشخصات خانواده ی RTL :

Vcc = 3V

Power ≈ 20mW per gate

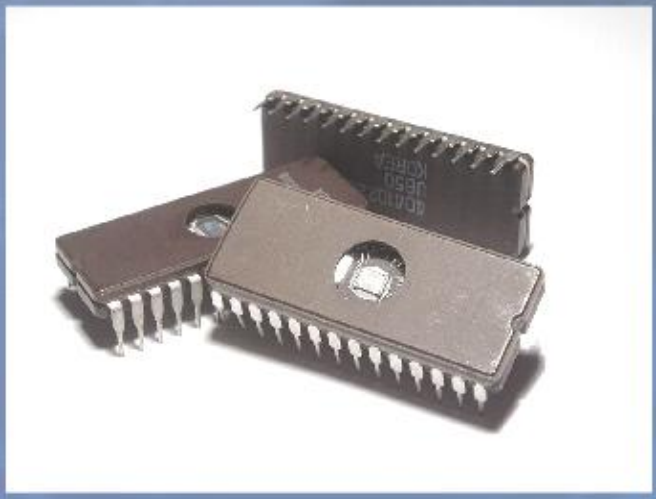
Tp ≈ 12ns

Noise Margin : کم

جلسه آینده...

- ✓ خانواده ی DTL
- ✓ خانواده ی TTL

مبانی الکترونیک دیجیتال
جلسه هفدهم



DTL

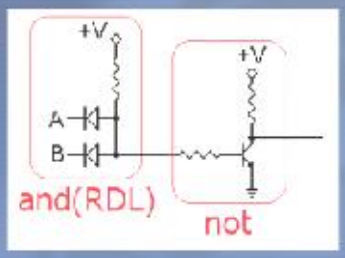
در این گیت ها مشکلات گیت های RDL با استفاده از ترانزیستور برطرف شده.

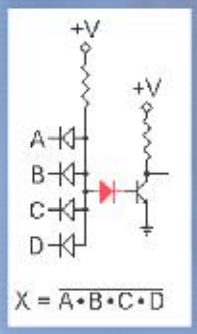
http://www.play-hookey.com/digital/electronics/dtl_gates.html

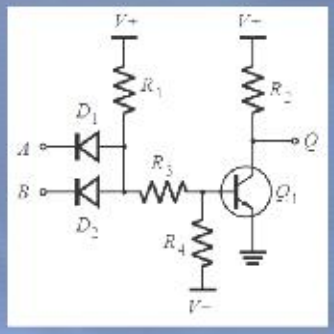
مشخصات خانواده DTL

- Vcc = 5V
- Power : 15 mW per gate
- Tp = 30ns
- Noise Margin : good
- Fan out = 12

DTL : nand



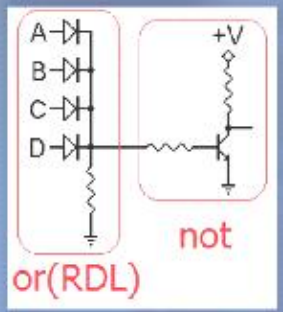




برای برطرف کردن مشکلات RDL از گیت notاستفاده می کنیم
خاصیت تقویت کنندگی ترانزیستوردرگیت notمشکلات گیت های RDL را حل می کند
برای خاموش شدن ترانزیستور از دو روش استفاده می کنند:

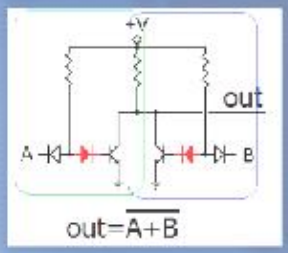
- با قرار دادن دیود قرمز رنگ بین دو مدار، 7. ولت به ولتاژ تحریک ترانزیستوراضافه می شود
- به وسیله ی تقسیم ولتاژ بین دو مقاومت (R3 , R4) ولتاژکمتری به بیس ترانزیستور اعمال می شود

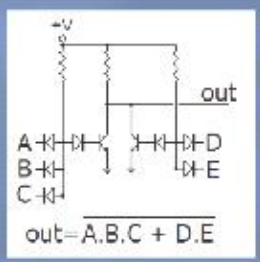
DTL : nor



- بااضافه کردن not به گیت or از خانواده ی RDL ، گیت nor به دست می آید.
- راه دیگرساختن گیت nor ، اضافه کردن ترانزیستورهای موازی بیشتردرPDNاست. روشن شدن هرکدام ازاین ترانزیستورهای موازی، باعث صفر شدن خروجی می شود.
- می توان با اضافه کردن دیودهای بیشتر درورودی، تابع and را در کنار nor به دست آورد.

AOI : And – Or – Invert





DTL بهبود یافته

برای افزایش حاشیه ی نویز صفر، دیود آبی رنگ رو اضافه می کنیم.
برای روشن شدن ترانزیستور باید ولتاژ ورودی حداقل مقدار زیر را داشته باشد:

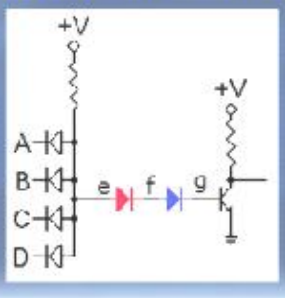
Ve - .7 - .7 = Vg , Ve -.7 = Vin

Vbe = .7 ➔ diode be: forward bias

Vbe = Vg – 0 = Vg

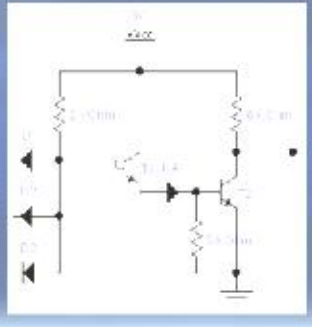
Vbe=.7 ➔ Ve – 1.4 = .7 ➔ Ve = 2.1

Vin = Ve - .7 ➔ Vin = 1.4

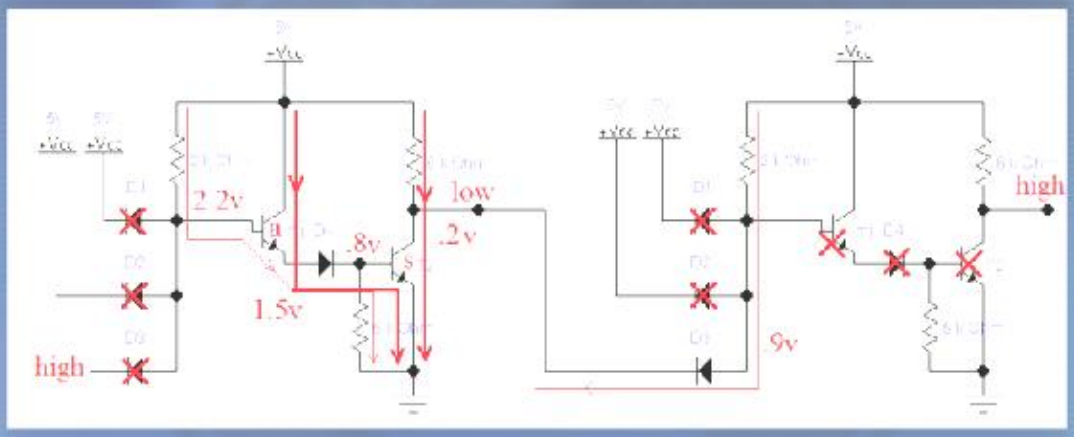


HDTL

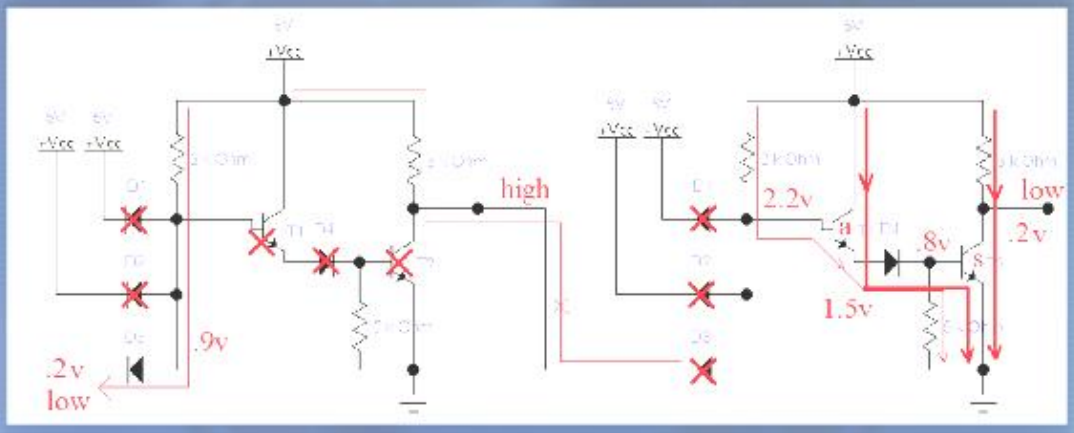
- در مدارهای قبلی، ترانزیستور T2 با جریانی که از مقاومت 2K می‌گذرد روشن می‌شود.
- برای افزایش سرعت در روشن شدن T2 از ترانزیستور T1 استفاده می‌شود. با این روش جریان زیادتری ترانزیستور خروجی را تحریک می کند.
- برای افزایش سرعت درخاموش شدن T2 ، مقاومت 5K به بیس و زمین وصل شده است. این مقاومت با تخلیه ی سریع باربیس به زمین باعث زود خاموش شدن ترانزیستورمی‌شود.
- دیود بیس-امیتر T1 به جای دیود افزایش حاشیه نویز صفر کاربرد دارد.



به هم بستن HDTL خروجی صفر



به هم بستن HDTL خروجی یک

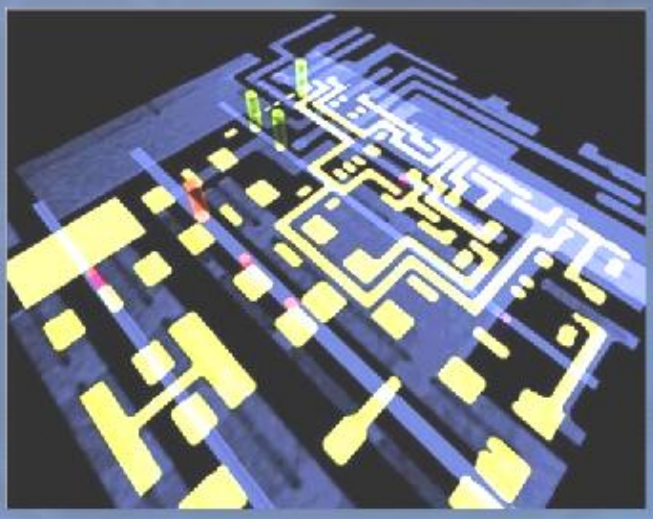


جلسه آینده...

- بررسی گیت های TTL

مبانی الکترونیک دیجیتال

جلسه هجدهم



TTL

مشکلات خانواده ی DTL رو با جایگزین کردن دیود با ترانزیستور و تغییرات جزیی دیگر برطرف کردند ، به این خانواده ی جدید TTL می گویند.

دلیل کند بودن خانواده ی DTL :

ورودی کند: بار موجود در بیس ترانزیستور خروجی باید در مقاومت 5K تخلیه شود.

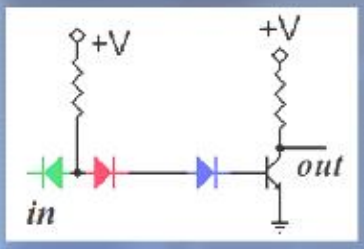
خروجی کند:درصورت یک شدن خروجی،خازن خروجی باید از طریق مقاومت شارژ شود.

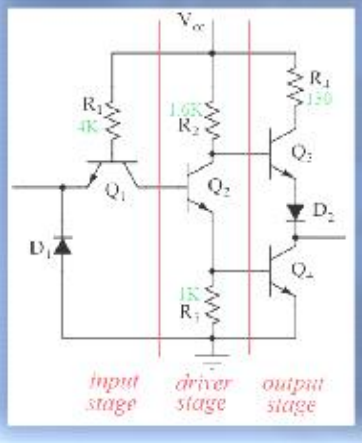
http://www.play-hookey.com/digital/electronics/ttl_gates.html

مشخصات خانواده TTL

- Vcc = 5v
- Power : 11mw
- Tp = 10ns
- Noise Margin : 0.4v

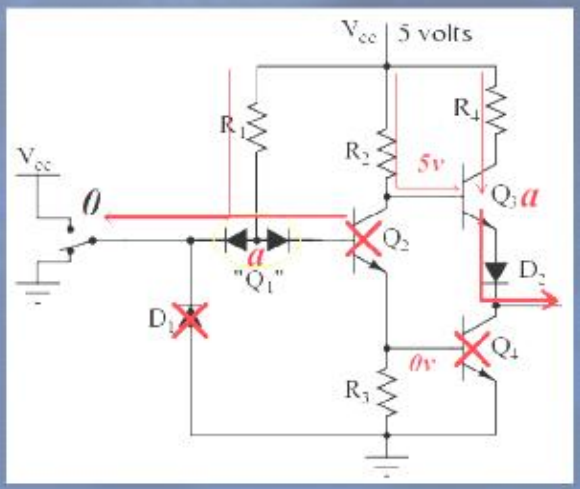
ساختار خانواده ی TTL



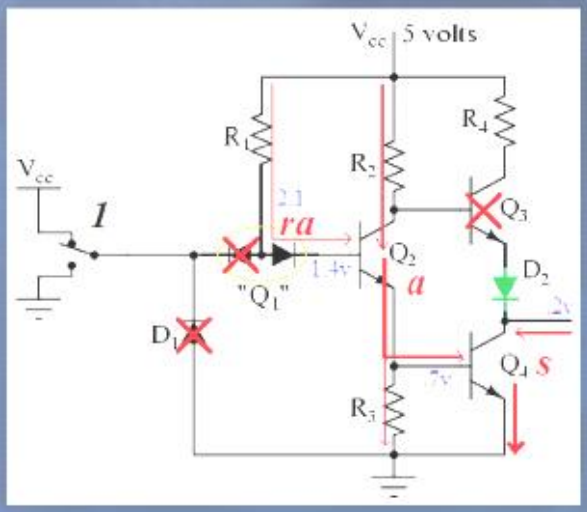


- به جای دیودهای سبز و قرمز رنگ که در DTL بودند، ترانزیستور Q1 جایگزین شد.
- دیود بیس-امیتر ترانزیستور Q2 به جای دیود آبی رنگ، حاشیه ی نویز را افزایش می دهد.
- برای افزایش سرعت شارژ خازن خروجی و کاهش مصرف توان استاتیک صفر، به جای مقاومت خروجی، ترانزیستور Q3 قرار گرفته.
- به این طبقه ی خروجی totem pole گفته می شود. برای تحریک این دو ترانزیستور مجبور به اضافه کردن طبقه ی میانی یا راه انداز هستیم.

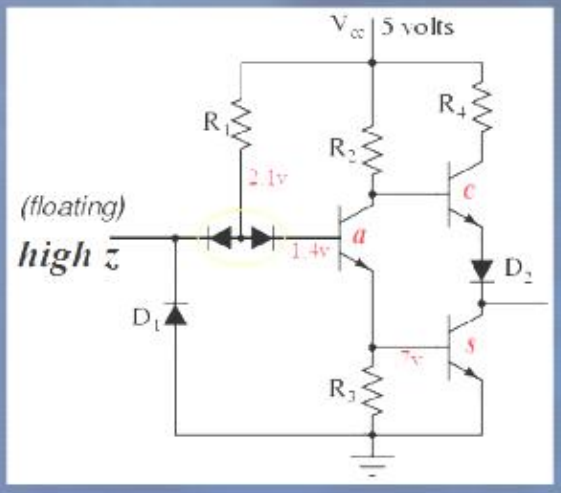
TTL : not , in=0



TTL : not , in=1



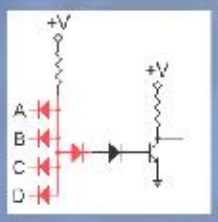
TTL : not , in=Z

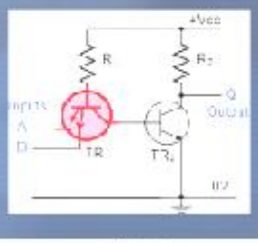


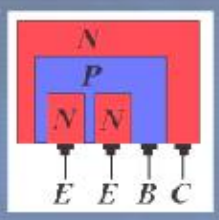
TTL : nand

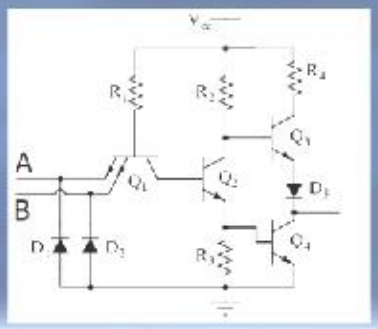
ترانزیستور BJT با چندین امیتر

- اگر جریان از بیس به سمت هرکدام ازامیترهاجاری‌شود،ترانزیستورروشن‌می‌شود.



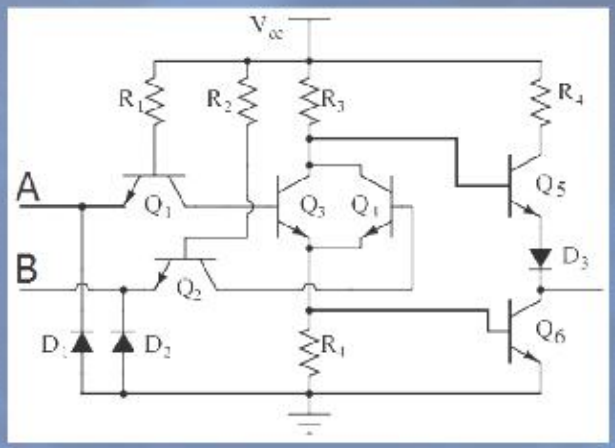






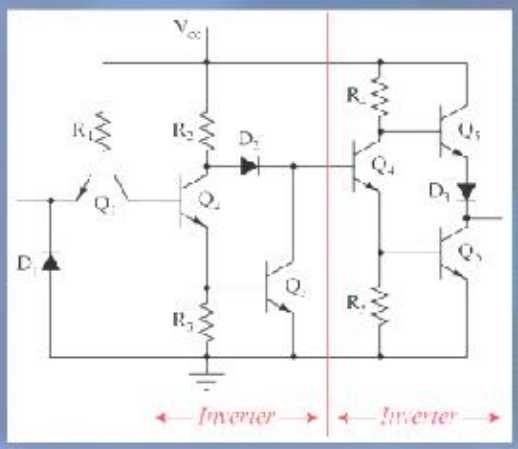
TTL : nor

- در طبقه ی راه انداز تابع **nor** پیاده سازی می شود.
- برای پیاده سازی توابعی به فرم **AOI** چه کاری می توان کرد؟

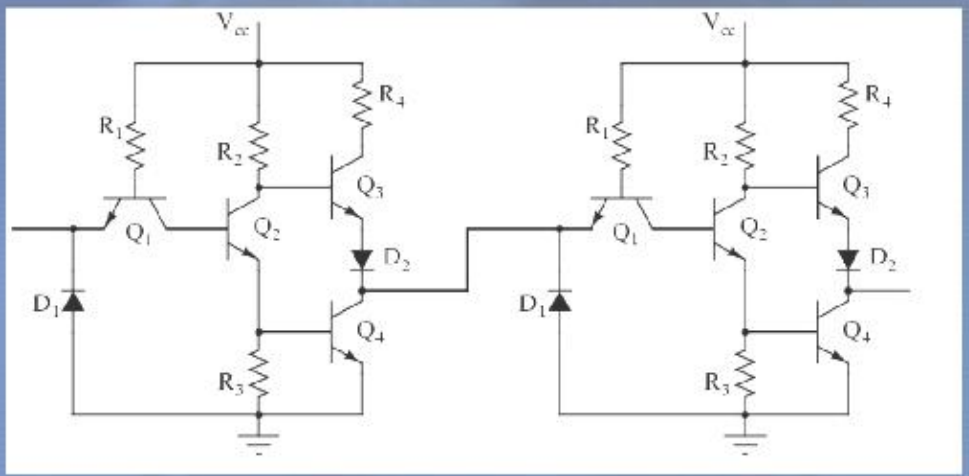


TTL : buffer

- بافر از دو معکوس کننده ی پشت سر هم تشکیل شده.
- برای پیاده سازی توابع **or** و **and** نیز از همین روش استفاده می کنند.



به هم بستن TTL

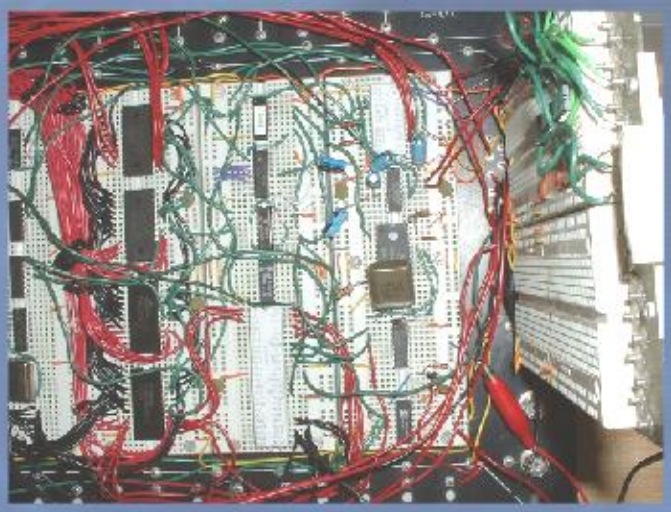


جلسه آینده...

- گیت با خروجی کنترل شونده
- گیت با خروجی کلکتور باز
- آشنایی با خانواده ی ECL

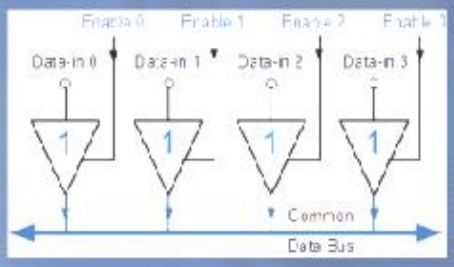
مبانی الکترونیک دیجیتال

جلسه نوزدهم



خروجی سه حالته

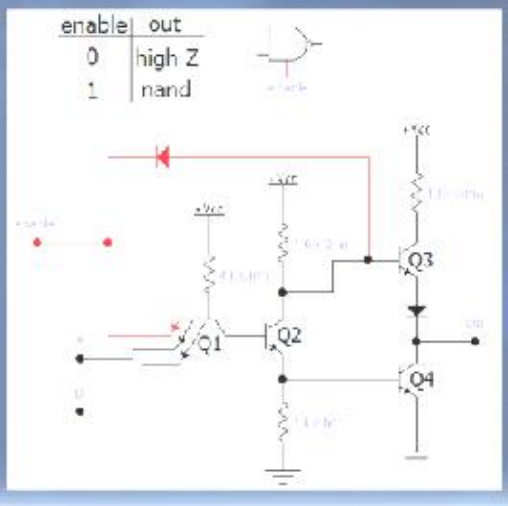
PUN	PDN	Out
x	x	High impedance Z
x	✓	0
✓	x	1
✓	✓	x



- گیت های منطقی به غیر از خروجی های صفر و یک ، مقدار سومی هم می توانند داشته باشند.
- در مقدار سوم امپدانس خروجی بسیار بالا هست.
- برای تولید این حالت ، PUN و PDN هردوقطع هستند.
- کاربرد خروجی سه حالته در کنترل وصل بودن یا قطع بودن خروجی از بقیه ی مدار است.
- یکی از کاربردهای گیت های سه حالته پیاده سازی مدار انتخابگرداده است.دراین کاربرد یک مدارکدگشا هر بار فقط یکی از خروجی ها را به باس متصل می کند و بقیه از باس جدا هستند.

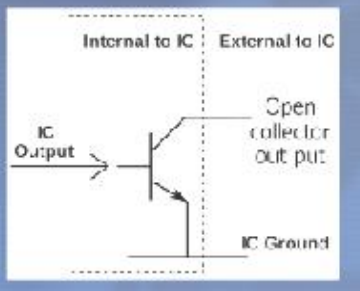
پیاده سازی خروجی سه حالته

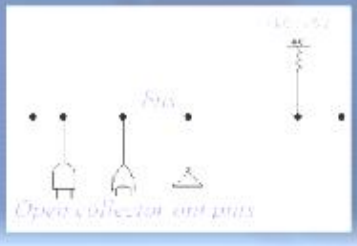
- در خانواده های مختلف ، به روش های متفاوتی گیت سه حالته پیاده سازی می شود.
- پیاده سازی گیت با خروجی کنترل شونده در خانواده ی TTL

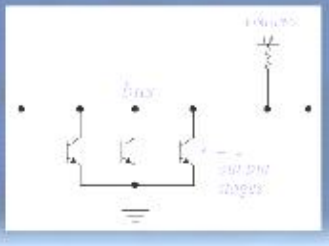


خروجی کلکتور باز

- در گیت هایی که خروجی آن ها کلکتور باز است، PUN پیاده سازی نمی شود.
- نداشتن PUN این امکان را می دهد تا با اتصال مستقیم خروجی های گیت های مختلف، منطق سیمی AND را پیاده سازی کنیم.
- هر کدام از خروجی ها فعال شوند، باس مقدارصفرمنطقی پیدا می کند.
- برای تامین یک منطقی در زمانی که همه ی خروجی ها غیرفعال هستند،احتیاج به‌یک مقاومت خارجی بالاکشنده است.







ECL

دلیل کند بودن خانواده ی TTL :

- تغییر حالت ترانزیستورها به قطع و اشباع و اکتیو

راه حل

- جلوگیری از اشباع شدن ترانزیستورها ؛ دراکثرخانواده های اصلاح شده ی TTL
- استفاده از خانواده ی منطقی ECL

http://www.play-hookey.com/digital/electronics/ecl_gates.html

مشخصات خانواده ECL

- **Vee : !!!**
- **Power : 25mw**
- **Tp = 2ns**
- **Noise Margin : 0.4v**

طرز کار گیت های ECL

عملکرد تفاضلی

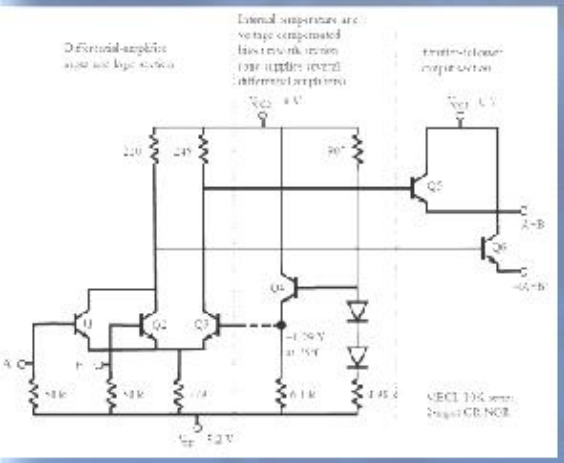
خروجی های مکمل

عملکرد همه ی ترانزیستورها در ناحیه‌ی فعال

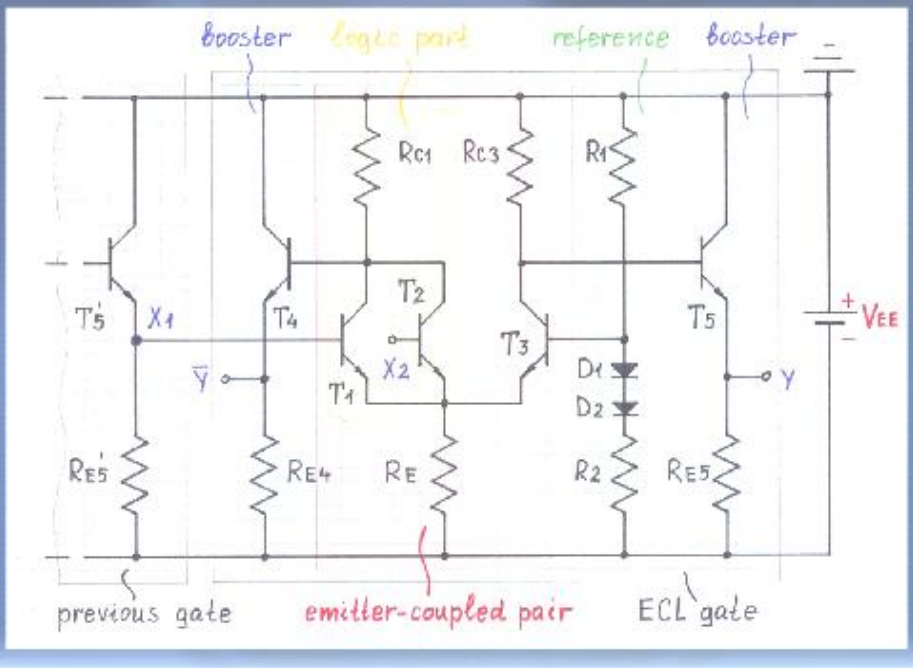
- حذف زمان شارژ ودشارژ باردرترانزیستورها
  ← افزایش سرعت
- عبور دائم جریان از همه ی قطعات
  ← مصرف بالای توان

مدار منبع ولتاژ مرجع

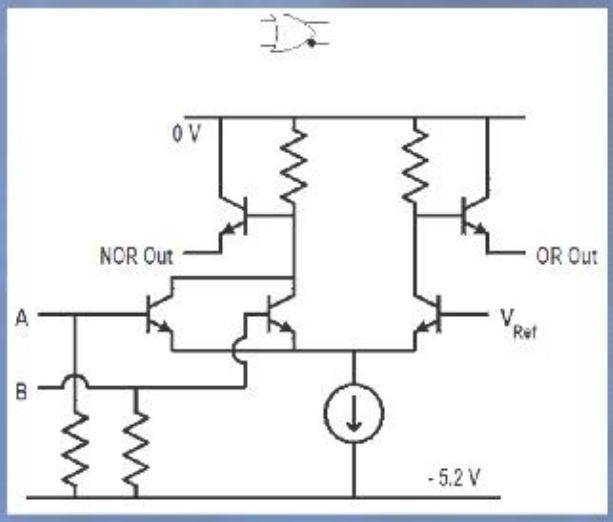
- جبران ساز حرارتی
- استفاده‌ازیک منبع ولتاژمرجع برای چندین گیت



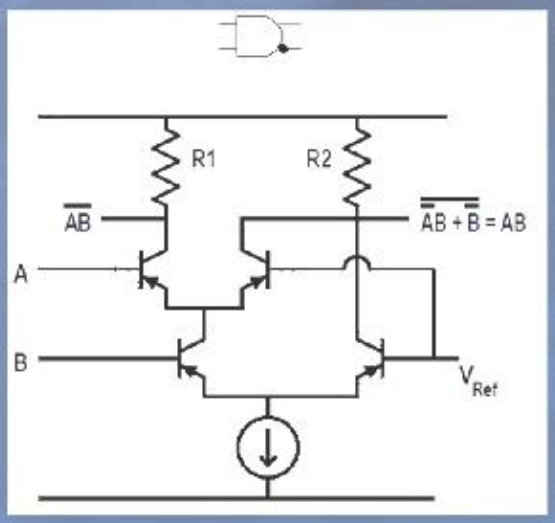
ساختار خانواده ی ECL



ECL : or & nor



ECL : and & nand



نکات دیگر در مورد خانواده ی ECL

- منطق حالت جریان (**Current Mode Logic**) محدود به **ECL** نیست.
- مصرف توان بسیار بالا
- عدم امکان مجتمع سازی در مقیاس وسیع
- استفاده در موارد خاص (طبقه ی اول شمارنده)
- انتخاب خانواده های جدید به جای **ECL**

جلسه آینده...

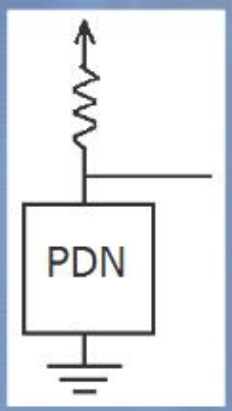
- خانواده ی NMOS
  - بار مقاومتی
  - شبه NMOS

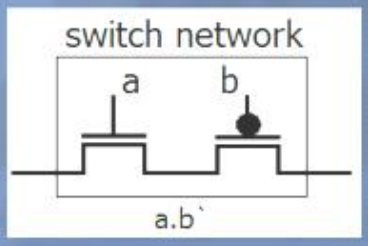
مبانی الکترونیک دیجیتال

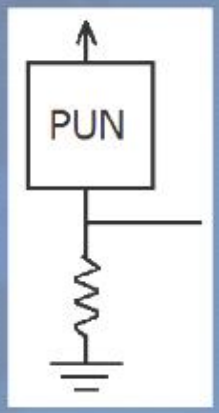
جلسه بیستم

یادآوری منطق کلیدزنی

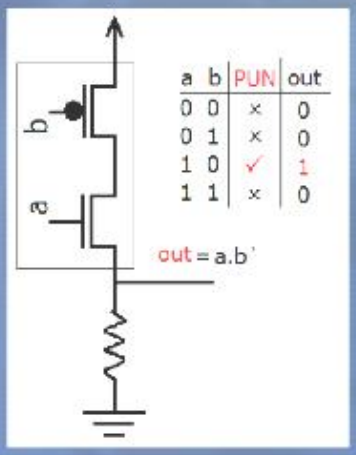
- شبکه های ترانزیستور که با ورودی ها کنترل می شوند Active هستند.
- به شبکه هایی که با ورودی کنترل نمی شوند Load گفته می شود.



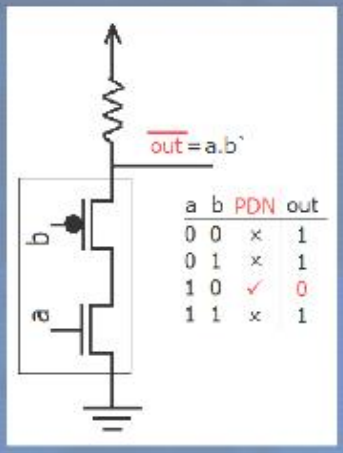




گیت با بار منفعل



a	b	PUN	out
0	0	×	0
0	1	×	0
1	0	✓	1
1	1	×	0

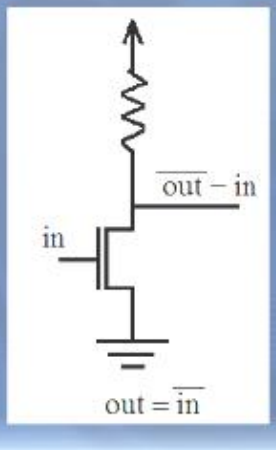


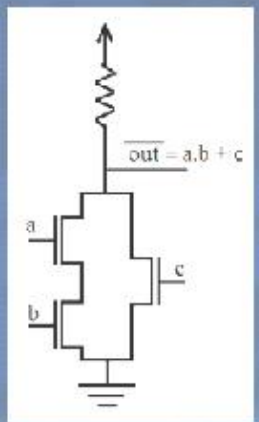
a	b	PDN	out
0	0	×	1
0	1	×	1
1	0	✓	0
1	1	×	1

گیت NMOS با بار مقاومتی

معایب

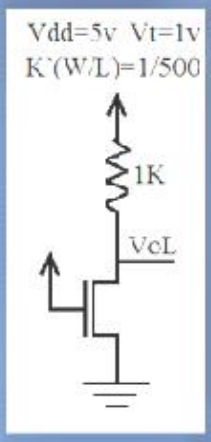
- پیاده سازی مقاومت در مدارهای مجتمع سخت هست و جای زیادی را اشغال می کند.
- در خروجی صفر توان استاتیک مصرف می کند.





حل گیت not با بار مقاومتی

VoL :



Vgs=5-0=5 , 5>1 ; vgd=5-VoL ; ➔ t : Linear

KCL : Ir = It ➔ (5-VoL)/R = 0.5K`(W/L) [2(Vgs-Vt)Vds – Vds^2]

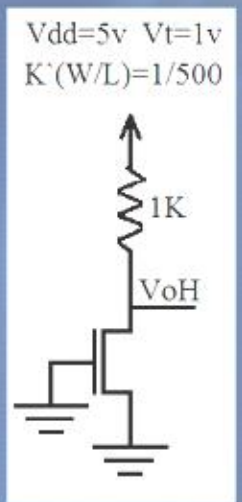
(5-VoL)/1k = 0.5*(1/500) [2(5-0 - 1)VoL – VoL^2]

(5-VoL) = [2(4)VoL – VoL^2] ➔ 5 - VoL = 8VoL – VoL^2

این مقدار برای VoL مناسب نیست. چرا؟

حل گیت not با بار مقاومتی

VoH :



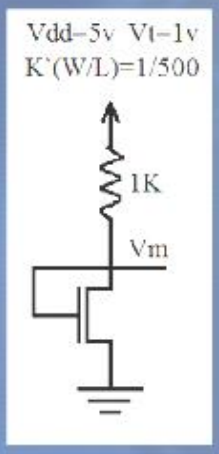
Vgs=0-0=0 , 0<1 ; ➔ t : Cut off

KCL : Ir = It = 0

KVL : 5 – I.R – VoH = 0 ➔ 5 – I.R = VoH

VoH = 5 – 0 = 5

حل گیت not با بار مقاومتی



Vm :

Vgd=Vm-Vm=0 , 0<1 ; ➔ t : Saturation

KCL : Ir = It

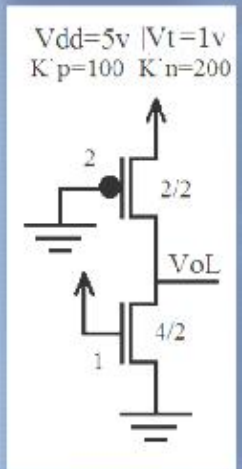
(5-Vm)/R = 0.5K`(W/L).(Vgs-Vt)^2

(5-Vm)/1K = 0.5(1/500).(Vm-0 - 1)^2

5 - Vm = (Vm - 1)^2

حل گیت not شبه NMOS

VoL



1: Vgs=5-0=5 , 5>1 ; vgd=5-VoL ; ➔ t1 : Linear

2: Vgs=0-5=-5 , -5<-1 ; Vgd=0-VoL ; ➔ t2 : Saturation

KCL : It1 = It2

0.5K`(W2/L2).(Vgs-Vt)^2 = 0.5K`(W1/L1) [2(Vgs-Vt)Vds – Vds^2]

(Vgs2 – Vt)^2 = 4 [2(Vgs1 - Vt)Vds – Vds^2]

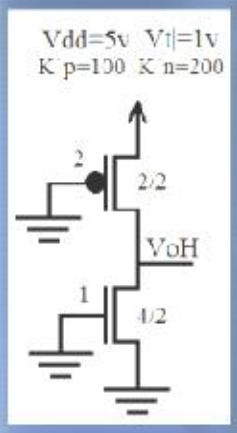
(0-5 – -1)^2 = 4 [2(5-0 - 1)VoL – VoL^2]

16 = 4 [2(4)VoL – VoL^2] ➔ 4 = 8VoL – VoL^2

حتما به جواب آخر برسید و از دو جواب به دست آمده مقدار غلط را مشخص کنید و سپس مقدار دوم را تست کنید.

حل گیت not شبه NMOS

VoH :



1: Vgs=0-0=0 , 0<1 ; ➔ t1 : Cut off

2: Vgs=0-5=-5 , -5<-1 ; Vgd=0-VoL ; ➔ t2 : Linear

KCL : It1 = It2 = 0

0.5K`(W2/L2) [2(Vgs-Vt)Vds – Vds^2] = 0

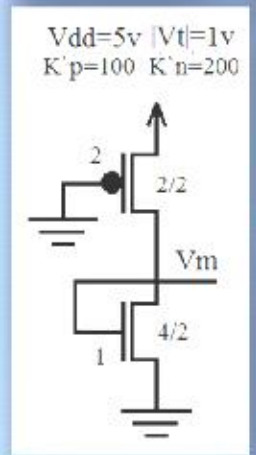
[2(Vgs - Vt)Vds – Vds^2] = 0

[2(0-5 - -1)(VoH - 5) – (VoH - 5)^2] = 0

-8(VoH - 5) - (VoH - 5)^2 = 0 ➔ (VoH - 5) (8+(VoH - 5)) = 0

حل گیت not شبه NMOS

Vm :



1: Vgs=Vm-0=Vm ; vgd=Vm-Vm=0 , 0<1 ; ➔ t1 : Saturation

2: Vgs=0-5=-5 , -5<-1 ; Vgd=0-Vm=-Vm ; ➔ t2 : Linear

KCL : It1 = It2

0.5K`(W1/L1).(Vgs-Vt)^2 = 0.5K`(W2/L2) [2(Vgs-Vt)Vds – Vds^2]

4.(Vgs1 - Vt)^2 = [2(Vgs2 - Vt)Vds – Vds^2]

4.(Vm-0 - 1)^2 = [2(0-5 - -1)(Vm-5) – (Vm-5)^2]

4.(Vm-1)^2 = [-8(Vm-5) – (Vm-5)^2] ; Vm-5=x ➔ Vm-1=x+4

4.(x+4)^2 = -8x – x^2

جلسه آینده...

- خانواده ی NMOS
  - بار اشباع
  - بار تخلیه

مبانی الکترونیک دیجیتال
جلسه بیست و یکم

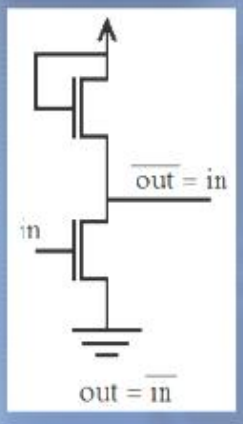
گیت NMOS با بار اشباع

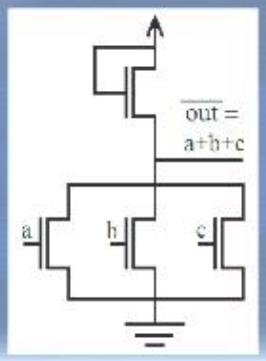
معایب

- یک منطقی به ولتاژ منبع تغذیه نمی رسد.
- هدایت شبکه ی بالاکشنده خوب نیست.
- در خروجی صفر ، توان استاتیک مصرف می کند.

مزایا

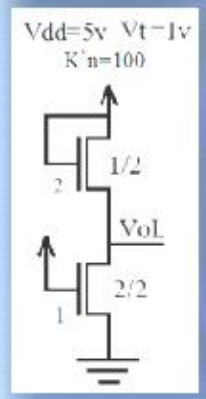
- در مقایسه با شبه NMOS احتیاج به ترانزیستور PMOS ندارد.





حل گیت not با بار اشباع

VoL



1: Vgs=5-0=5 , 5>1 ; vgd=5-VoL ; ➔ t1 : Linear

2: Vgs=5-VoL ; Vgd=0 ; ➔ t2 : Saturation

KCL : It1 = It2

0.5K`(W2/L2).(Vgs-Vt)^2 = 0.5K`(W1/L1) [2(Vgs-Vt)Vds – Vds^2]

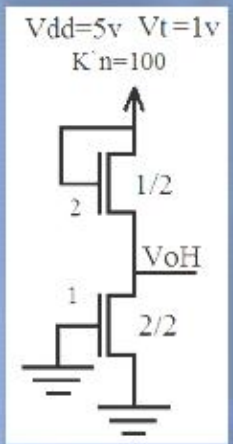
(Vgs2 – Vt)^2 = 2 [2(Vgs1 - Vt)Vds – Vds^2]

(5-VoL – 1)^2 = 2 [2(5-0 - 1)VoL – VoL^2]

(4 - VoL)^2 = 2 [8VoL – VoL^2]

حل گیت not با بار اشباع

VoH :



1: Vgs=0-0=0 , 0<1 ; ➔ t1 : Cut off

2: Vgd=0 ; ➔ t2 : Saturation

KCL : It1 = It2 = 0

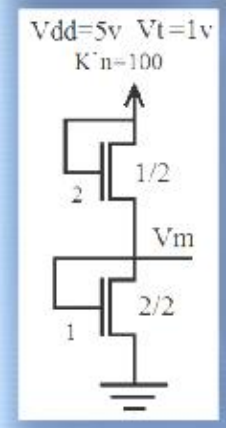
0.5K`(W2/L2).(Vgs-Vt)^2 = 0

0.5K`(W2/L2).(5-VoH - 1)^2 = 0

(5-VoH - 1)^2 = 0 ➔ (4 - VoH)^2 = 0 ➔ VoH = 4

حل گیت notبا بار اشباع

Vm :



1: Vgs=Vm-0=Vm ; vgd=Vm-Vm=0 , 0<1 ; ➔ t1 : Saturation

2: Vgs=5-Vm ; vgd=5-5=0 , 0<1 ; ➔ t2 : Saturation

KCL : It1 = It2

0.5K`(W1/L1).(Vgs-Vt)^2 = 0.5K`(W2/L2).(Vgs-Vt)^2

2(Vgs1 - Vt)^2 = (Vgs2 - Vt)^2

2(Vm-0 - 1)^2 = (5-Vm - 1)^2

2(Vm - 1)^2 = (4 - Vm)^2

√2 |Vm – 1| = |4 – Vm|

√2 (Vm – 1) = +- (4 – Vm)

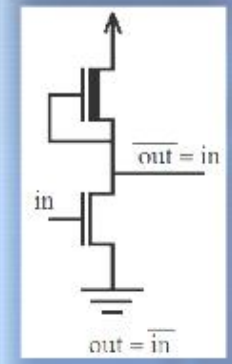
گیت NMOS با بار تخلیه

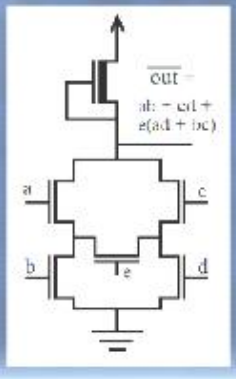
معایب

- در خروجی صفر توان استاتیک مصرف می کند.

مزایا

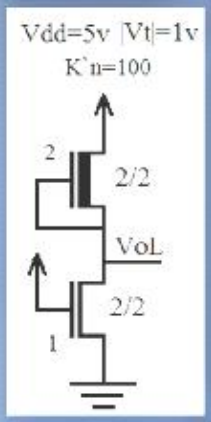
- ولتاژ یک منطقی به ولتاژ منبع تغذیه می رسد.
- عبور جریان از شبکه ی بالاکشنده در یک منطقی خوب و در صفر منطقی کم است.





حل گیت not با بار تخلیه

VoL



1: Vgs=5-0=5 , 5>1 ; vgd=5-VoL ; ➔ t1 : Linear

2: Vgs=VoL-VoL=0 , 0>-1 ; Vgd=VoL-5 ; ➔ t2 : Saturation

KCL : It1 = It2

0.5K`(W2/L2).(Vgs-Vt)^2 = 0.5K`(W1/L1) [2(Vgs-Vt)Vds – Vds^2]

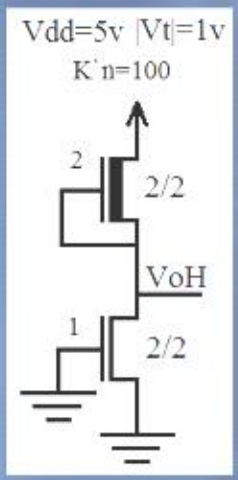
(Vgs2 – Vt)^2 = [2(Vgs1 - Vt)Vds – Vds^2]

(0 – -1)^2 = [2(5 - 1)VoL – VoL^2]

1 = 8VoL – VoL^2

حل گیت not با بار تخلیه

VoH :



1: Vgs=0-0=0 , 0<1 ; ➔ t1 : Cut off

2: Vgs=VoH-VoH=0 , 0>-1 ; Vgd=VoL-5 ; ➔ t2 : Linear

KCL : It1 = It2 = 0

0.5K`(W2/L2) [2(Vgs-Vt)Vds – Vds^2] = 0

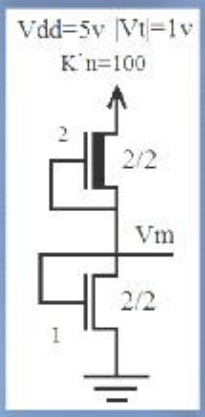
[2(Vgs - Vt)Vds – Vds^2] = 0

[2(0 - -1)(5 - VoH) – (5 - VoH)^2] = 0

2(5 - VoH) - (5 - VoH)^2 = 0 ➔ (5 - VoH) (2-(5 - VoH)) = 0

حل گیت not با بار تخلیه

Vm :



1: Vgs=Vm-0=Vm ; vgd=Vm-Vm=0 , 0<1 ; ➔ t1 : Saturation

2: Vgs=Vm-Vm=0 , 0>-1 ; Vgd=Vm-5 ; ➔ t2 : Saturation

KCL : It1 = It2

0.5K`(W1/L1).(Vgs-Vt)^2 = 0.5K`(W2/L2).(Vgs-Vt)^2

(Vgs1 - Vt)^2 = (Vgs2 - Vt)^2

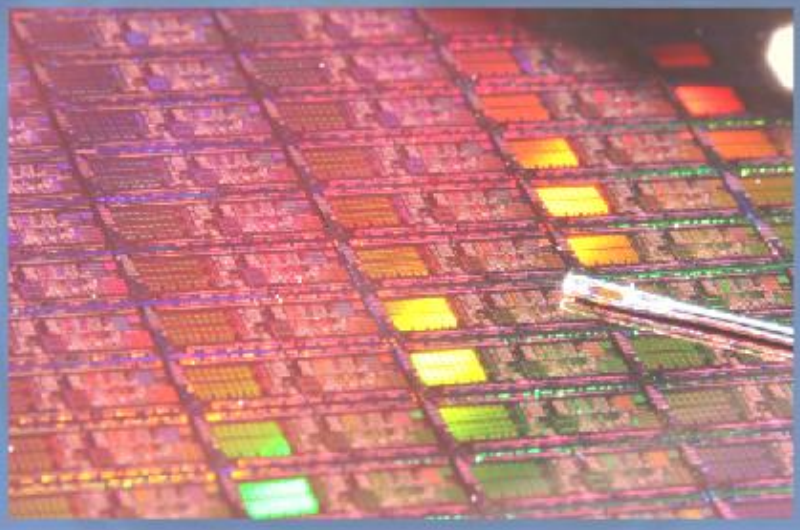
(Vm - 1)^2 = (0 - -1)^2

(Vm - 1)^2 = 1 ➔ Vm -1 = +-1

جلسه آینده...

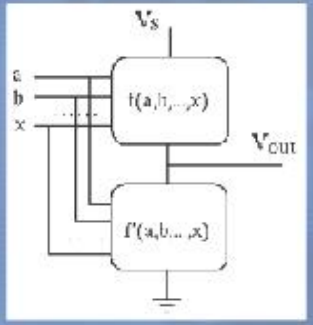
✓ خانواده ی CMOS

مبانی الکترونیک دیجیتال
جلسه بیست و دوم



طراحی گیت باPUNوPDNفعال

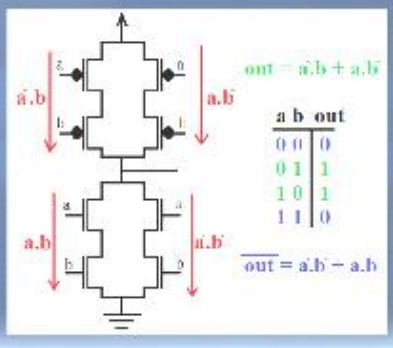
- اگر بخواهیم خروجی مدار منطقی ما فقط مقادیر منطقی (صفر و یک) باشند ، آن گاه باید شبکه ی بالا کشنده و شبکه ی پایین کشنده برعکس هم روشن و خاموش شوند.
- با استفاده از قانون دمورگان و ترانزیستورهای nmos و pmos ، شبکه هایی ساخته می شود که برعکس هم کار می کنند .
- PUN تابع خروجی را تولید می کند . PDN برعکس تابع خروجی را تولید می کند.



PUN	PDN	Out
×	×	High impedance , Z
×	✓	0
✓	×	1
✓	✓	x

به دست آوردن شبکه ها از روی تابع منطقی

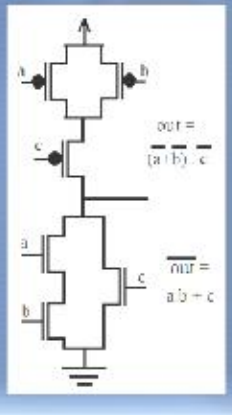
- یک های جدول صحت را شبکه ی بالاکشنده تولید می کند، بنابراین خود تابع (f(x)) را در PUN پیاده سازی می کنیم.
- صفرهای جدول صحت را شبکه ی پایین کشنده تولید می کند، بنابراین برعکس تابع (f`(x)) را در PDN پیاده سازی می کنیم.
- به دلیل هدایت مناسب ولتاژ بالا از کانال pmos ، معمولن در PUN از pmos استفاده می شود
- به دلیل هدایت مناسب ولتاژ پایین از کانال nmos ، معمولن در PDN از nmos استفاده می شود.

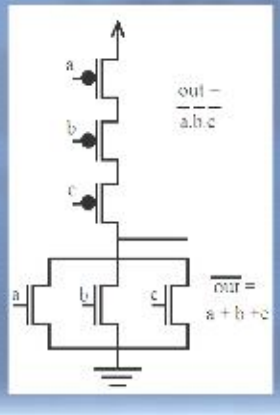


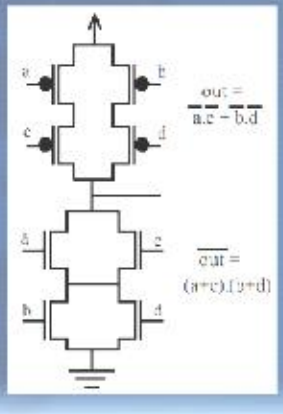
نمونه مدارهای CMOS استاندارد

در خانواده ی CMOS استاندارد :

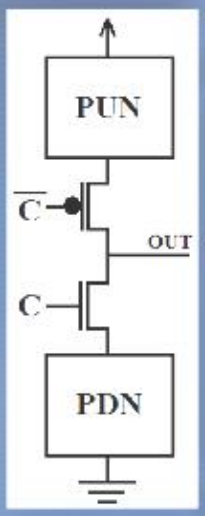
- در PUN فقط pmos و در PDN فقط nmos استفاده می شود.
- مسیرهای موازی در PDN به جای مسیرهای سری متناظر در PUN قرار می گیرند و برعکس.
- تعداد ترانزیستورهای nmos و pmos برابر است.







پیاده سازی گیت سه حالته



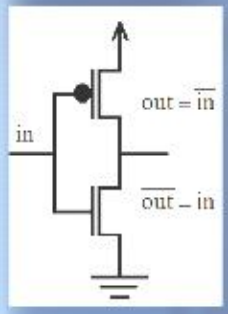
- برای قطع کردن خروجی از صفر و یک منطقی ، از دو ترانزیستور استفاده می کنیم. این دو ترانزیستور بین خروجی و شبکه های بالا و پایین کشنده قرار می گیرند.
- در صورت یک بودن ورودی Control ، خروجی به هر دو شبکه متصل است.
- در صورت صفر بودن ورودی Control ، خروجی از هر دو شبکه قطع است.
- عملکردی که در بالا توضیح داده شد، ورودی active high را توصیف می کند.
- این ورودی اسم های دیگری چون enable می تواند داشته باشد.

گیت CMOS

معایب

- تعداد ترانزیستورهای زیاد.
- سرعت کم نسبت به خانواده هایی که از BJT استفاده می کنند.

مزایا

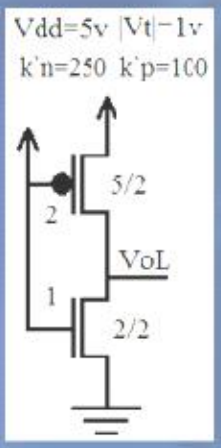


- ولتاژ خروجی یک منطقی ، به Vdd می رسد.
- ولتاژ خروجی صفر منطقی ، به Gnd می رسد.
- توان استاتیک بسیار بسیار ناچیز است.
- محدوده ی ولتاژ کاری بالا
- فرایند ساخت ساده نسبت به خانواده هایی که از BJT استفاده می کنند.
- اندازه ی کوچک مدارها و قابلیت بالای مجتمع سازی.

مزایای زیاد این خانواده باعث شده تا این خانواده بسیار متداول شود.

حل گیت CMOS not

VoL



1: Vgs=5-0=5 , 5>1 ; Vgd=5-VoL ; ➔ t1 : Linear

2: Vgs=5-5=0 , 0>-1 ; ➔ t2 : Cut off

KCL : It1 = It2 = 0

0.5K`(W1/L1) [2(Vgs-Vt)Vds – Vds^2] = 0

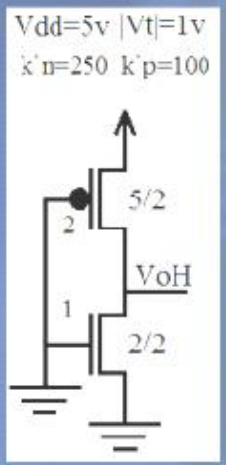
[2(5-0 - 1)Vds – Vds^2] = 0

8Vds – Vds^2 = 0

Vds (8 – Vds) = 0 ➔ Vds = -8 , 0

حل گیت CMOS not

VoH :



1: Vgs=0-0=0 , 0<1 ; ➔ t1 : Cut off

2: Vgs=0-5=-5 , -5<-1 ; Vgd=0-VoH ; ➔ t2 : Linear

KCL : It1 = It2 = 0

0.5K`(W2/L2) [2(Vgs-Vt)Vds – Vds^2] = 0

[2(0-5 - -1)(VoH - 5) – (VoH - 5)^2] = 0

-8(VoH - 5) – (VoH - 5)^2 = 0 ➔ 8(VoH - 5) + (VoH - 5)^2 = 0

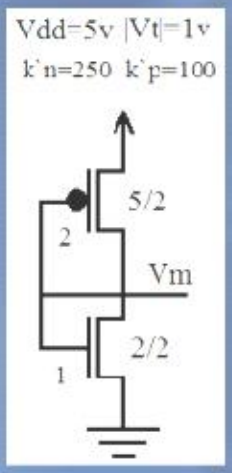
(VoH - 5) (8+(VoH - 5)) = 0

(VoH - 5) (3 + VoH) = 0

VoH = -3 , 5

حل گیت CMOS not

Vm :



1 vgd=Vm-Vm=0 , 0>-1 , ➔ t1 : Saturation

2 vgd=Vm-Vm=0 , 0>-1 , ➔ t2 : Saturation

KCL : Id1 = Id2

0.5K`n(W1/L1).(Vgs-Vt)^2 = 0.5K`p(W2/L2).(Vgs-Vt)^2

250*(2/2)*(Vm-0 - 1)^2 = 100*(5/2)*(Vm-5 - -1)^2

(Vm - 1)^2 = (Vm - 4)^2

|Vm – 1| = |Vm – 4|

(Vm – 1) = +- (Vm – 4)

Vm = 2.5

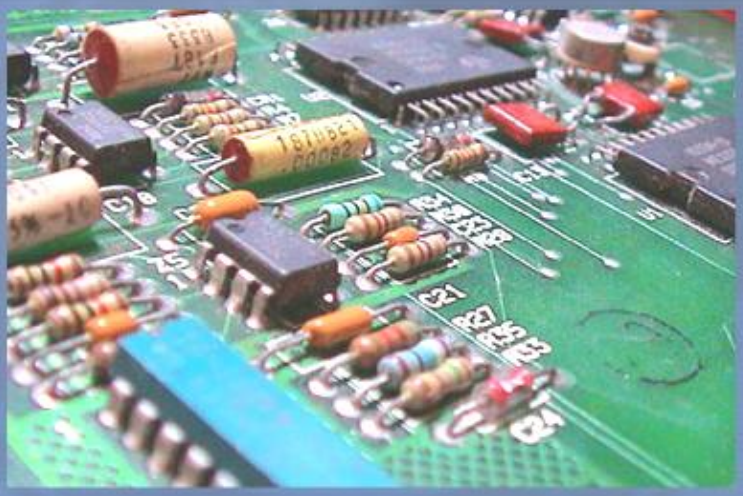
گیت متقارن

گیتی که بدترین حالت **PUN** با بدترین حالت **PDN** با هم برابر باشند

جلسه آینده...

- ✓ خانواده ی منطقی **BiCMOS**
- ✓ مقایسه ی خانواده های منطقی

مبانی الکترونیک دیجیتال
جلسه بیست و سوم

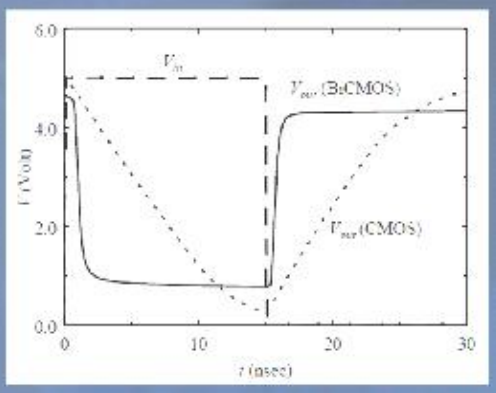


ضعف خانواده ی CMOS

- ترانزیستورهای MOSFET نسبت به ترانزیستورهای BJT جریان دهی کمتری دارند.
- درصورتی که لازم باشد تا از خروجی گیت های CMOS جریان زیادی عبور کند یا لازم باشد خروجی این گیت ها خازن های بزرگ را شارژ کنند، تاخیر این گیت ها بسیار زیاد می شود.
- در مدارهای CMOS چون خازن ها کم هستند و مقاومت ورودی گیت ها بسیار بالا هست، این مشکل دیده نمی شود.
- مدارهای بزرگی چون پردازنده ها با استفاده از گیت های CMOS ساخته می شوند.
- برای اتصال خروجی این گیت ها به باس ها یا بارهای بزرگ دیگر، از تکنولوژی BiCMOS استفاده می شود.

مقایسه ی خروجیMOSFET با BJT

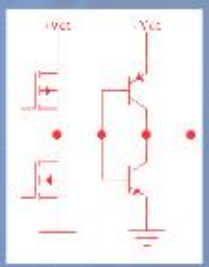
نمودار مقایسه ی سرعت شارژ و دشارژ خروجی گیت



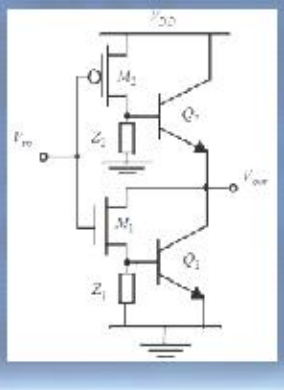
خط چین : سیگنال ورودی به گیت **not**
نقطه چین : خروجی گیت **not** با تکنولوژی **CMOS**
خط پیوسته : خروجی گیت **not** با تکنولوژی **BiCMOS**

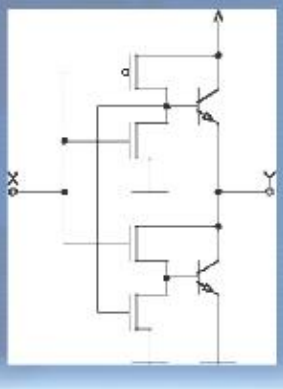
ساختار گیت های BiCMOS

- به دلیل عبور جریان از بیس ترانزیستورهای BJT ، نباید خروجی یک گیت CMOS را به زوج npn و pnp وصل کرد.
- افت ولتاژ در کانال ترانزیستورMOS باعث روشن شدن هردو ترانزیستورBJT می‌شود.
- مدار قرمز رنگ مدار غلطی است که خروجی منطقی ندارد.
- اتصال خروجی گیت CMOS به ترانزیستورهایBJT به روش های مختلف انجام میشود.

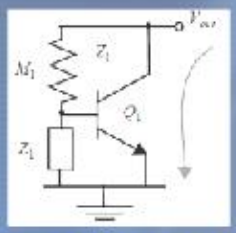


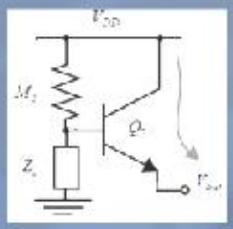
روش غلط اتصال خروجی
BJT به ترانزیستورهای CMOS





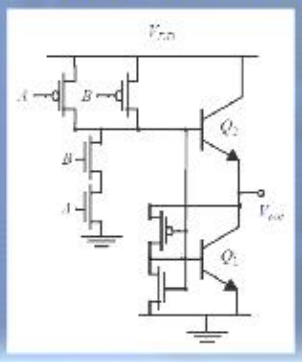
خروجی گیت BiCMOS



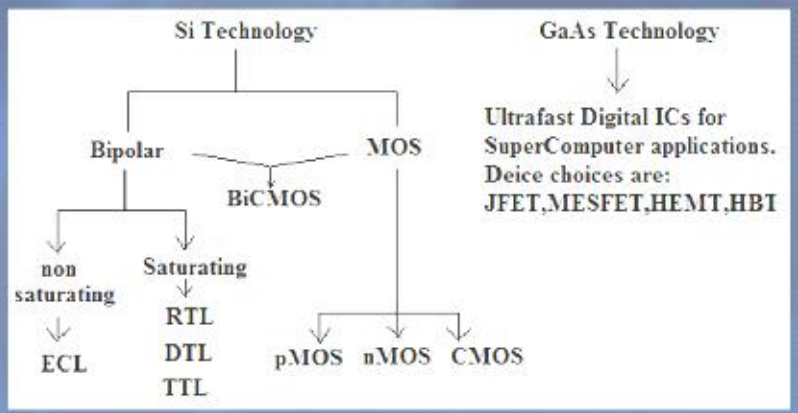


- ولتاژ صفر منطقی به صفر ولت نمیرسد
- ولتاژ یک منطقی به ولتاژ تغذیه نمیرسد
- ساخت ترانزیستورهای BJT درمیان فرآیند ساخت CMOS بسیار هزینه بر است ،

2 input BiCMOS nand gate



مرور خانواده های منطقی

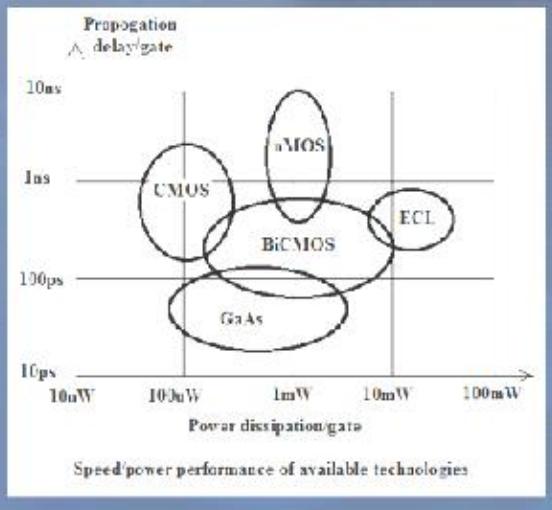


http://en.wikipedia.org/wiki/Logic_family

پارامترهای انتخاب خانواده ی گیت ها

- توان مصرفی
- سرعت
- در دسترس بودن
- قیمت ساخت مدار
- نویز پذیری
- سطوح ولتاژ
- تراکم ساخت مدار

مقایسه ی توان و سرعت چند خانواده ی منطقی

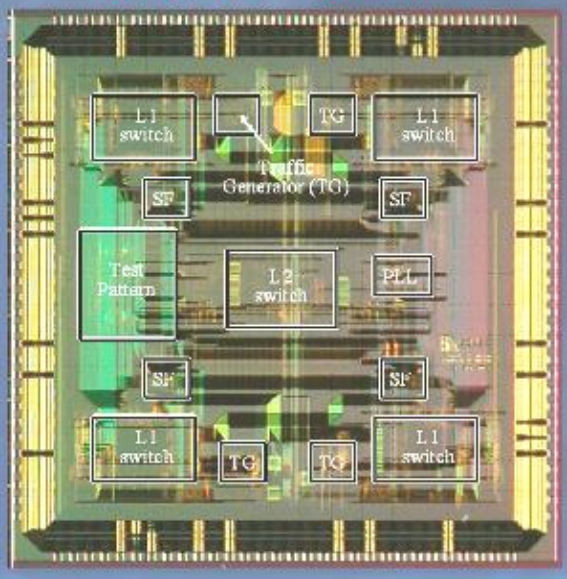


Speed/power performance of available technologies

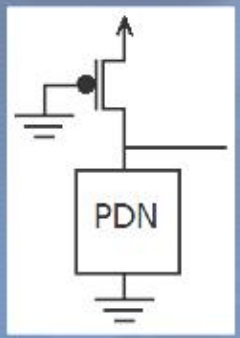
جلسه آینده...

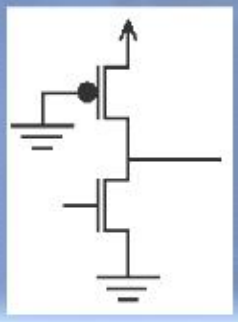
- بررسی خانواده ی DCVSL

مبانی الکترونیک دیجیتال
جلسه بیست و چهارم



مشکل توان استاتیک صفر





- پیاده سازی گیت با استفاده از بار و شبکه ی پایین کشنده
- درزمانی که شبکه‌ی پایین‌کشنده روشن است، بارنیز روشن می ماند.
- **مزایا**

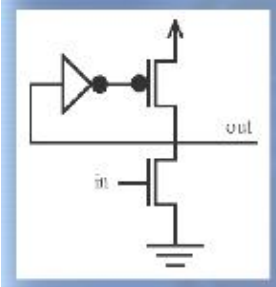
  سادگی و تعداد کم ترانزیستور
- **معایب**

  مصرف توان بالا ← گرم شدن چیپ و محدودیت منبع انرژی

  کم بودن سرعت یک شدن خروجی

افزایش سرعت↔افزایش توان مصرفی

ای حذف توان استاتیک صفر



عملکرد

- روشن شدن PDN ← یک شدن خروجی معکوس کننده ← خاموش شدن PMOS
- بار در زمان روشن بودن شبکه ی پایین‌کشنده خاموش می‌شود.

مزایا

- صفر بودن توان مصرفی در خروجی صفر
- امکان کاهش مقاومت بار برای افزایش سرعت یک شدن خروجی

معایب

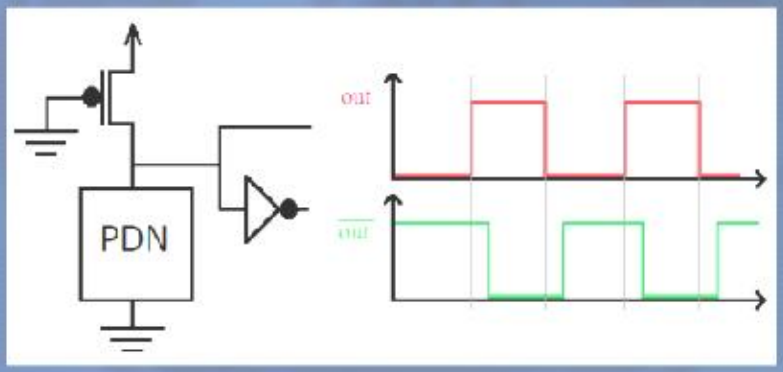
- استفاده از دو ترانزیستور بیشتر برای معکوس کننده

مدارهای Dual Rail

- برای کم کردن حساسیت به نویز در انتقال دیتا، از خروجی های مکمل و sense amplifier استفاده می شود.
- sense amplifier تقویت کننده ای است که براساس تقویت اختلاف ولتاژ بین دو ورودی کار میکند.
- در برخی مدارها، بودن تابع منطقی و معکوس آن به ساده سازی مدارها کمک می کند.
- حجم سیم کشی ها و اتصالات دو برابر حالت عادی خاهد بود.
- کاهش نویز پذیری، امکان افزایش سرعت را فراهم می کند.
- در این مدارها همه ی سیگنال ها و معکوس آن ها وجود دارد
- خانواده ی ECL از جمله خانواده های Dual Rail است.

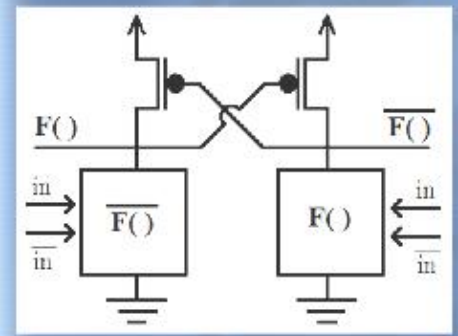
خروجی و معکوس خروجی

- استفاده از یک گیت **not** برای تولید معکوس خروجی کار مناسبی نیست.
- سیگنال سبز رنگ نسبت به خروجی تابع تاخیر دارد. (ایجاد اختلاف فاز و تاخیر)



DCVSL

Differential Cascade Voltage Switch Logic



عملکرد

- پیاده سازی تابع و معکوس آن به صورت متقارن

مزایا

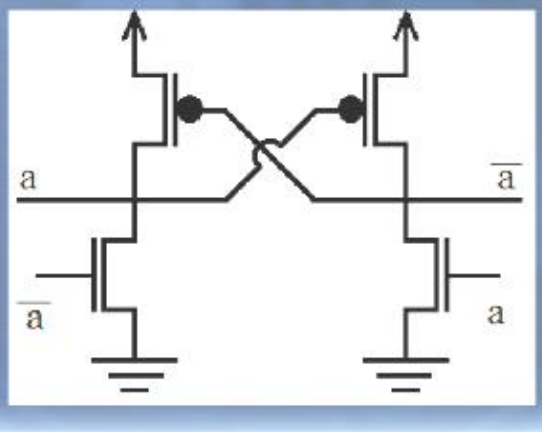
- تولید خروجی و معکوس آن بدون اختلاف فاز
- افزایش سرعت خروجی به‌دلیل تشدید عملکرد با استفاده از معکوس تابع
- پیاده سازی بدون استفاده از شبکه‌ی پایین‌کشنده.

معایب

- تعداد دو برابر ترانزیستورها و سیم‌کشی‌ها و اتصالات

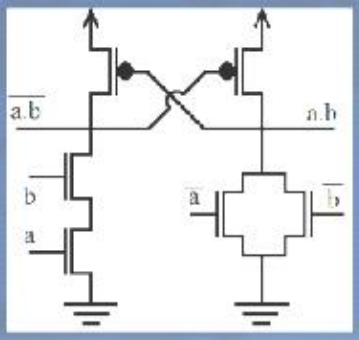
مثال : buffer و not

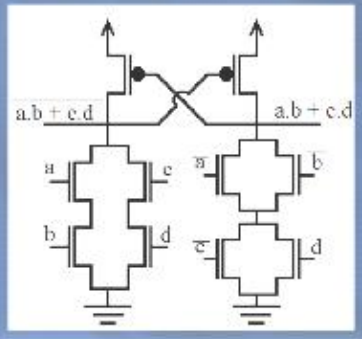
- در پیاده سازی این گیت ها از مدارهای کاملن مشابه ولی برعکس (مکمل) استفاده میشود.
- تعداد ترانزیستورها در این دو مدار برابر است.



ساختن شبکه های مکمل

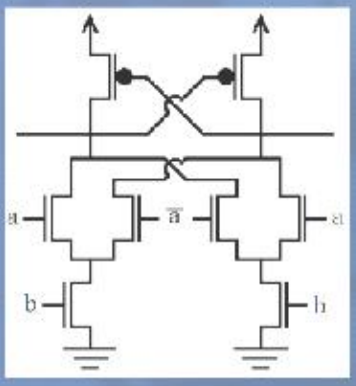
- برای درست کردن مدار مکمل، مشابه ساختن PUN در گیت های CMOS عمل می کنیم.
- در اینجا به دلیل پیاده سازی PDN باید فقط از ترانزیستورهای NMOS استفاده کنیم.
- اما به ازای هر سیگنال ورودی، معکوس آن را نیز در اختیار داریم.

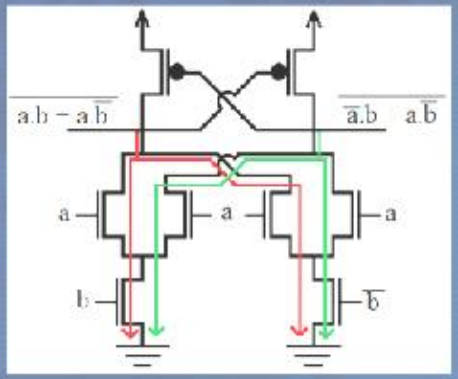




مثال : xor و xnor

برای نوشتن تابع یک شبکه ی کلید می توانید راه های اتصال دو طرف شبکه را بنویسید.

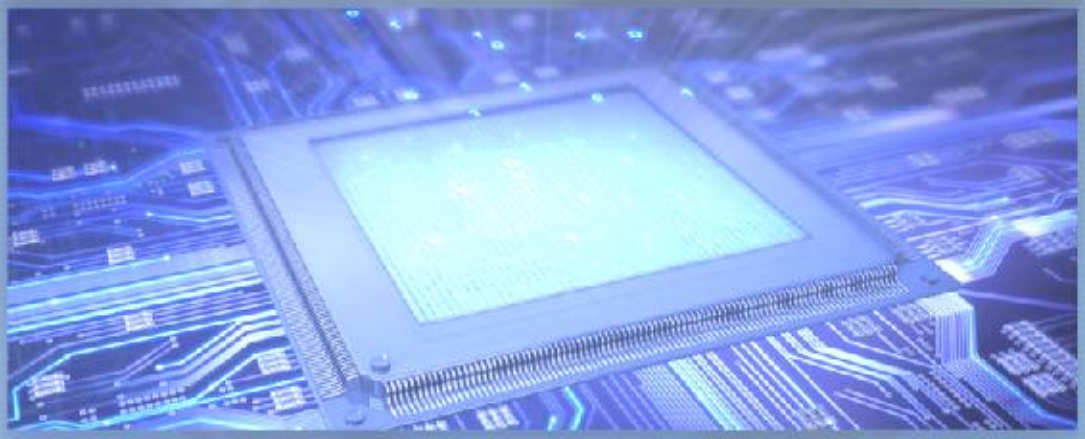




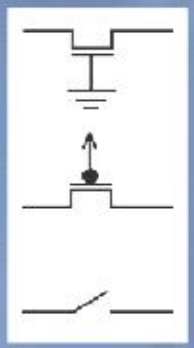
جلسه آینده...

- بررسی دقیق تر ترانزیستور MOS به عنوان سوییچ

مبانی الکترونیک دیجیتال
جلسه بیست و پنجم

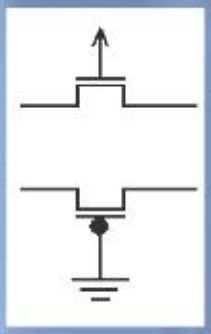


ترانزیستور MOS خاموش



- در صورتی که ولتاژ گیت ترانزیستور NMOS از Vs+Vt کمتر باشد ترانزیستور خاموش است.
- در صورتی که ولتاژ گیت ترانزیستور PMOS از Vs+Vt بیشتر باشد ترانزیستور خاموش است.
- به جای ترانزیستور خاموش می توان کلید باز را به عنوان یک مدل ساده قرار داد.
- مشخصه ی کلید باز ، عبور نکردن جریان است. بنابراین اختلاف ولتاژ درین تا سورس در این شرایط اهمیتی ندارد.
- درصورتی که در مدار ولتاژ بیشتر از Vdd و کمتر از Gnd نداشته باشیم ،ترانزیستورهای مقابل معادل کلید باز هستند.

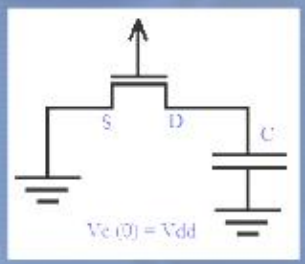
ترانزیستورMOS روشن



- برای روشن کردن ترانزیستور NMOS باید به گیت آن ولتاژ بیشتراز ولتاژ سورس اعمال کرد.
- برای روشن کردن ترانزیستور PMOS باید به گیت آن ولتاژ کمتر از ولتاژ سورس اعمال کرد.
- اختلاف ولتاژ درین تا سورس در ناحیه ی خطی کمتر از ناحیه ی اشباع است.
- برای تشخیص وضعیت کار ترانزیستور ابتدا درین و سورس ترانزیستور را مشخص می کنیم.

در ادامه عملکرد MOS روشن رو در عبور جریان ، و در حالت پایدار بررسی می‌کنیم.

NMOS :هدایت جریان به ولتاژ پایین



S :

Vgs = Vdd – 0 = Vdd > Vtn ➔ سورس کانال دارد

T = 0 :

D : Vgd = Vdd – Vdd = 0 < Vtn ➔ درین کانال ندارد

در زمان صفر ترانزیستور در ناحیه ی اشباع قرار دارد

مرز بین ناحیه ی اشباع و خطی:

Vgd = Vt ➔ Vg – Vc = Vt ➔ Vc = Vg – Vt

Vc = Vdd – Vtn

T = ∞ :

بعد از عبور ولتاژ خازن از Vdd-Vt ترانزیستور به ناحیه ی خطی وارد می شودو بارخازن تا هم پتانسیل شدن با ولتاژ سورس تخلیه می شود

Vc (∞) = Vs

اگر به مدار فرصت کافی بدهیم، دو طرف ترانزیستور هم پتانسیل می شود. بنابراین با وجود روشن بودن ترانزیستور، جریانی از آن نمی گذرد

NMOS : هدایت جریان از ولتاژ بالا

D :

Vgd = Vdd – Vdd = 0 < Vtn ➔ درین کانال ندارد

T = 0 :

S : Vgs = Vdd – 0 = Vdd > Vtn ➔ سورس کانال دارد

در زمان صفر ترانزیستور در ناحیه ی اشباع قرار دارد

مرز بین ناحیه ی اشباع و قطع:

Vgs = Vt ➔ Vg – Vc = Vt ➔ Vc = Vg – Vt

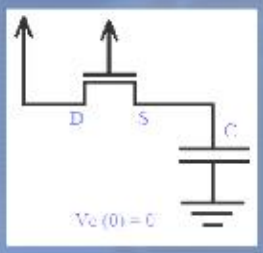
Vc = Vdd – Vtn

T = ∞ :

با رسیدن ولتاژ سورس به Vdd-Vt ترانزیستور به ناحیه ی قطع می رسد و بار خازن امکان بیشتر شدن را به دست نمی آورد

Vc (∞) = Vg-Vt

اگر به مدار فرصت کافی بدهیم، ترانزیستور به مرز قطع شدن می رسد. بنابراین ترانزیستور امکان عبور جریان را نخواهد داشت



PMOS :هدایت جریان به ولتاژ پایین

D :

Vgd = 0 – 0 = 0 > Vtp ➔ درین کانال ندارد

T = 0 :

S : Vgs = 0 – Vdd = -Vdd < Vtp ➔ سورس کانال دارد

در زمان صفر ترانزیستور در ناحیه ی اشباع قرار دارد

مرز بین ناحیه ی اشباع و قطع :

Vgs = Vt ➔ Vg – Vc = Vt ➔ Vc = Vg – Vt

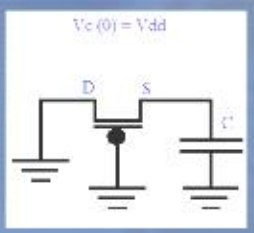
Vc = 0 – Vtp

T = ∞

با رسیدن ولتاژ سورس به Vtp– ترانزیستور به ناحیه ی قطع می رسد و بار خازن امکان تخلیه شدن را به دست نمی آورد

Vc (∞) = Vg-Vt

اگر به مدار فرصت کافی بدهیم، ترانزیستور به مرز قطع شدن می رسد. بنابراین ترانزیستورامکان عبورجریان را نخواهد داشت



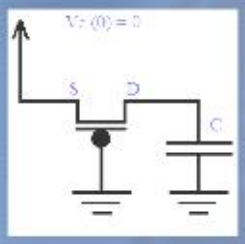
PMOS : هدایت جریان از ولتاژ بالا

S :

Vgs = 0 – Vdd = -Vdd < Vtp ➔ سورس کانال دارد

T = 0 :

D : Vgd = 0 – 0 = 0 > Vtp ➔ درین کانال ندارد



در زمان صفر ترانزیستور در ناحیه ی اشباع قرار دارد

مرز بین ناحیه ی اشباع و خطی:

Vgd = Vt ➔ Vg – Vc = Vt ➔ Vc = Vg – Vt

Vc = 0 – Vtp

T = ∞ :

بعد از عبور ولتاژ خازن از Vtp- ترانزیستور به ناحیه ی خطی وارد می شود و بارخازن تا هم پتانسیل شدن با ولتاژ سورس بیشتر می‌شود

Vc (∞) = Vs

اگر به مدار فرصت کافی بدهیم، دو طرف ترانزیستور هم پتانسیل می‌شود. بنابراین با وجود روشن بودن ترانزیستور، جریانی از آن نمی گذرد

نتیجه گیری درمورد هدایت MOS

- ترانزیستورهای NMOS هدایت جریان بهتری به سمت ولتاژهای پایین دارند.
- ترانزیستورهای PMOS هدایت جریان بهتری به سمت ولتاژهای بالا دارند.

- هدایت الکتریکی بهتر ، دلیل ترجیح استفاده از NMOS در PDN و ترجیح استفاده از PMOS در PUN است.

بررسی یک حالت خاص

- اگر بدانیم ترانزیستور روشن هست و از کانال آن جریان عبور نمی کند ، می توانیم به جای حل کامل روابط ، جواب را از این روابط به دست بیاوریم.

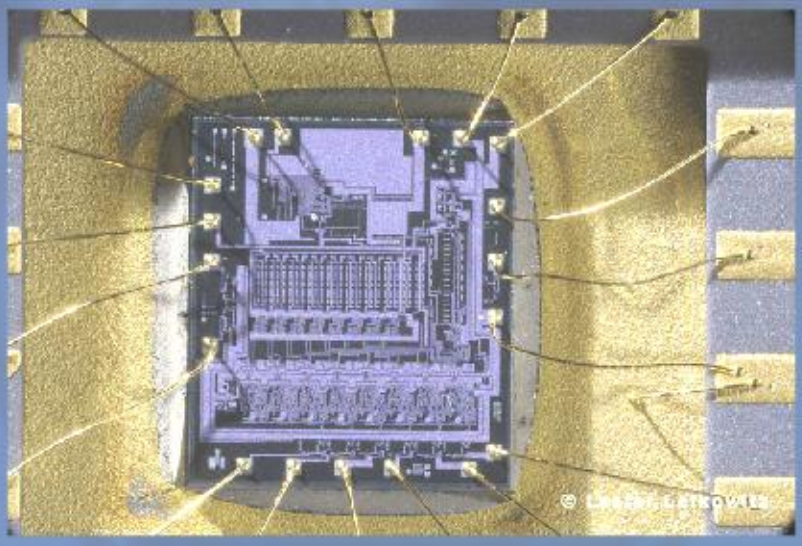
- NMOS : $V_{out} = \min\{ V_{in} , V_g - V_t \}$
- PMOS : $V_{out} = \max\{ V_{in} , V_g - V_t \}$

- به دلیل این که ترانزیستور MOS متقارن است و جریان امکان عبور از هر دو طرف را دارد ، از کلمه های ورودی و خروجی به جای درین و سورس استفاده شده.
- ورودی به پایه ای گفته می شود که ولتاژ آن را می دانیم.

جلسه آینده...

- ✓ گیت انتقال
- ✓ PTL

مبانی الکترونیک دیجیتال
جلسه بیست و ششم



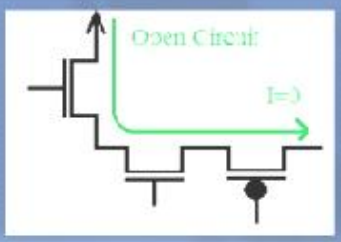
مثال از محاسبه ی ولتاژ ترانزیستور در حالت خاص

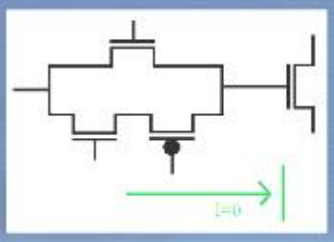
برای استفاده از روابط جلسه ی قبل باید دو شرط زیر را داشته باشیم

روشن بودن ترانزیستور

عدم عبور جریان از ترانزیستور

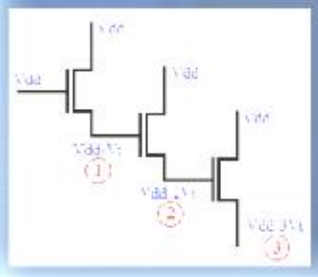
اگر کانال ترانزیستور در مدار بسته‌ای قرار نگرفته باشد، امکان عبور جریان از کانال آن فراهم نیست.
گیت ترانزیستورهای MOS عایق هستند ← اگر مسیر کانال ترانزیستور به گیت ترانزیستورها ختم شود امکان عبور جریان پیوسته از کانال ترانزیستورها وجود نخواهد داشت.

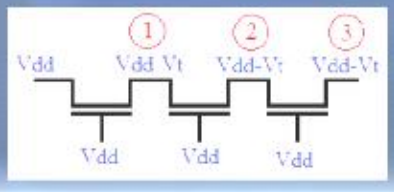




Pass Transistor

همونطور که قبلادیدیم برای پیاده سازی توابع منطقی، میشه با استفاده از ترانزیستورها شبکه های سوییچ ساخت.
به همین دلیل وقتی چنین استفاده ای از ترانزیستور می‌شود، به‌آن pass transistor یا ترانزیستور عبوری گفته می شود.
در مثال های زیر ، چون کانال این ترانزیستورها در مدار بسته ای قرارنگرفته،امکان‌عبور جریان از کانال آن ها وجود ندارد.
بنابراین برای‌محاسبه‌ی ولتاژها ازفرمول‌های مطرح شده درجلسه‌ی‌قبل‌استفاده می‌کنیم.
تحریک گیت ترانزیستور بعدی با PTL باعث افت ولتاژ غیر قابل قبولی میشود.
سری کردن ترانزیستورها باعث افزایش مقاومت و تاخیر می شود.

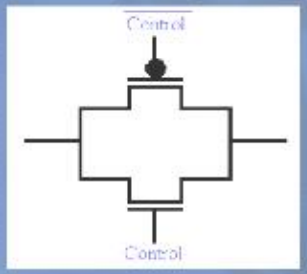




مشکل و راه حل استفاده ازPT

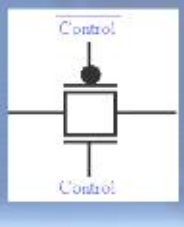
عیب استفاده از Pass Transistor هدایت بد الکتریکی هست.
NMOS هدایت الکتریکی مناسبی برای یک منطقی ندارد.
PMOS هدایت الکتریکی مناسبی برای صفر منطقی ندارد.

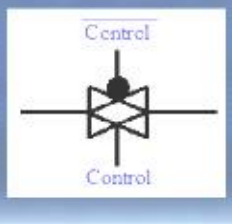
راه برطرف کردن مشکل، استفاده از هر دو نوع ترانزیستور به موازات هم هست.
مزیت : هدایت الکتریکی خوب
معایب : تعداد ترانزیستورهای بیشتر ، نیاز به سیگنال های کنترلی مکمل

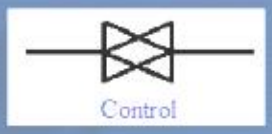


Transmission Gate

گیت انتقال یا Transmission Gate به جای یک کلید استفاده می شود. و از دو ترانزیستور nmos و pmos موازی تشکیل شده.
این گیت نسبت به یک ترانزیستور مشکلات الکتریکی کمتری دارد.
این گیت امکان عبور جریان از دو طرف را فراهم می کند. (مشابه PT)
سیگنال های الکتریکی، هر دو ترانزیستور را همزمان با هم روشن و خاموش می کنند.
همه ی شماتیک هایی که مشاهده می کنید نشان دهنده ی TG هستند که با یک شدن سیگنال کنترلی روشن می شوند.
شماتیک های پایین از دو بافر در دو جهت تشکیل شده اند.



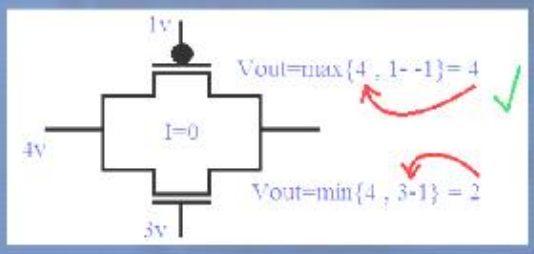


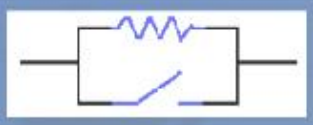


بررسی ولتاژ خروجی در TG

اگر سیگنال های کنترلی ، گیت را خاموش کنند، خروجی TG مقدار منطقی نخواهد بود.
در چنین شرایطی خروجی از بقیه ی مدار جدا هست و مقدار high z خواهد داشت.

درصورت روشن بودن TG ولتاژ ورودی با ولتاژ خروجی برابر خاهد بود.





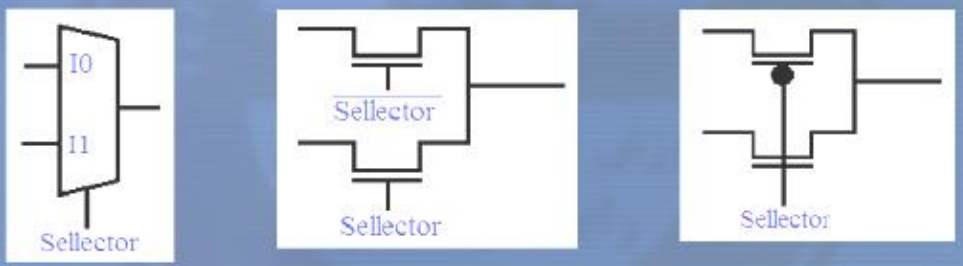
PTL

درصورت استفاده از Pass Transistorها ولتاژ خروجی بدتر از ولتاژ ورودی میشود.
اما مدارهای ساخته شده با PTها بسیار کم حجم هستند.
مدارهای ساخته شده با Transmission Gateها مشکل ولتاژ خروجی را حل کرده‌اند.
با وجود این پشت هم بستن ترانزیستورها مقاومت مسیر را زیاد می کند.
عملن نیاز به سرعت بالا ، امکان پشت هم بستن بیش از سه ترانزیستور را فراهم نمی‌کند.

به منطق های پیاده سازی شده توسط PTها و TGها ، PTL یا Pass Transistor Logic گفته میشود.

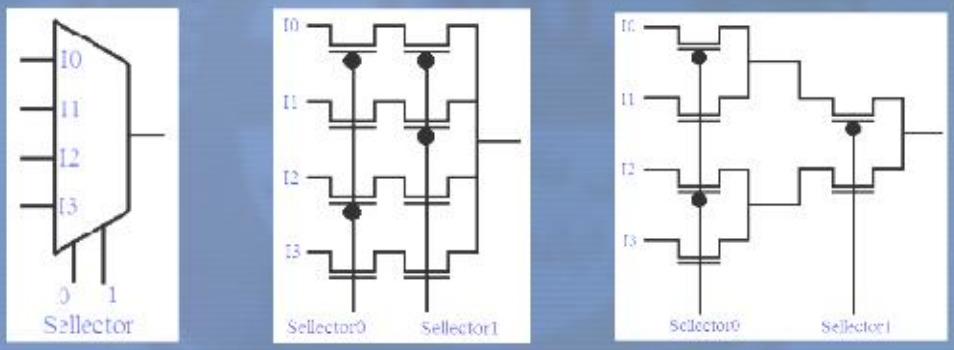
طراحی multiplexer

- پیاده سازی multiplexer با استفاده از گیت های not و and و or احتیاج به تعداد بسیار زیادی ترانزیستور دارد.
- طراحی multiplexer با PTL تعداد بسیار کمی ترانزیستور نیاز دارد.



طراحی multiplexer

- با استفاده از mux 2 : 1 میتوانیم muxهای بزرگ تر بسازیم.
- راه دیگر برای ساختن muxهای بزرگ تر ، موازی کردن مسیرهای مختلف است.



طراحی multiplexer

همه ی مدارهای پیاده سازی شده با PTها را به کمک TGها پیاده سازی می‌کنیم.