هدف: بررسی مدارهای داخلی Ic های دیجیتال از دیدگاه الکترونیک

عناوین: مقدمه

بخش اول: تکنولوژی دوقطبی

۱ـ مروری بر ترانزیستور پیوندی دوقطبی (BJT)
۲ـ بررسی گیت NOT ساده
۳ـ تکنولوژی RTL
۴ـ 〃 DTL
۵ـ 〃 TTL
۶ـ 〃 ECL

بخش دوم: تکنولوژی MOS

۱ـ معرفی ترانزیستور MOSFET
۲ـ تکنولوژی NMOS
۳ـ 〃 شبه NMOS
۴ـ 〃 CMOS
۵ـ BicMOS
۶ـ PDN
۷ـ PUN
۸ـ Domino
۹ـ Zipper
۱۰ـ مدارهای منطقی

1. Digital Integrated circuits
By: Rabaey

2. Analyises & Design of Integrated circuts
By: jackson & Hoges
تحلیل و طراحی مدارهای مجتمع دیجیتال
ترجمه: بیانی

3. Digital Electronic circuts
By: Glasford

کتاب فارسی کامپیوتر گرایش ارشد
الکترونیک دیجیتال
نگارش: [illegible]

(Pdiss _ FO _ NM) RTL
DTL
(سوال) TTL
باتیا نده (تعریف فصل اول ـ گیت NOT ساده ـ خازن speedup)

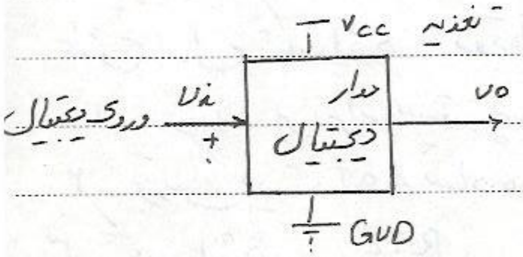
میان ترم ۹ نمره از بخش اول
تکلیف ۲ نمره (حل مطالب)
پایان ترم ۹ نمره از بخش دوم

مقدمه

معرفی چند پارامتر مهم در IC های دیجیتال:

① Noise Margin (NM) حاشیه نویز:

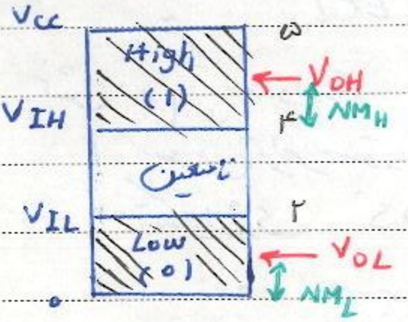
حداکثر مقدار نویزی است که می توان به روی خروجی سوار شود بدون آنکه سطح منطقی خروجی را تغییر دهد.


تغذیه
V_{cc}
ورودی دیجیتال
v_i
+
مدار دیجیتال
v_o
خروجی دیجیتال
GND

تمامی ورودی ها و خروجی ها نسبت به پایه زمین اعمال می شود

ورودی دیجیتال

$0 \leq v_i \leq V_{cc}$


V_{cc}
۵
High
(1)
V_{OH}
V_{IH}
۴
NM_H
نامعین
V_{IL}
۲
Low
(0)
V_{OL}
NM_L
0

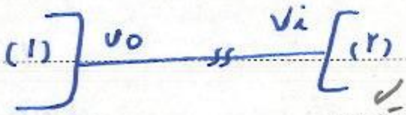
خروجی دیجیتال

V_{OH}: ماکزیمم ولتاژ خروجی هنگامیکه خروجی در منطق 1 است

V_{OL}: مینیمم ولتاژ خروجی هنگامیکه خروجی در منطق 0 است

V_{IH}: مینیمم ولتاژ ورودی است که هنوز می تواند به عنوان 1 تلقی گردد

V_{IL}: ماکزیمم ولتاژ ورودی که هنوز می تواند به عنوان 0 تلقی گردد.



ارتباط V_{OL} و V_{OH} با V_{IL} و V_{IH}:

بهتر است مساوی نباشد

$$V_{OL} \leq V_{IL}$$

$$V_{OH} \geq V_{IH}$$

NML= ۲-۱ = ۱

$$\boxed{NM_L = V_{IL} - V_{OL}}$$

فاصله بین V_{IL} و V_{OL} را NM گویند

تعریف NM: حداکثر مقدار نویزی است که می توانند به خروجی Low اضافه شود و همچنان Low بماند.

حداکثر مقدار نویزی است که می تواند از خروجی High کم شود و همچنان High باقی بماند

NMH = ۴٫۵ - ۴ = ٫۵

$$\boxed{NM_H = V_{OH} - V_{IH}}$$

$$\boxed{NM = \text{Min}\{NM_L, NM_H\}}$$

نکته: NM حفاظت باید زیاد باشد.

حول نصف تغذیه { ↑ V_{IL} ↓ V_{OL} (0)
                    ↓ V_{IH} ↑ V_{OH} (V_{CC})

② Logic swing (LS) نوسان منطقی:
باید بزرگ باشد

$$\boxed{LS = V_{OH} - V_{OL}}$$

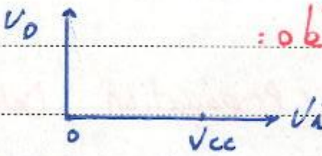
③ Transition width (TW) پهنای گذر:
باید کوچک باشد

$$\boxed{TW = V_{IH} - V_{IL}}$$

④ B (بهرهٔ دیجیتال)
اگر B = 1 باشد آنگاه LS = TW است و
NM = 0 است. پس همیشه LS > TW است
باید B بسیار بزرگتر از 1 باشد.

$$\boxed{B = \frac{LS}{TW} > 1}$$

⑤ اندازه‌گیری NM در آزمایشگاه:
یا منحنی Vo-Vi را می‌یابیم

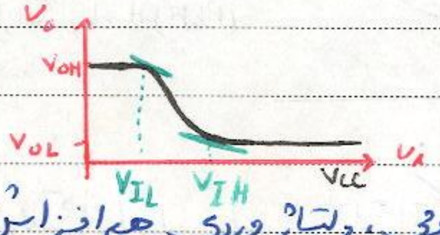


توسط منبع تغذیهٔ dc متغیر و نقطه‌یابی

توسط اسیلوسکوپ و منبع ac سینوسی و حذف زمان

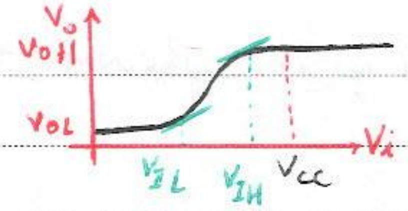
مشخصه انتقال ولتاژ
منحنی (voltage transfer caracteristic) (VTC)

در مدارهای منطقی 2 نوع VTC داریم: معکوس
الف) Inverting VTC (وارونگر): با افزایش ورودی خروجی کاهش می‌یابد یا با کاهش ورودی خروجی افزایش می‌یابد. هنگامی که ورودی 0 است خروجی بیشترین مقدار را دارد

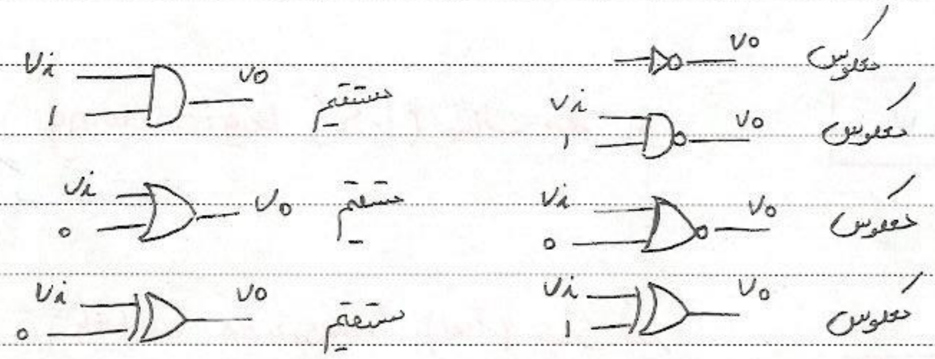


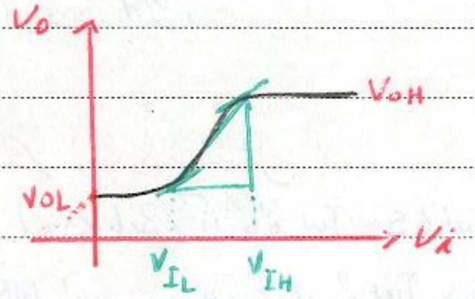
$$\left.\frac{dV_o}{dV_i}\right|_{V_i = V_{IL} , V_{IH}} = -1$$

ب) Non Inverting VTC (غیر معکوس) نا وارونگر مستقیم: با افزایش ولتاژ خروجی، ولتاژ ورودی هم افزایش می‌یابد



۲_ حال در VOH و VOL و VIH و VIL را از روی آن مشخص می‌کنیم.


Vi
1
Vo
مستقیم
Vi
0
Vo
مستقیم
Vi
0
Vo
مستقیم
Vo
معکوس
Vi
1
Vo
معکوس
Vi
0
Vo
معکوس
Vi
1
Vo
معکوس



شیب وتر $\approx \frac{V_{OH}-V_{OL}}{V_{IH}-V_{IL}} \approx \frac{LS}{TW} \approx \beta \geq 1$

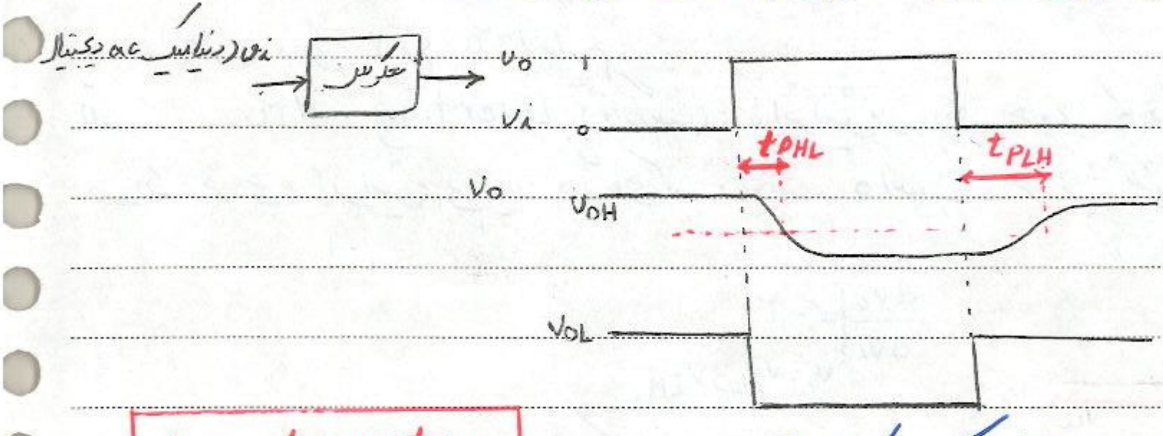
از روی نمودار دو نتیجه می‌گیریم

۱) حتماً VIL و VIH وجود دارند ۲)

② تأخیر انتشار tpd (Propagation Delay):

مدت زمانی که طول می‌کشد تا پس از اعمال ورودی، خروجی حاصل شود (ns 10^{-9})

تأخیر عمدتاً ناشی از خواص خازنی ناخواسته است درون IC


نی (دینامیک ac دیجیتال
معکوس
Vo
Vi
1
0
t_{PHL}
t_{PLH}
Vo
V_{OH}
V_{OL}

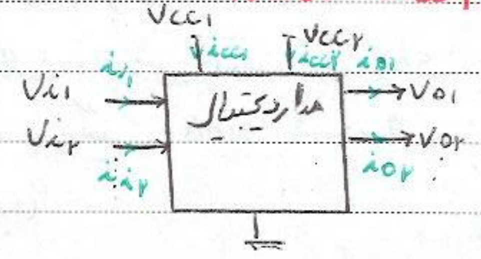
تأخیر انتشار H به L (PHL)

تأخیر انتشار L به H (PLH)

$$\boxed{t_{Pd} = \frac{t_{PLH}+t_{PHL}}{2}}$$

تأخیر انتشار نامطلوب است و باید تا حد ممکن کم باشد

③ توان مصرفی یا تلف شده (Pdiss) Power dissipation


Vcc1
icc1
Vcc2
icc2
ii1
io1
Vi1
Vi2
ii2
هار دیجیتال
Vo1
Vo2
io2

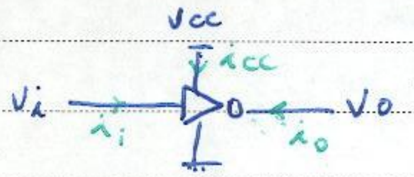
$$(mW)\ P_{diss} = V_{i1} i_{i1} + V_{i2} i_{i2} + \dots + V_{cc1} i_{cc1} + V_{cc2} i_{cc2} + \dots + V_{o1} i_{o1} + V_{o2} i_{o2}$$

اگر بار نداشته باشیم ioها صفر می شود.

توان نامطلوب است و باید کم باشد زیرا حرارت ایجاد می کند و IC می سوزد ، جریان کم می شود و استفاده از باطری بجای منبع تغذیه

توان مصرفی متوسط: Pdiss (av)

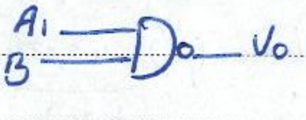
ex:


Vcc
icc
Vi
ii
Vo
io

$$P_{diss} = V_i i_i + V_{cc} i_{cc} + V_o i_o$$

$$P_{diss(av)} = \frac{P_{diss L} + P_{diss H}}{2} \Leftarrow \begin{cases} P_{diss H} \Leftarrow \begin{cases} V_i = 0 \\ V_o = 1 \end{cases} \Leftarrow ① \\ P_{diss L} \Leftarrow \begin{cases} V_i = 1 \\ V_o = 0 \end{cases} ② \end{cases}$$

ex:



A	B	Vo
0	0	1
0	1	1
1	0	1
1	1	0

$$P_{diss(av.)} = \frac{3 P_{diss H} + P_{diss L}}{4}$$

با فرض مساوی توان در ۳ سطر اول

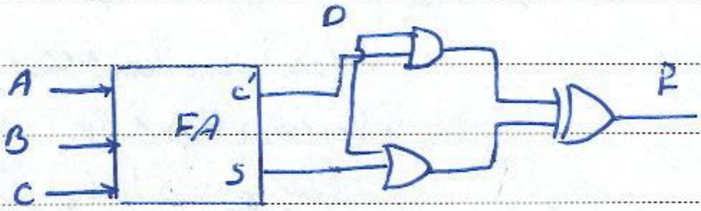
Subject:
Year. Month. Date. ( )

تکلیف (تحویل ۷،)

توان مصرفی متوسط مدارهای زیر را بنویسید

الف) گیت NOR ۸ ورودی

ب)



④ PDP (Power delay product) حاصلضرب تاخیر توان

$$\underset{pJ}{PDP} = \underset{mW}{P_{diss}}\ \underset{ns}{t_{pd}}$$

توجیه نیاز به PDP:

IC دیجیتال با توان مصرفی (کم) خوب ⇐ جریان کم ⇐ استفاده از مقاومتهای بزرگ ⇐ تاخیر زیاد (بد)

↓ Pdiss ↑ tpd

~~IC دیجیتال با توان مصرفی~~

IC با تاخیر خوب (کم) ⇐ مقاومت کوچک ⇐ جریان زیاد ⇐ توان مصرفی زیاد (بد)

↓ tpd ↑ pdiss

برای اینکه هم زمان نیاز است tpd و Pdiss را ملاحظه کنیم. PDP تعریف شده است
PDP ناخلوف است و هرچه کوچکتر باشد بهتر است

Subject:
Year. Month. Date. ( )

۳۸۲۰۳۳۷۴ پرنیاز ملکی نژاد

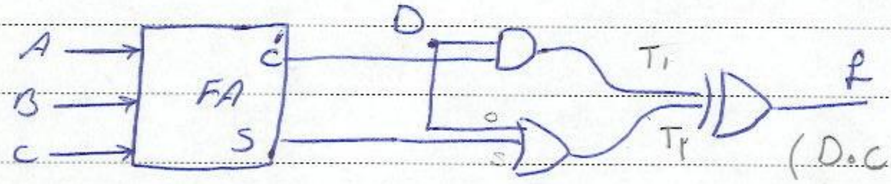
توان مصرفی متوسط مدارهای زیر را بنویسید

الف) گیت NOR ، ۸ ورودی

$$P_{diss}(av) = \frac{1}{۲۵۶}\left(۲۵۵\,P_{diss_L} + P_{diss_H}\right)$$

خروجی وقتی ۱ می‌شود که تمام ورودی‌ها صفر باشد

ب)



$$(D \cdot C') \oplus (D + S) = f$$

$D = 1 \downarrow f = \overline{C'}$

$D = 0 \downarrow f = S$

A	B	C	D	C'	S	T_1	T_2	$f = T_1 \oplus T_2$
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	1
0	0	1	0	0	1	0	1	1
0	0	1	1	0	1	0	1	1
0	1	0	0	0	1	0	1	1
0	1	0	1	0	1	0	1	1
0	1	1	0	1	0	0	0	0
0	1	1	1	1	0	1	1	0
1	0	0	0	0	1	0	1	1
1	0	0	1	0	1	0	1	1
1	0	1	0	1	0	0	0	0
1	0	1	1	1	0	1	1	0
1	1	0	0	1	0	0	0	0
1	1	0	1	1	0	1	1	0
1	1	1	0	1	1	0	1	1
1	1	1	1	1	1	1	1	0

Subject:

Year. Month. Date. ( )

$$P_{diss(av)} = \frac{1}{۱۶}(۸P_{dissL} + ۸P_{dissH}) = \frac{1}{۲}(P_{dissL} + P_{dissH})$$

جمع کننده ۳ بیتی (تمام جمع‌گر Full Adder)

PAPCO

⑤ Fan_out (ظرفیت خروجی)

F_{OL} (برای خروجی low) حداکثر تعداد طبقات مشابهی که می‌توان به خروجی صفر وصل کرد که همچنان صفر بماند

F_{OH} (برای خروجی High) حداکثر تعداد طبقات مشابهی که می‌توان به خروجی High وصل کرد که همچنان High بماند

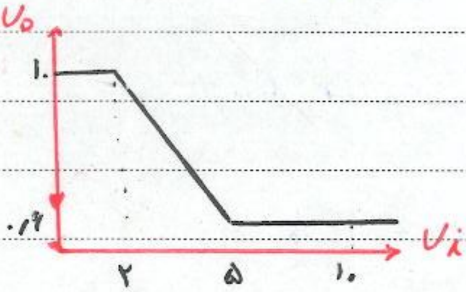
$F_O = \min\{F_{OL}, F_{OH}\}$: حداکثر تعداد طبقات مشابهی که می‌توان به خروجی وصل کرد تا سطح منطقی آن عوض نشود.

نکته: دلیل محدودیت FO، کاهش خروجی High و یا افزایش خروجی صفر در مدارهای باشد
FO مطلوب باید بزرگ باشد.

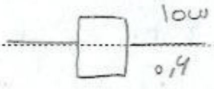
ex: در یک مدار منطقی با اعمال خروجی H به هر طبقه ۰/۲ ولت از آن کم می‌شود اما با اعمال خروجی
با به هر طبقه ۰/۳ ولت به آن اضافه می‌گردد. اگر VTC آن به شکل زیر باشد

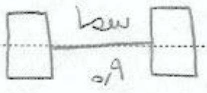
الف) FO چقدر است

ب) NM بدون بار و با بار کامل چقدر است



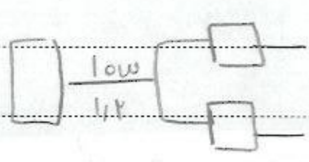
الف) FOL





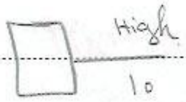
$V_{OL}=۰/۶$ $V_{IL}=۲$ $V_{CC}=۱۰$

$V_{OH}=۱۰$ $V_{IH}=۵$



$$F_{OL}=\frac{V_{IL}-V_{OL}}{۰/۳}=\frac{۲-۰/۶}{۰/۳}=۴$$

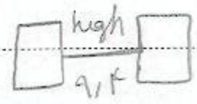
مقدار صحیح سمت بالا



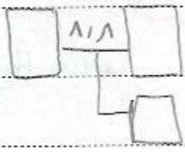
min حصی در High

$$F_{OH} = \frac{V_{OH}-V_{IH}}{۰/۶} = \frac{۱۰-۵}{۰/۶} = ۸$$

مقدار صحیح کسر متقابل



$F_{OH} = ۸$



$$\Rightarrow F_O = \text{Min}\{۸, ۴\} = \boxed{۴}$$

ب) NM بدون بار ← No load

$V_{OH} = ۱۰$ $\quad = V_{OH} - V_{IH}$

$V_{OL} = ۰/۶$ $\quad NM_H = ۱۰ - ۵ = ۵$

$V_{IL} = ۲$

$V_{IH} = ۵$ $\quad NM_L = ۲ - ۰/۶ = ۱/۴$

$\quad = V_{IL} - V_{OL}$

$$NM = \text{Min}\{۵, ۱/۴\} = \boxed{۱/۴}$$

NM با بار کامل ← NO FL (بیشترین تعداد طبقات مجاز در خروجی)

یعنی تعداد FO طبقه در خروجی قرار دهیم

$V'_{OH} = V_{OH} - ۴ \times ۰/۶ = ۱۰ - ۲/۴ = ۷/۶$ برای ورودی High کاهش داریم

$V'_{OL} = V_{OL} + ۴ \times ۰/۳ = ۰/۶ + ۱/۲ = ۱/۸$ برای ورودی سطح افزایش داریم

V_{IL} و V_{IH} مستقل از تعداد طبقات خروجی است.

$V_{IH} = ۵$ $\quad V_{IL} = ۲$

$NM_H = ۲/۶$ $\quad NM_L = ۰/۲$ $\quad \Rightarrow \boxed{NM = ۰/۲}$

FO	NM
۰	۱/۴
۴	۰/۲

نکته: به تضاد بین NM و FO دقت کنید

تکلیف: برای داشتن حداقل ۷۵٪ NM ، FO چقدر است

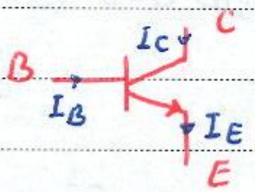
بخش اول

تکنولوژی های Bipolar (دوقطبی)

IC های حاوی ترانزیستورهای $\underbrace{\text{npn و یا pnp}}_{BJT}$

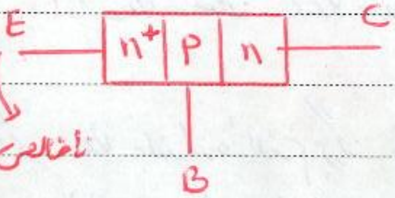
Bipolar junction Transistor (ترانزیستور پیوندی دوقطبی)

مروری بر ترانزیستور npn:



(فلش جهت جریان درون E را نشان می‌دهد)

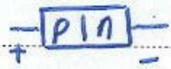
$$\boxed{I_E = I_C + I_B}$$

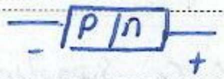


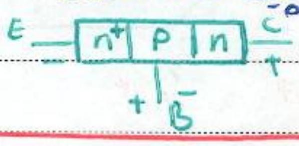
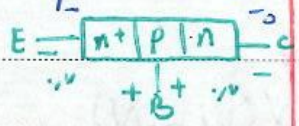
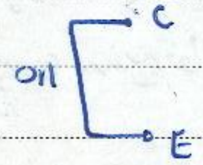
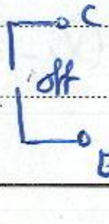
ناخالصی زیاد

Si ذاتی

غیرذاتی < n ستون ۵ / p ستون ۳

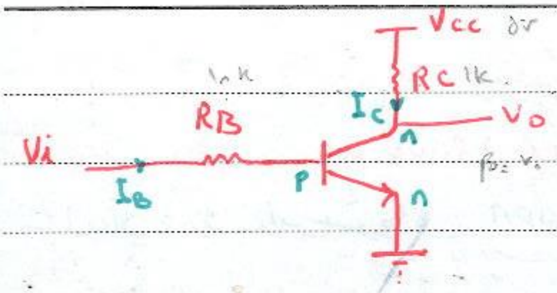
Forward Bios 

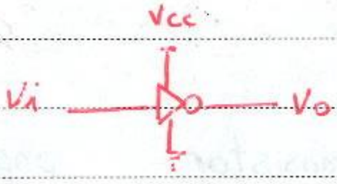
Riverse Bios 

ناحیه کار \ ویژگی			
Active (فعال) Forward Active	پیوند BE مستقیم پیوند CB معکوس 	$I_C = \alpha_F I_E$ $I_C = \beta_F I_B$	$0<\alpha_F<1$ $\beta_F = \frac{\alpha}{1-\alpha_F}$ بزرگ کاربرد تقویت کننده (آنالوگ) $\alpha_F = \frac{\beta_F}{\beta_F+1}$
saturation (اشباع)	پیوند BE مستقیم پیوند CB مستقیم 	$I_C < \alpha_F I_E$ $I_C < \beta_F I_B$ شرط اشباع $\{I_B > \frac{I_C}{\beta_F}$	V_{CE} ناچیز = ۰.۲ مانند کلید بسته (S.C.) 
cut off (قطع)	پیوند BE معکوس پیوند CE معکوس	$I_C = 0$ $I_E = 0$ $I_B = 0$	مانند کلید باز (O.C)  کاربرد در مدار منطقی (دیجیتال)

R	kΩ
I	mA
V	V
P	mW

گیت NOT ساده :





و خروجی H

الف) V_i = "0" مثلاً ۰ = V_i ولت ⇐ B-E معکوس ⇐ قطع ⇐ $I_C = ۰$ ⇐ $I_C = \left(\frac{V_{CC}-V_O}{R_C}\right)$ ⇐

$V_O = V_{CC}$ ⇐ V_i کم ، V_O زیاد.

و خروجی L

ب) V_i = "1" مثلاً $V_i = V_{CC}$ ⇐ B-E مستقیم ⇐ $I_B = \frac{V_i - V_{BE}}{R_B}$

اگر V_i به اندازهٔ لازم بزرگ باشد I_B بزرگ می شود به طوری که $I_B > \frac{I_C}{\beta_F}$ ⇐ اشباع

⇐ $V_O = V_{CE}(sat)$ ⇐ V_i زیاد ، V_O کم

که ناچیز

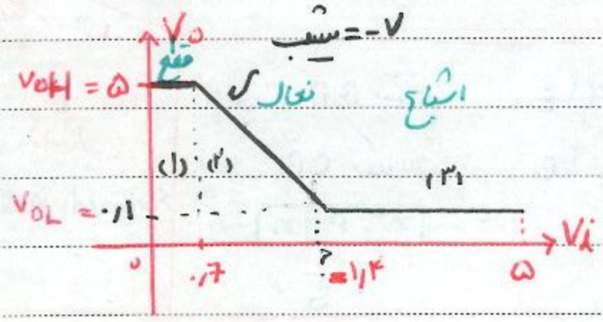
محاسبات : با فرض داده های زیر ، ترانزیستور $R_C = 1k$ ، $R_B = 10k$ ، $V_{CC} = 5V$

$\beta_F = ۷۰$

$V_{BE} = ۰.۷V$ (روشن در اشباع)

$V_{CE} = ۰.۱$ اشباع

الف) NM :



۱) $V_i < ۰.۷$ ترانزیستور را قطع می کند لذا $I_C = ۰$

یعنی $V_O = V_{CC} = ۵$

۲) $V_i > ۰.۷$ ترانزیستور وصل می شود

$I_B = \frac{V_i - ۰.۷}{۱۰}$

چون V_i خیلی بزرگ نیست یعنی I_B زیاد بزرگ نیست

پس در ناحیه فعال است $I_C = \beta_F I_B = ۷۰\left(\frac{V_i - ۰.۷}{۱۰}\right)$

$I_C = ۷(V_i - ۰.۷)$

$V_O = V_{CC} - R_C I_C \Rightarrow I_C = \frac{-V_O + V_{CC}}{R_C} \Rightarrow$

$V_O = ۵ - ۱ \times ۷(V_i - ۰.۷) \Rightarrow V_O = ۹,۹ - ۷V_i$

۳) با افزایش تا یک حدی به دلیل افزایش I_B ترانزیستور اشباع می‌شود.

$V_o = V_{CE}(sat) = ۰٫۱$

شرط اشباع : $(sat)\ I_B > \frac{I_C(sat)}{\beta_F}$

$\frac{V_i - ۰٫۷}{۱۰} > \frac{\frac{۵-۰٫۱}{۱}}{۷۰}$

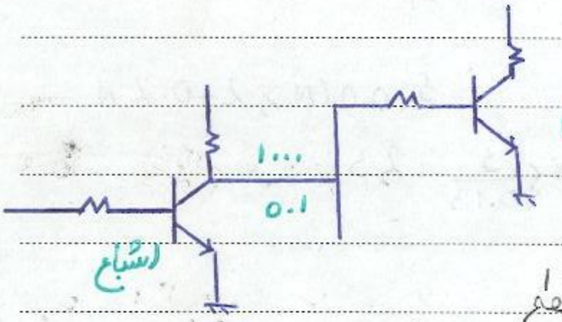
$V_i - ۰٫۷ > ۰٫۷ \Rightarrow V_i > ۱٫۴$ شرط اشباع

حال با توجه به نمودار می‌توان NM را بدست آورد.
هرگاه VTC خطی باشد (نه منحنی) نمی‌توان از $\frac{dV_o}{dV_i} = -۱$ برای
یافتن V_{IL} و V_{IH} استفاده کرد در عوض برای
V_{IL} و V_{IH} می‌گیریم.

$V_{OH} = 5$
$V_{OL} = 0.1$
$V_{IH} = 1.4$
$V_{IL} = 0.7$

$NM_L = 0.6$
$NM_H = 3.6$ $\Rightarrow N.M = 0.6$

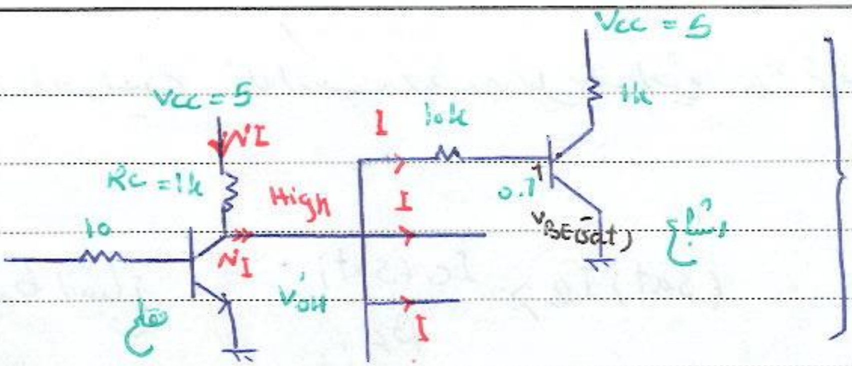
$LS = 4.9$ $TW = 0.7$ $B = 7$ بهره دیجیتال



ب) FO:
$? = F_{OL}$

می‌خواهیم بدانیم خروجی NOT را به چند طبقه NOT می‌توان وصل کرد.
بدلیل اینکه ۰٫۱ کمتر از 0.7 است و در ناحیه (۱) که ناحیه قطع
است واقع شده بنابراین خروجی های طبقه قطع است و نیز ۰٫۱ به وارد طبقه می‌شود
ترانزیستور را نیز قطع می‌کند

$F_{OL} = \infty \Rightarrow$ زیرا ترانزیستورهای طبقه بعد همگی قطع هستند



FOH

N طبقه

با اعمال N طبقه به خروجی High جریان بیس آن طبقه از $R_c = 1k$ عبور می‌کند و افت در خروجی High ایجاد می‌شود لذا F_{OH} محدود است

$$\frac{V_{CC} - V'_{OH}}{R_C} = NI$$

$V'_{OH} = 5 - NIR_C$ $\qquad V'_{OH} = 5 - NI$ $\qquad \underbrace{I}_{I_B} = \frac{V'_{OH} - 0.7}{10} = \frac{\underbrace{V'_{OH}}_{V_1} - V_{BE(sat)}}{R_B}$

$$V'_{OH} = \frac{5 + 0.7N}{1 + 0.1N} \qquad \frac{۵ + ۰.۷N}{1 + 0.1N}$$

دیده می‌شود هرچه N بیشتر باشد V'_{OH} کمتر است

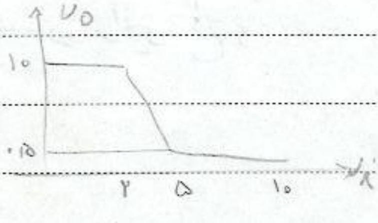
NM مطلوب: ۱ـ در مسئله داده می‌شود ۲ـ اگر در مسئله داده نشد NM بودن را در دقت می‌گیریم

شرط: $V'_{OH} \geq V_{IH} + \underset{\text{مطلوب}}{NM}$ $\qquad V'_{OL} \leq V_{IL} - \underset{\text{مطلوب}}{NM}$

$V'_{OH} \geq 1.4 + 0.6 = 2$ $\qquad \frac{5 + 0.07}{1 + 0.1N} \geq 2$ $\qquad 5 + 0.07N \geq 2 + 0.2N$

$$N \leq \frac{3}{0.13} = 23$$

$F_{OH} = 23$ $\qquad F_O = 23$



L + ۰٫۱۲ ([illegible])

H − ۰٫۱۴ ([illegible])

FO = ?

NM = ۰٫۲

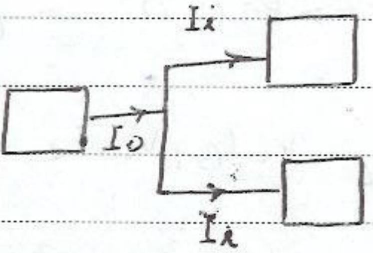
$F_{OH} = \frac{V_{OH} - V_{IH}}{...}$ = ۱۱

$F_{OL} = \frac{V_{IL} - V_{OL}}{۰٫۲}$ = (۱٫٤ − ۰٫۵)/۰٫۲ = ۴

$V'_{OH} \geq V_{IH} =$

$$\boxed{F_O = \frac{I_{O\,max}}{I_{i\,min}}}$$

راه دیگر:



$$I_{O\,max} = \frac{\overset{V_{cc}}{۵} - \overset{V'_{OH}}{۲}}{\underset{R_C}{۱}} = ۳ \; mA$$

$$I_{i\,min} = \frac{\overset{V_{OH}}{۲} - \overset{\text{V بیس اشباع}}{۰/۷}}{\underset{R}{۱۰}} = ۰/۱۳ \; mA$$

$$F_{OH} = \frac{۳}{۰/۱۳} = ۲۳$$

$$I_O = \frac{۵ - V'_{OH}}{۱}$$

ex: آزمایش های روی یک IC انجام شده است و نتایج زیر بدست آمده است FO این IC چقدر است

$I_{OH}(max) = ۱۰۰ \; mA$ حداکثر جریان خروجی High

$I_{OL}(max) = ۵ \; mA$ حداکثر جریان خروجی Low

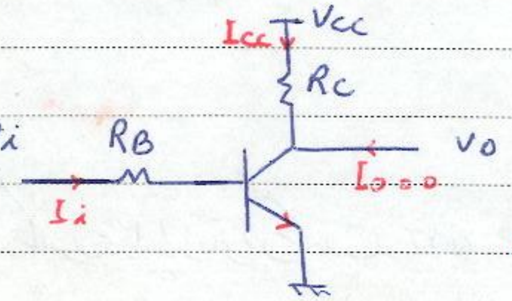
$I_{iH}(min) = ۲ \; mA$ حداقل جریان ورودی High

$I_{iL}(min) = ۱ \; \mu A$ حداقل جریان ورودی Low

$$F_{OH} = \frac{I_{OH}}{I_{iH}} = \frac{100}{2} = 50 \qquad F_{OL} = \frac{I_{OH}}{I_{iL}} = \frac{۵}{۰/۰۰۱} = ۵۰۰۰$$

$$\Rightarrow F_O = 50$$

ج) Pdiss:

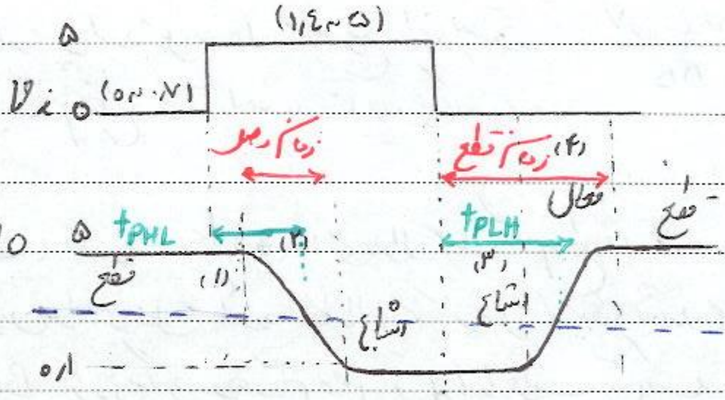


$$P_{diss} = V_i I_i + V_{cc} I_{cc}$$

a) $V_i = "0" \Rightarrow V_O = "1" \Rightarrow$ قطع $\Rightarrow \begin{cases} I_i = 0 \\ I_{cc} = ۰ \end{cases}$

$\Rightarrow P_{dissH} = 0$

PAPCO



د) t_{pd} (تأخیر انتشار)

(۱) مدت زمان شارژ C_{BE} تا ۰٫۷

$t_d \rightarrow$ delay time

(۲) عبور از فعال

$t_f \rightarrow$ fall time

(۳) ناحیه اشباع: مدت تخلیه بارهای اضافی در بیس

$t_s \rightarrow$ storage time

(۴) عبور از فعال t_r (rise time) زمان سقوط

ex: برای یک ترانزیستور واقعی مقادیر زیر را داریم

t_d = ۰٫۸ ns (کمترین)
t_f = ۴٫۲ ns
t_s = ۲۴ ns (بیشترین)
t_r = ۱۵ ns

t_{on} = زمان وصل

$$\boxed{\begin{array}{l} t_{PHL} = t_d + \frac{1}{2}\underset{f}{\cancel{t_s}} \\ t_{PLH} = t_s + \frac{1}{2} t_r \end{array}} \rightarrow t_{pd} = \frac{1}{2}\left(\underset{t_{PHL}}{\cancel{t_{PLH}}} + t_{PLH}\right)$$

t_{off} = زمان قطع

t_{PLH} = ۳۱٫۵ ns (زمان قطع)
t_{PHL} = ۲٫۹ ns (زمان وصل)
$\Rightarrow t_{pd}$ = ۱۷٫۲ ns

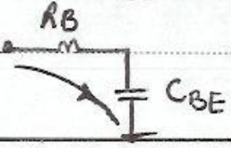
زمان قطع >> زمان وصل

هـ) PDP

$PDP = P_{diss}(av) \cdot t_{pd}$ = ۱۳ mW × ۱۷٫۲ ns ≃ ۲۲۳ pJ

بهبود تأخیر انتشار: با فرض مشخص بودن ۴ پارامتر تأخیر (t_d و $\underbrace{t_f \text{ و } t_r}_{\text{غیرقابل جبران}}$ و t_s) چگونه می‌توان زمان قطع و وصل را کاهش داد؟

الف) بهبود t_d ↓: می‌توان R_B را کوچک کرد یا جریان را بزرگ کرد اما با این

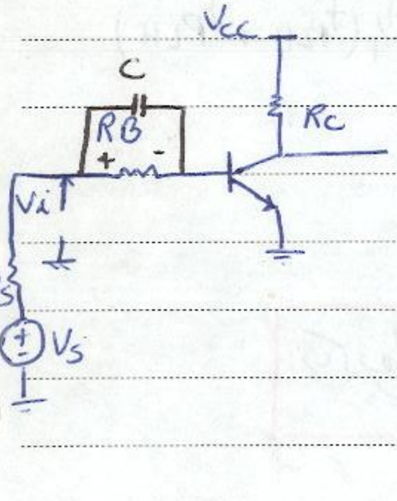


Subject:
Year. Month. Date. ( )

کار پس از وصل شدن سریع ترانزیستور $I_B = \frac{V_i - .7}{R_B}$ زیاد می‌شود یعنی $I_B >> \frac{I_E}{\beta_F}$ ← فوق اشباع
که هنگام قطع t_s را به شدت زیاد می‌کند.

ب) بهبود t_s (↓): می‌توان هنگام قطع ولتاژ منفی به بیس اعمال کرد تا بارهای منفی اضافی بیس را بیرون آورد. اما با این کار پس از قطع شدن سریع ترانزیستور ولتاژ منفی بیس روی خازن BE قرار می‌گیرد و هنگام وصل t_d را خراب می‌کند. Base

راه مناسب: در ابتدای وصل شدن ترانزیستور R_B را کم کنیم تا t_d بهبود یابد اما پس از وصل ترانزیستور R_B را زیاد کنیم تا t_s خراب نشود
در ابتدای قطع شدن ترانزیستور، بیس را منفی می‌کنیم تا t_s بهبود یابد اما پس از قطع ترانزیستور، بیس را صفر کنیم تا t_d خراب نشود
خازن seep-up می‌تواند ۴ وظیفهٔ فوق را به تنهایی عمل کند.
speed-up



الف) فرض: ترانزیستور مدتها قطع ("0" = V_i)
⇐ C مدار باز می‌شود با ولتاژ اولیهٔ صفر
(ولتاژ خازن پیوسته است) لذا در ابتدای وصل، C
مانند اتصال کوتاه عمل می‌کند و R_B را به شدت کاهش می‌دهد.
اما پس از مدتی کوتاه C مدار باز می‌شود و R_B به مدار برمی‌گردد
یعنی I_B از $\underbrace{\frac{V_S - V_{BE}}{R_S}}_{\text{اشباع}}$ در شروع کار به $\underbrace{\frac{V_S - V_{BE}}{R_S + R_B}}_{\text{اشباع}}$ کاهش می‌یابد

ب) فرض کنید ترانزیستور مدتها وصل بوده ("1" = V_i). C مدار باز با ولتاژ اولیهٔ بزرگ (تقریباً $V_S - V_{BE}$) لذا در ابتدای قطع شدن ("0" = V_i). ولتاژ دو سر خازن مانند یک منبع منفی به بیس متصل می‌شود و بارهای اضافی بیس را خالی می‌کند. اما پس از مدت کوتاهی C ولتاژ خود را در R_B خالی کرده و منبع منفی صفر می‌شود.

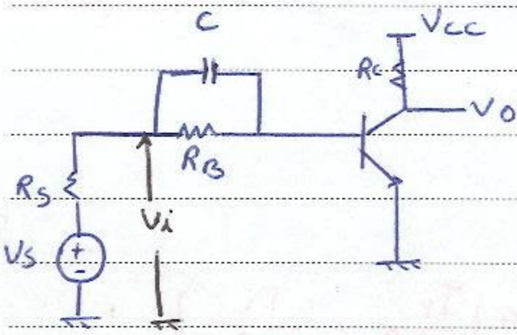
PAPCO

انتهای t_d یعنی ⟵ در موقع وصل شدن خازن آن اتصال کوتاه باشد تا t_d بهبود یابد Kirchhoff

انتهای t_s یعنی در موقع قطع شدن ترانزیستور بار بهبود t_s و شارژ منفی بود

پس ترا می‌چرخند تعیین (خازن شارژ شده باشد)

انتخاب c:



محدودیت ①: در ابتدای وصل c نباید زود شارژ شود زیرا اگر زود شارژ شود یعنی زود مدار باز می‌شود و اتصال کوتاه آن دوام نمی‌یابد.
(خازن پس از گذشت τ ۰٫۱ فقط ۱۰٪ شارژ می‌شود)

در زمان (τ ۰٫۱) ترانزیستور باید وصل شده باشد.

زمان وصل: $t_{on} = t_{PHL} \leqslant 0.1 R_S C$

$$\boxed{C \geqslant \frac{t_{PHL}}{0.1 R_S}}$$

محدودیت ②: در ابتدای قطع، c نباید زود شارژ شود زیرا اگر زود دشارژ شود شارژ منفی دوام نمی‌یابد
در زمان τ ۰٫۱ ترانزیستور باید قطع شده باشد

زمان قطع: $t_{off} = t_{PLH} \leqslant 0.1 R_B C$

$$\boxed{C \geqslant \frac{t_{PLH}}{0.1 R_B}}$$

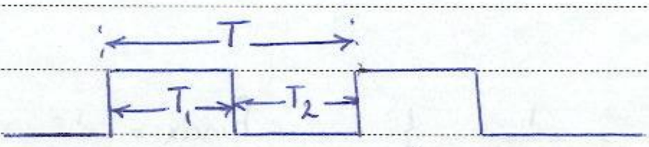
$$C \geqslant \text{Max} \left\{ \frac{t_{PLH}}{0.1 R_B} , \frac{t_{PHL}}{0.1 R_S} \right\} \qquad C_{min} = \text{Max} \left\{ \frac{t_{PLH}}{0.1 R_B} , \frac{t_{PHL}}{0.1 R_B} \right\}$$

$$\tau = RC$$

محدودیت ③:

$f = 1/T$ دوره تناوب

V_i = متناوب



$T = T_1 + T_2$ $\qquad T_1 = T_2 = \frac{T}{2}$ اگر

(متناوب مربعی)

در ابتدای T_1، c باید مدار باز شده باشد تا R_B در مدار بازگشته باشد و I_B کم شده باشد (خازن پس از گذشت τ۲٫۳، ۹۰٪ شارژ می‌شود)

$$2.3 R_S C \leqslant T_1 \Rightarrow C \leqslant \frac{T_1}{2.3 R_S}$$

محدودیت ②: در انتهای $T_۲$، C باید دشارژ شده باشد تا منبع منفی از بین رفته باشد

$۲٫۳ R_B C \leq T_۲ \Rightarrow C \leq \frac{T_2}{2٫3 R_B}$

$C \leq \text{Min}\left\{ \frac{T_۲}{۲٫۳ R_B} , \frac{T_۱}{۲٫۳ R_S} \right\}$ $C_{max} = \text{Min}\left\{ \frac{T_۲}{۲٫۳ R_B} , \frac{T_۱}{۲٫۳ R_S} \right\}$

در عمل غالباً یک C بزرگتر از Cmin انتخاب می‌شود پس فرکانس ورودی محدود می‌گردد.

ex: فرض کنید

$R_B = ۱۰ \text{ k}\Omega$

$R_S = ۱ \text{ k}\Omega$

$t_{PHL} = ۲٫۹ \text{ ns}$

$t_{PLH} = ۳۱٫۵ \text{ ns}$

الف) Cmin چقدر است؟

$C_{min} = \text{Max}\left\{ \underbrace{\frac{۲٫۹ \text{ ns}}{۰٫۱ \times ۱\text{k}}}_{۲۹ \text{ PF}} , \underbrace{\frac{۳۱٫۵ \text{ ns}}{۰٫۱ \times ۱۰\text{k}}}_{۳۱٫۵ \text{ PF}} \right\} = ۳۱٫۵ \text{ PF}$

ب) اگر C = 100 PF انتخاب شود حداکثر فرکانس ورودی مربعی چقدر است

$T_۱ = T_۲ = \frac{T}{۲}$

$T_۱ \geq ۲٫۳ R_S C$ $T_2 \geq ۲٫۳ R_B C$

$\frac{T}{2} \geq ۲٫۳ R_S C$ $\frac{T}{2} \geq ۲٫۳ R_B C$

$T \geq ۴٫۶ R_S C$ $T \geq ٤٫٦ R_B C$

$f \leq \frac{1}{۴٫۶ R_S C}$ $f \leq \frac{1}{٤٫٦ R_B C}$

$f \leq \text{Min}\left\{ \frac{1}{۴٫۶ R_S C} , \frac{1}{۴٫۶ R_B C} \right\}$ $f_{max} = \frac{1}{۴٫۶ R_B C} = \frac{1}{۴٫۶ \times ۱۰۰۰۰ \times ۱۰۰ \times ۱۰^{-۱۲}}$

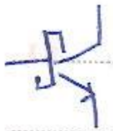
$\Rightarrow f_{max} = ۲۱۷ \text{ kHZ}$

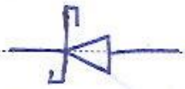
دیده می‌شود گرچه خازن فوق قطع و وصل ترانزیستور را سریع می‌کند اما خود موجب تأخیر می‌شود زیرا پس از قطع ترانزیستور باید خالی شود و پس از وصل ترانزیستور باید پر شود یعنی استفاده از خازن فرکانس ورودی را محدود می‌سازد

ضمناً استفاده از خازن‌های در حد PF درون IC ها مقرون به صرفه نیست.

ساختار مدار
گسسته: خازن PF بسیار اقتصادی
مجتمع: " " غیر "

بنابراین استفاده از خازن speed up دو اشکال دارد ۱) محدود f ۲) محدودیت ساخت مجتمع
برای بهبود تأخیر در IC ها از ترانزیستور شاتکی استفاده می‌شود (Schotky)

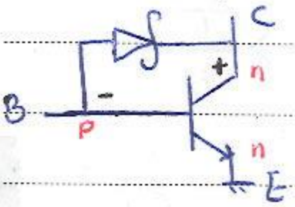




دیود شاتکی:

پیوند بین نیمه‌هادی و فلز است. هر فلزی با هر نیمه‌هادی تشکیل دیود schotky نمی‌دهد
دیود شاتکی سه مزیت دارد ① ساختن آسان ② ولتاژ هدایت کمتر از سیلیکان و وابسته به جنس فلزی است. مثلاً Al = ۰/۵۵ ، Pt = ۰/۴۵ ، Ti = ۰/۳ ③ سرعت قطع و وصل آن زیاد است.

ترانزیستور شاتکی:



در نواحی قطع و فعال دیود فوق بی‌اثر است.

C-B معکوس

زیرا پیوند C-B معکوس است.

اما در ناحیهٔ اشباع به دلیل کمتر بودن ولتاژ هدایت شاتکی نسبت به P-n پیوند CB بایاس مستقیم کمتری می‌شود لذا ترانزیستور کمتر در اشباع فرو می‌رود. به بیان دیگر t_s در شاتکی بسیار کوچک است

$t_s \simeq 0$

در مثال قبل
t_d = ۱۸ ns t_r = ۱۵ ns
t_f = ۴٫۲ ns

Subject:
Year. Month. Date. ( )

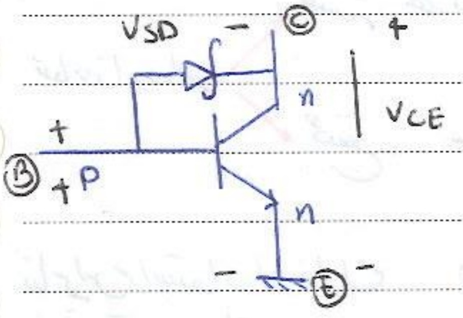
تاخیر انتشار: $t_{pd} = \frac{۱}{۲}(t_{PHL} + t_{PLH})$

$t_{PHL} = ۲,۹\ ns$
$t_{PLH} = ۷,۵\ ns$ $\Bigg\} \Rightarrow t_{pd} = ۵,۲\ ns$

در مقایسه با ترانزیستور معمولی (۱۷,۲ ns)

اشکال اصلی ترانزیستور شاتکی:

$V_{CE}(sat)$ آن بزرگ است.



$V_{CE}(sat) = -V_{SD} + V_{BE}(sat)$

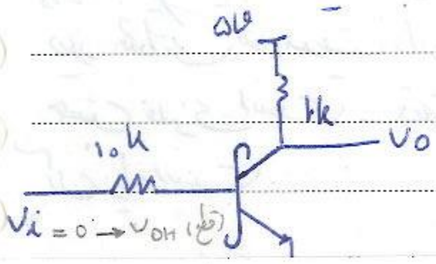
ex: $V_{BE}(sat) = ۰,۸ \Rightarrow V_{CE}(sat) = -۰,۵ + ۰,۸ = ۰,۳$

تکلیف: NM ، FO ، $P_{diss}(av)$ بدل ها را برای گیت زیر حساب کنید

در حالت هدایت ($V_{SD} = ۰,۴$) جریان‌ها = $\bar{P}t$

$\beta_F = ۷۰$ (قطع) $V_{OH} = V_{CC} = ۵$ $V_{IL} = ۰,۷$

$V_{BE} = ۰,۷$ (اشباع) $V_{OL} = V_{CE} = ۰,۷ - ۰,۴ = ۰,۳$

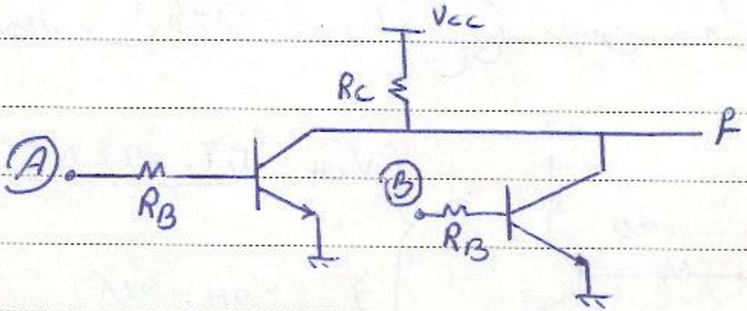


تکنولوژی RTL

ورودی خروجی
: Resistor Transistor Logic

گیت پایه آن NOR است.

A	B	f
0	0	1
0	1	0
1	0	0
1	1	0


Vcc
Rc
f
A
RB
B
RB

عملکرد: اگر هر دو ورودی "۰" باشد هر ۲ ترانزیستور قطع می‌شود ⇐ f = "1"

اگر حداقل یک ورودی "۱" باشد، حداقل یک ترانزیستور وصل (اشباع) می‌شود ⇐ f = "0"

⇐ عملکرد NOR دارد.

محاسبات: با فرض داده‌های زیر $NM = ?$ ، $F_O = ?$ ، $P_{diss} = ?$

B_F = ۳۰

V_{BE} (فعال) = ۰٫۷V

V_{BE} (اشباع) = ۰٫۸

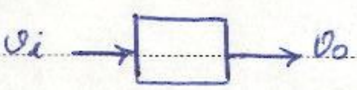
V_{CE} (اشباع) = ۰٫۱

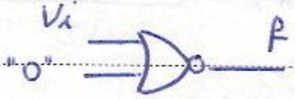
V_{CC} = ۳٫۶V

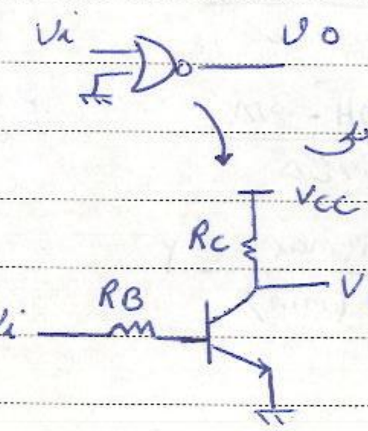
R_C = ۶۴۰ Ω

R_B = ۴۵۰ Ω

: NM






Vi
vo
مدار داخلی
Vcc
Rc
Vo
RB
Vi

$V_{OH} = V_{CC} =$ ۳٫۶

$V_{OL} = V_{CE}(sat) =$ ۰٫۱

$V_{IL} =$ ۰٫۷ شرط قطع

V_{IH}: $I_B > \frac{I_C}{B_F}$

Subject:
Year. Month. Date. ( )

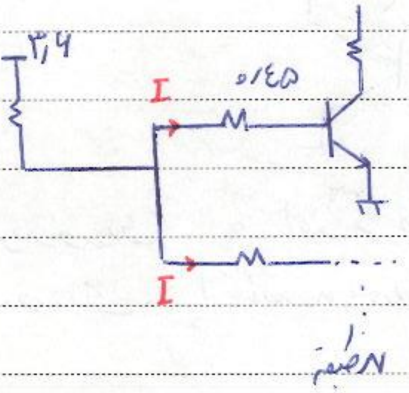
$\frac{V_i - ۰/۸}{R_B} > \frac{\frac{V_{CC} - V_{CE}(sat)}{R_C}}{\beta_F}$ $\frac{V_i - ۰/۸}{۰/۴۵} > \frac{\frac{۳,۴ - ۰/۱}{۰/۶۴}}{۳۰}$

$V_i > ۰/۸۸$ $\boxed{V_{IH} = ۰/۸۸}$

FO: خروجی که سطح است طبقات بعد را قطع می‌کند پس ∞ طبقه می‌توان گذاشت

$F_{OL} = \infty$

F_{OH}



$$\begin{cases} V'_{OH} = ۳,۴ - ۰/۶۴\,NI \\ I = \frac{V'_{OH} - ۰/۸}{۰/۴۵} \end{cases}$$

$\Rightarrow V'_{OH} = ۳,۹ - ۰,۶۴\,N\left(\frac{V'_{OH} - ۰/۸}{۰/۴۵}\right)$

$V'_{OH} = \frac{۳,۹ + \frac{۰/۶۴\,N \times ۰/۸}{۰/۴۵}}{1 + \frac{۰/۶۴}{۰/۴۵}\,N}$ $V'_{OH} \geq V_{IH} + \underset{\text{بدون بار}}{NM}$

$۰/۸۸ + ۰/۶$

$\boxed{V'_{OH} \geq ۱,۴۸}$

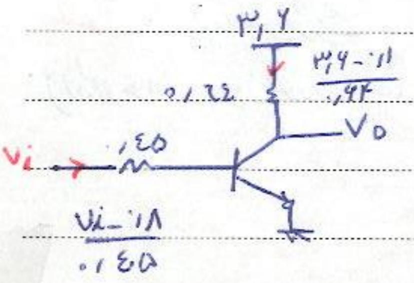
$I_O = \frac{۳,۹ - V'_{OH}}{۰/۶۴}$ $I_{O(max)} = \frac{۳,۴ - ۱,۴۸}{۰/۶۴}$

$I_i = \frac{V'_{OH} - ۰/۸}{۰/۴۵}$ $I_{i(min)} = \frac{۱/۴۸ - ۰/۸}{۰/۴۵}$

$F_{OH} = \frac{I_{O(max)}}{I_{i(min)}} = ۲$ $\boxed{F_O = ۲}$

FO براست

Pdiss بدون بار:



$A=B=$"0" ⇐ هر ۲ ترانزیستور قطع است ⇐ $P_{dissH}=0$

$A=0\,,\,B=1$
$A=1\,,\,B=0$ ⇐ یکی قطع دیگری وصل

$$P_{dissL}=\left(\frac{V_i-۰٫۸}{۰٫۴۵}\right)V_i+۳٫۶\left(\frac{۳٫۶-۰٫۱}{۰٫۶۴}\right)$$

$$V_i=V'_{OH}(N=1)=\frac{۳٫۶+\frac{۰٫۶۴\times۰٫۱}{۰٫۴۵}}{1+\frac{۰٫۶۴}{۰٫۴۵}}=۱٫۹۵۹۶$$

$$P_{dissL}=۲۴٫۷\ mW$$

$A=B=$"1" ⇐ هر ۲ وصل

$$\overset{*}{P}_{dissL}=۲\left(\frac{V_i-۰٫۸}{۰٫۴۵}\right)V_i+۳٫۶\left(\frac{۳٫۶-۰٫۱}{۰٫۶۴}\right)$$

$$\overset{*}{P}_{dissL}=۲۹٫۷\ mW$$

$$P_{diss}(av)=۱/۴\left(P_{dissH}+۲P_{idssL}+\overset{*}{P}_{dissL}\right)=\boxed{۱۹٫۸\ mW}$$

توان مصرفی بد است

خلاصه

$NM=۰٫۶$ متوسط
$FO=۲$ بد
$P_{diss}=۱۹٫۸\ mV$ بد
(عدم استفاده از خازن speedup و schotky) سرعت بد

تکلیف: در تکنولوژی RTL توان مصرفی متوسط گیت NOR سه ورودی چقدر است

(اطلاعات ورودی مشابه دو ورودی)

۲ ترانزیستور	۱ ترانزیستور	همه وصل	قطع
110 011 101	001 010 100	111	000

۱ مورد $P_{diss\,H} = 0$

۳ مورد / ۱ ترانزیستور وصل $P_{diss\,L} = V_i\left(\frac{V_i - 0.8}{0.45}\right) + 3.6\left(\frac{3.6 - 0.1}{0.65}\right) = 24.6\ mw$

$V_i = 1.956$

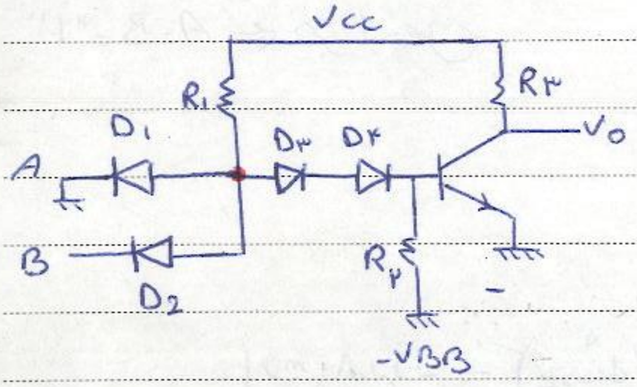
۳ مورد ۲ تا وصل $\overset{*}{P}_{diss\,L} = 2V_i\left(\frac{V_i - 0.8}{0.45}\right) + 3.6\left(\frac{3.6 - 0.1}{0.65}\right) = 29.6\ mV$

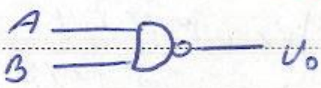
۱ مورد ۳ تا وصل $P_{diss\,L} = 3V_i\left(\frac{V_i - 0.8}{0.45}\right) + 3.6\left(\frac{3.6 - 0.1}{0.65}\right) = 34.6\ mV$

$P_{diss\,(av)} = \frac{1}{8}(0 + 3\times 24.6 + 3\times 29.6 + 34.6) \approx 24.7\ mw$

تکنولوژی DTL

Diode transisto logic





گیت جامع NAND

A	B	Vo
0	0	1
0	1	1
1	0	1
1	1	0

طرز کار:

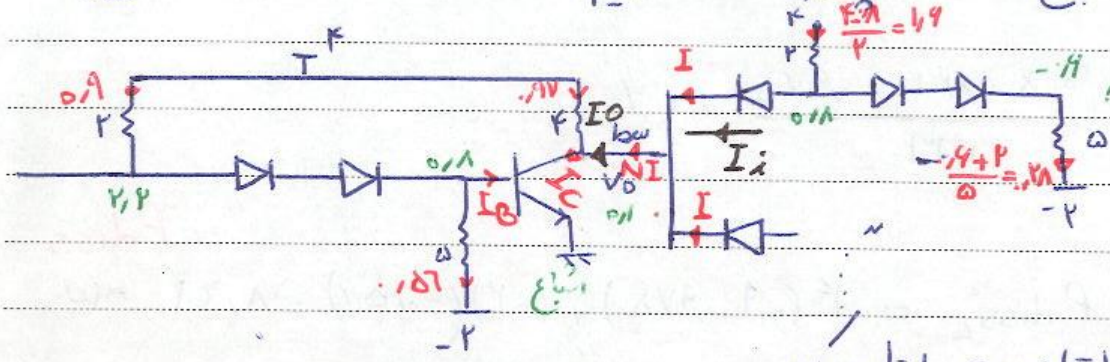
حالت اول (حداقل یک ورودی صفر) بدلیل صفر بودن حداقل یک ورودی دیود مربوطه (D₁ یا D₂) وصل می شود. D₃ و D₄ نیز وصل شده و بیس ترانزیستور صفر می گردد لذا ترانزیستور قطع شده نتیجه: $V_o = V_{cc} = 1$

حالت دوم: (هر دو ورودی "1" یعنی Vcc) : هر دو دیود D₁ و D₂ قطع و D₃ و D₄ وصل می شود. لذا اگر جریانی که به بیس ترانزیستور می رسد مناسب باشد آن را اشباع می کند ⇐

$V_o = V_{CE(sat)} =$ ناچیز "0"

F_{OL} :

ترانزیستور طبقه‌ی ۲ اصلی اشباع است. پس D را حذف می‌کنیم


۴
۰٫۹
۲
۲٫۴
۰٫۸
I_B
۵
۰٫۵۶
-۲
اشباع
۰٫۹۷
۴
I_O
سطح
NI
I_C
V_O
۰٫۱
I
I
I_i
۴
۲
$\frac{4-0.8}{2}=1.6$
۰٫۸
-۰٫۶
۵
$-\frac{-0.6+2}{5}=0.28$
-۲

ترانزیستور قطع است

هر ورودی کمتر از ۱٫۴ ترانزیستور را قطع می‌کند

هر طبقه زیاد کنیم IC زیادتر می‌شود.

$$V_{OL} \leq \underbrace{V_{IL}}_{1.4} - \underbrace{NM}_{1.3 = \text{بدون بار}} \text{مطلوب}$$

$$\Downarrow \quad V_{OL} \leq 0.1$$

خروجی سطح نتواند رشد کند یعنی حتماً باید ترانزیستور اشباع بماند

$$\begin{cases} I_C = 0.975 + N\,\textcircled{I} \\ I_B = 0.34 \end{cases} \qquad \textcircled{I} \to 1.6 - 0.28 = 1.32$$

$$\text{شرط اشباع}: \; I_B > \frac{I_C}{\beta_F} \Rightarrow 0.34 > \frac{0.975 + 1.32N}{30} \Rightarrow 30 \times 0.34 > .975 + 1.32N$$

$$\Rightarrow N < \frac{30 \times 0.34 - .975}{1.32} \Rightarrow N < 6.9$$

$$\boxed{F_O = 6} \Longleftarrow F_{OL} = 6$$

راه دیگر: چون ترانزیستور اشباع است باید IC از یک حدی کمتر باشد

$I_O = I_C - 0.975$

$I_{Omax} = I_{Cmax} - 0.975$

$I_C < 30 \times 0.34$ یعنی $I_C < \beta_F I_B$ شرط اشباع

$I_{max} = 30 \times 0.34 - 0.975$

PAPCO

$I_i = ۱,۳۲$

$F_o = \frac{I_{o\,max}}{I_{i\,min}} = \frac{۳۰ \times ۰,۳۴ - ۰,۹۷۵}{۱,۳۲} = ۹$

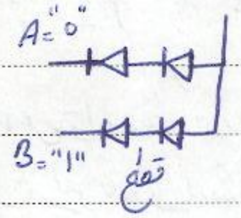
: Pdiss

$A = B = ۱ \Longrightarrow P_{diss_L} = ۴(۰,۹ + ۰,۹۷۵) + (-۲)(-۰,۵۴) = ۸,۶۲ \text{ mw}$

L⇐ 0 = تا ۲ ، NAND

جریان به سمت داخل

A = 0
B = 1



P
چون جمع گفته قبل غلط بودن A = ۰ می‌شود

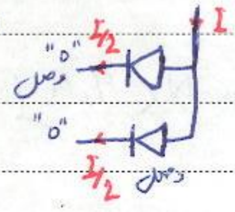
$P_{diss\,H} = ٤ \times ۱,٦ + (-۲)(-۲,۸) + (۰,۱)(-\underset{۱,۳۲}{\overset{-۰,۲۸}{I}})$

$\Rightarrow P_{diss\,H} = ٦,۸۳ \text{ mw}$

اگر A = ۱ و B = ۰ باشد مشابه حالت قبل است.
مشابه حالتهای قبل محاسبه می‌شود

هر سه حالت $\begin{smallmatrix}۰۰\\۰۱\\۱۰\end{smallmatrix}$ مشابه است

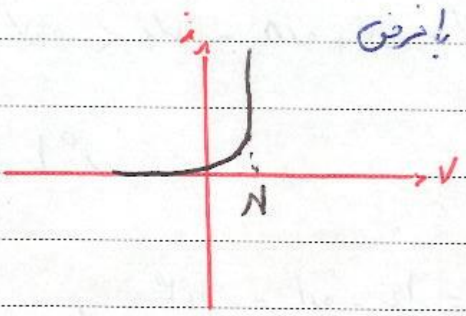
A = 0 و B = 0



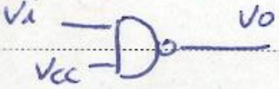
$P_{diss(av)} = \frac{۱}{۴}(P_{diss\,L} + ۳P_{diss\,H}) \simeq ۷,۳ \text{ mw}$

R_1 = ۲k β_F = ۳۰
R_2 = ۵k V_{BE} (فعال) = ۰٫۷V
R_3 = ۴k. V_{BE} (اشباع) = ۰٫۸
V_{cc} = ۴V V_{CE} (اشباع) = ۰٫۱
V_{BB} = -۲V
V_D = ۰٫۷V

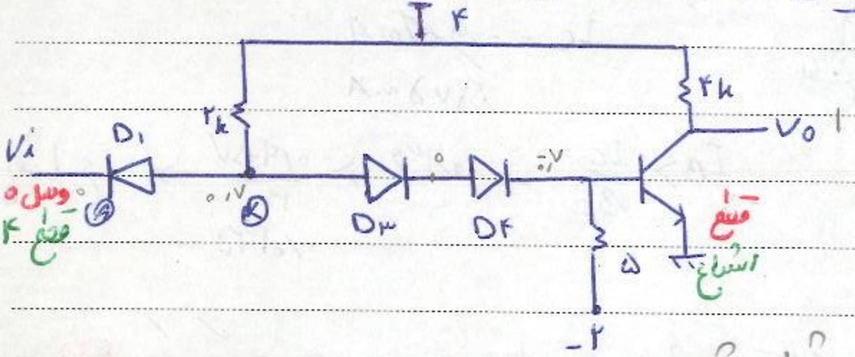
محاسبات : با فرض



NM : NM برای یک ورودی تعریف می‌شود اما این دو ورودی است پس یکی از ورودی‌ها را به Vcc وصل می‌کنیم که بی اثر است.



دیود D_2 را حذف می‌کنیم چون آند آن به Vcc و کاتد آن هم به Vcc متصل است پس این دیود نمی‌تواند وصل باشد.



ورودی ۰ ← خروجی ۱ (قطع)
ورودی ۴ ← خروجی ۰ (اشباع)

ورودی high دیود را قطع می‌کند پس ترانزیستور اشباع می‌شود.
ورودی low ترانزیستور را قطع نگه می‌دارد.
V_{IL} هرچه بیشتر باشد بهتر است.

قطع V_{OH} = ۴
اشباع V_{OL} = ۰٫۱

V_{IL} : حداکثر ورودی برای قطع ترانزیستور (حداکثر ورودی low) = $\boxed{۱٫۴}$

شرط قطع ترانزیستور

$$V_B = V_i + \underbrace{۰٫۷}_{D_1} - \underbrace{۰٫۷}_{D_3} - \underbrace{۰٫۷}_{D_4} < ۰٫۷V \Rightarrow V_i < ۱٫۴$$

V_{IH} : حداقل ورودی برای قطع D_1 (اشباع ترانزیستور) (حداقل ورودی High) =
شرط قطع D_1 : $V_{D_1} < ۰٫۷V$

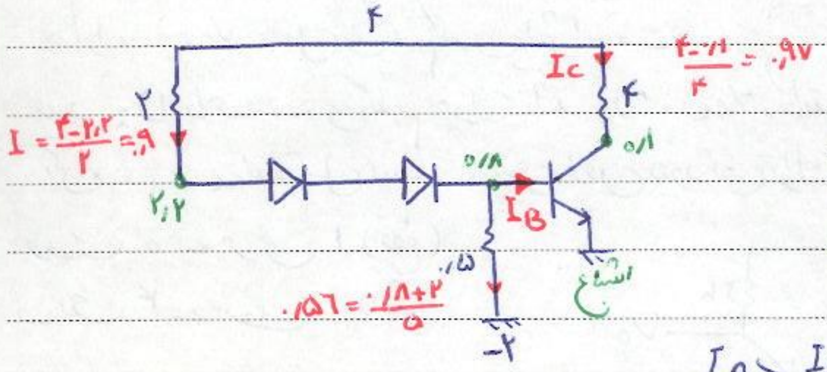
$$\underbrace{V_K}_{\underbrace{۰٫۷}_{D_3} + \underbrace{۰٫۷}_{D_4} + \underbrace{۰٫۸}_{V_{BE}(sat)}} - \underbrace{V_A}_{\to V_i}$$

۰٫۷ + ۰٫۷ + ۰٫۸ − V_i < ۰٫۷ ⇒ V_i > ۱٫۵ ⇒ V_{IH} = ۱٫۵

نکته: بهتر است V_{IH} و V_{IL} بهم نزدیک باشد.

NM_L = ۱٫۴ − ۰٫۱ = ۱٫۳
NM_H = ۴ − ۱٫۵ = ۲٫۵
⇒ NM = ۱٫۳

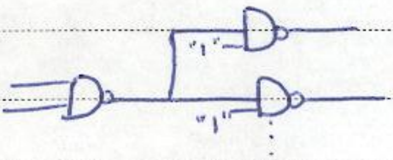
چرا با قطع D، ترانزیستور اشباع می‌شود؟


۴
I_C
۴
۲
I = (۴−۲٫۲)/۲ = ۰٫۹
۲٫۲
۰٫۸
۰٫۱
I_B
۰٫۵
۰٫۵۶ = (۰٫۸+۲)/۵
−۲
اشباع
(۴−۰٫۱)/۴ = ۰٫۹۷

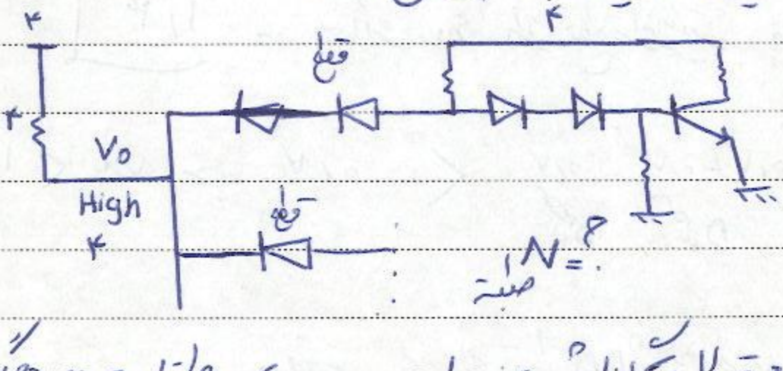
I_B = ۰٫۹ − ۰٫۵۶ = ۰٫۳۴ mA
I_C = ~~۰٫۹۷۵~~ mA
۰٫۹۷۵ mA

$I_B > \frac{I_C}{\beta_F}$ → ۰٫۳۴ > ۰٫۹۷۵/۳۰ ⇒ اشباع
۰٫۰۳۲۵

FO: یک گیت NAND را چندتا شبیه خودش می‌توان وصل کرد.
اگر ورودی دیگر به صفر وصل شود ورودی دیگر را از کار
می‌اندازد پس "۱" می‌گذاریم.
خروجی در حالت H است یعنی ترانزیستور طبقه قبل قطع است



FOH :


۴
۴
۴
قطع
V_o
High
۴
قطع
$N_{\text{طبقه}}$ = ?

در خروجی بی‌نهایت طبقه می‌توان گذاشت زیرا دیود ورودی طبقات بعد همگی قطع‌اند.

$F_{OH} = \infty$

Subject:
Year. Month. Date. ( )

خلاصه تکنولوژی ها

تکنولوژی / پارامتر	RTL	DTL	TTL
تغذیه	خوب ۳٫۶	بد ۲- و۴	۵
NM	متوسط ۰/۶	خوب ۱٫۳	متوسط ۰٫۵
Fo	بد ۲	متوسط ۶	خوب ۷۷
Pdiss	بسیار بد ۱۳	بد ۷٫۳	بد ۸
سرعت	بد	متوسط	بالا

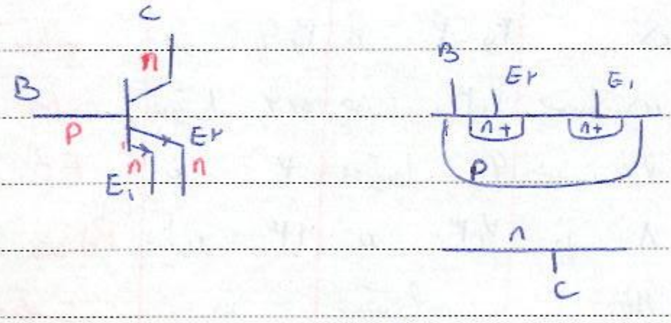
تکنولوژی TTL

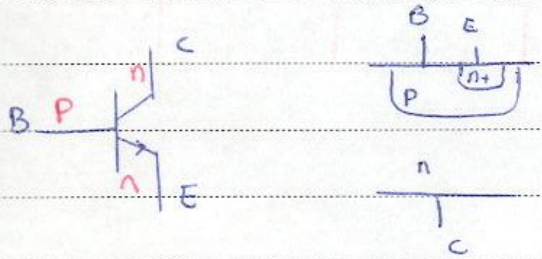
Transistor_Transistor_logic

مقسره: دوشنبه

۱_ ترانزیستور ۲ امیتره:

مساحت ۲ امیتره کمی بیشتر از ۱ امیتره است.


C
n
B
P
E2
E1
n
n
B
E2
E1
n+
n+
P
n
C


C
n
B
P
n
E
B
E
n+
P
n
C

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

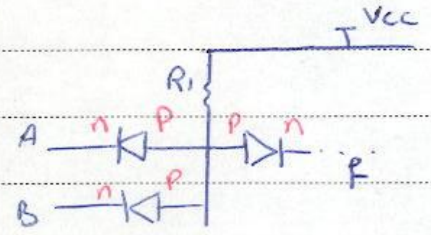
$F = A.B$

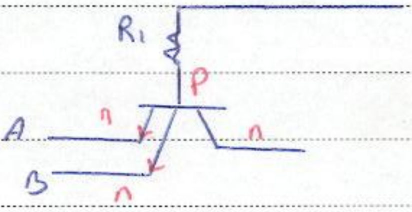
کاربرد ۲ امیتره:

یادآوری: در ورودی تکنولوژی DTL از مدار زیر استفاده می‌کنیم.

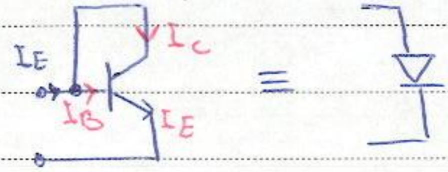
۳ پیوند P_n با P مشترک.

۲ امیتر نیز همین وضعیت را دارد


Vcc
R1
A
n
P
P
n
F
B
n
P



در IC ها اساس کار ساخت ترانزیستور است. لذا برای تولید دیود باید ترانزیستور ساخته شود و از یک پیوند آن به عنوان دیود استفاده می‌شود پس ورودی DTL نیاز به سه ترانزیستور ۱ امیتره دارد که مساحت آن از یک ترانزیستور ۲ امیتره بیشتر است.

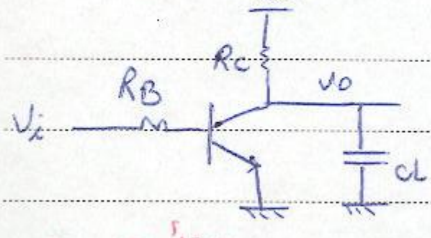


ترانزیستور معادل با دیود

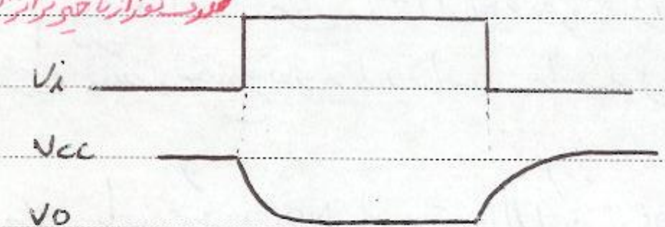
از لحاظ دیجیتال ترانزیستور ۲ امیتره عمل AND را انجام می‌دهد یعنی کلکتور آن حاصل AND امیترهای آن است

۲_ خروجی totem-pole

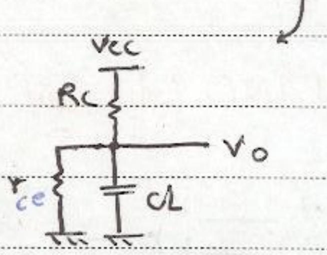
قضیه: اگر خروجی یک NOT ساده را به بار خازنی وصل کنیم چه می‌شود؟
(CL اثر خازنی طبقات بعد و یا خود آن طبقه است که ناخواسته است)

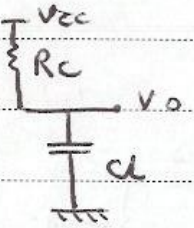


صرف‌نظر از تأخیر ترانزیستور



تخلیه CL درون r





شارژ CL توسط RC

$$\tau = C_L R_C$$

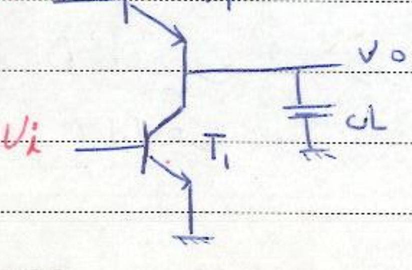
(ناچیز) r مقاومت CE به هنگام اشباع

$$\tau = C_L (r \parallel R_C) \simeq C_L r$$

نامناسب — مناسب

نتیجه: ۱ شدن خروجی بسیار کند (توسط RC) ولی ۰ شدن خروجی بسیار سریع (توسط r)

راه‌حل: همانطور که دشارژ C توسط r مناسب است، شارژ آن نیز توسط r باشد یعنی شارژ با ترانزیستور نه با مقاومت



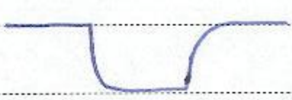
T2 ← برای شارژ CL تعبیه شده
T1 ← برای دشارژ CL تعبیه شده

طرز کار: ① T2 وصل و T1 قطع ← شارژ سریع CL توسط T2

⇐ $V_o = \text{"1"}$ $V_i = \text{"0"}$

② T_2 قطع و T_1 وصل ⟸ شارژ سریع C_L توسط T_1 ⟸ $V_o = "0"$ $V_i = "1"$

مزیت: صفر شدن سریع و یک شدن سریع



نکته: برای اینکه ترانزیستورها عکس هم عمل کنند باید ورودی های آنها معکوس یکدیگر باشد

وظیفه منطقی: گیت NOT

معایب:

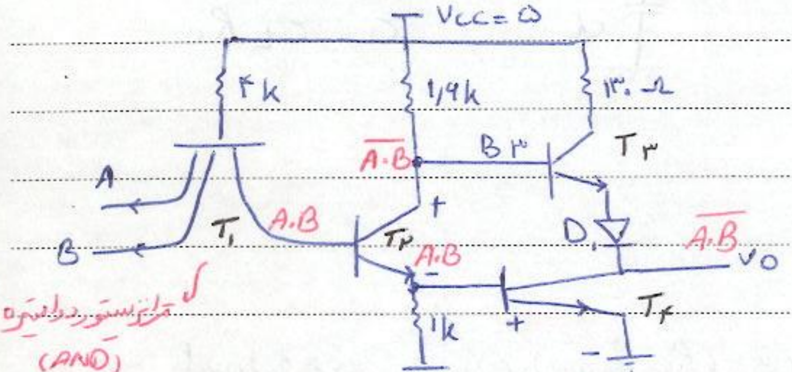
$V_i = "0" \rightarrow$ { T_1 قطع ⟵ وصل T_1 } ⟸ $V_i = "1"$ ناگهان

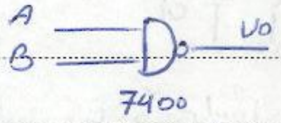
{ T_2 وصل ⟵ قطع – T_2 }

هنگام switching برای مدت کوتاهی هر دو ترانزیستور هدایت دارند جریان زیادی از Vcc می‌گیرد که برای عملکرد صحیح تغذیه باید مناسب باشد (غالباً منبع تغذیه نمی‌توان باطری باشد)

نکته: برای ساختن یک NOT با سرعت بالا از یک NOT معمولی و ۲ ترانزیستور استفاده می‌کنیم

گیت پایه NAND تکنولوژی TTL استاندارد:


Vcc = ۵
۴k
۱/۹k
۱۳۰ Ω
$\overline{A.B}$
B۳
T۳
A
B
T₁
A.B
T۲
A.B
+
-
D₁
$\overline{A.B}$
Vo
T۴
۱k
+
-
ترانزیستور دو امیتره
(AND)
totem pole برجی



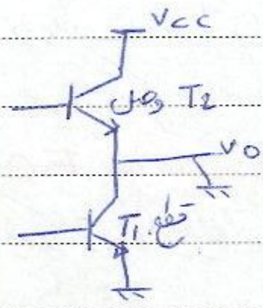
نکته: C معکوس B (کلکتور معکوس بیس)

E هم منطق B (امیتر هم منطق بیس)

نقش D_1: فرض کنید T_4 وصل باشد که در این صورت T_2 نیز وصل است

$V_{B_۳} = V_{CE_۲} + V_{BE_۴} = ۰/۱ + ۰/۸ = ۰/۹$

اگر D_1 نباشد این ۰/۹ ترانزیستور T_3 را وصل می‌کند (یعنی T_3 و T_4 با هم وصل می‌شوند که غیرممکن است) لذا وجود دیود باعث می‌شود که ۰/۹V نتواند T_3 و D_1 را وصل کند



نقش ۱۳۰ Ω : در totem pole مطرح شده :

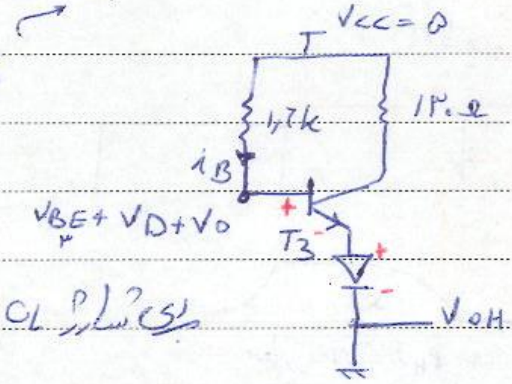
اگر T1 قطع و T2 وصل باشد و سهواً خروجی زمین شود جریان زیادی از T2 می‌گذرد ($\frac{V_{cc}}{۲}$) که ممکن است آن را بسوزاند، وجود ۱۳۰ Ω این جریان را $\frac{V_{cc}}{۱۳۰+۲}$ محدود می‌کند تا ترانزیستور آسیبی نبیند

محاسبات : لازم نیست

: NM

در بعضی از سری‌ها تا ۱۰ افزایش یافته

$$\left.\begin{aligned} V_{OH} &= ۳٫۶ \\ V_{OL} &= ۰٫۱ \\ V_{IL} &= ۰٫۶ \\ V_{IH} &= ۱٫۵ \end{aligned}\right\} \Rightarrow NM = ۰٫۵$$



برای اشباع CL باید T3 و D1 وصل باشند $i_B > ۰$

$$i_B = \frac{V_{cc} - (V_{BE_۳} + V_D + V_o)}{۱٫۶} > ۰$$

$$V_{cc} - (V_{BE_۳} + V_{D_۱} + V_o) > ۰$$

$$V_o < V_{cc} - V_{BE_۳} - V_{D_۱}$$

$$V_{OH} = V_o\Big|_{max} = V_{cc} - V_{BE_۳} - V_{D_۱}$$

$$V_{OH} = ۵ - ۰٫۷ - ۰٫۷ = ۳٫۶ \ (\text{حداکثر})$$

نکته: اگر به صفر فقط یک مقاومت داشتیم $V_{OH} = V_{cc}$ اما اگر در خروجی در قسمت بالا ترانزیستور داشتیم باید V_{OH} را حساب کنیم

: FO $\quad F_O = ۷۷$

: Pdiss $\quad P_{diss(av)} = ۸ \ mV$ بدون بار

در Databook ، برای FO در TTL حدود ۱۰ داده شده است. FO مطرح شده بالاست

Subject:
Year. Month. Date. ( )

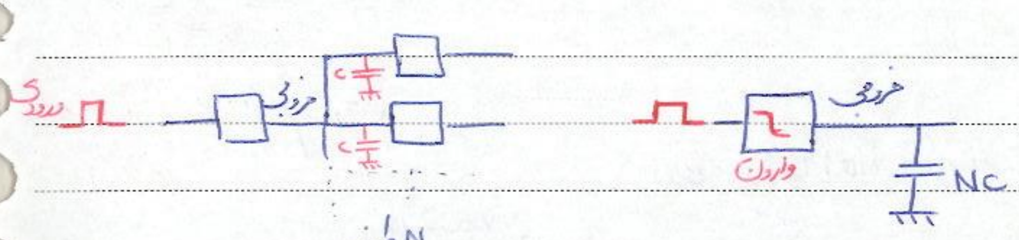
درحالت استاتیک (dc) بود که برای TTL حدود ۷۷ است

نحوه محاسبه و تعریف fan-out درحالت ورودی ac است (به عبارت دیگر در switching)

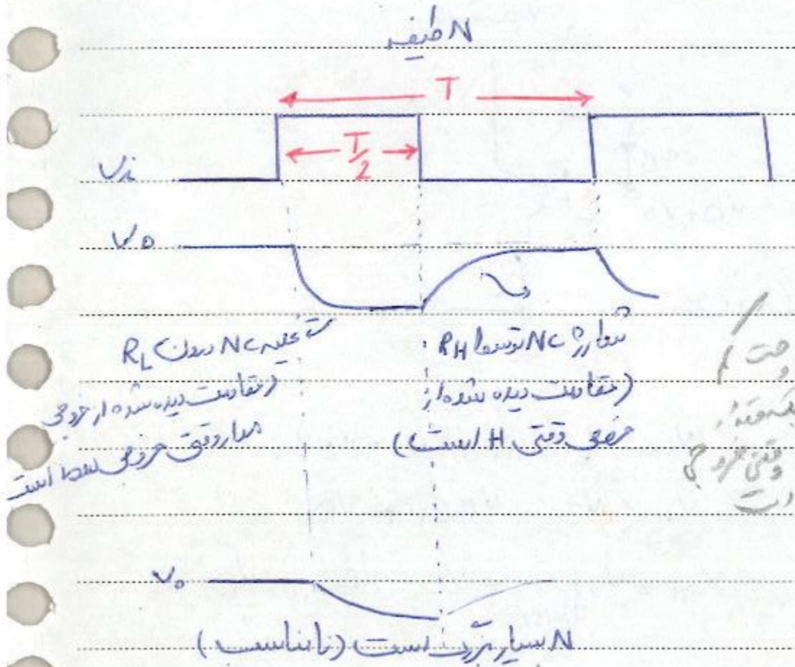
FO دینامیک:

حداکثر تعداد طبقات مشابه قابل اتصال به خروجی به شرطی که ورودی درحالت switching باشد

یعنی ac



ورودی
خروجی
C
C
خروجی
وارونگر
NC



N طبقه
T
$\frac{T}{2}$
Vi
Vo
تخلیه NC روی R_L
(مقاومت دیده شده از خروجی در وقتی خروجی L است)
شارژ NC توسط R_H
(مقاومت دیده شده از خروجی وقتی H است)
Vo
N بسیار بزرگ است (نامناسب)

- پس از 5 ثابت زمانی خازن کاملا پر یا خالی می شود

حتماً داشته باشیم $5R_L N C < T/2$

* به این معنی است که ظرفیت کم یا زیاد [illegible] متفاوت وقتی خروجی low است

$$N < \frac{T}{10 R_L C}$$

$$N < \frac{1}{10 R_L C f}$$ فرکانس

$$F_{OL} = \frac{1}{10 R_L C f}$$

$5R_H N C < T/2 \Rightarrow F_{OH} = \frac{1}{10 R_H C f}$ $\qquad F_O = Min\{F_{OL}, F_{OH}\}$

ex: $f = 10\,kHz$ و $C = 100\,PF$ ، $R_L = 10\Omega$ ، $R_H = 100\Omega$ است FO دینامیک را حساب کنید

$$F_{OL} = \frac{1}{10 \times 10 \times 100 \times 10^{-12} \times 10 \times 10^{3}} = 10000$$

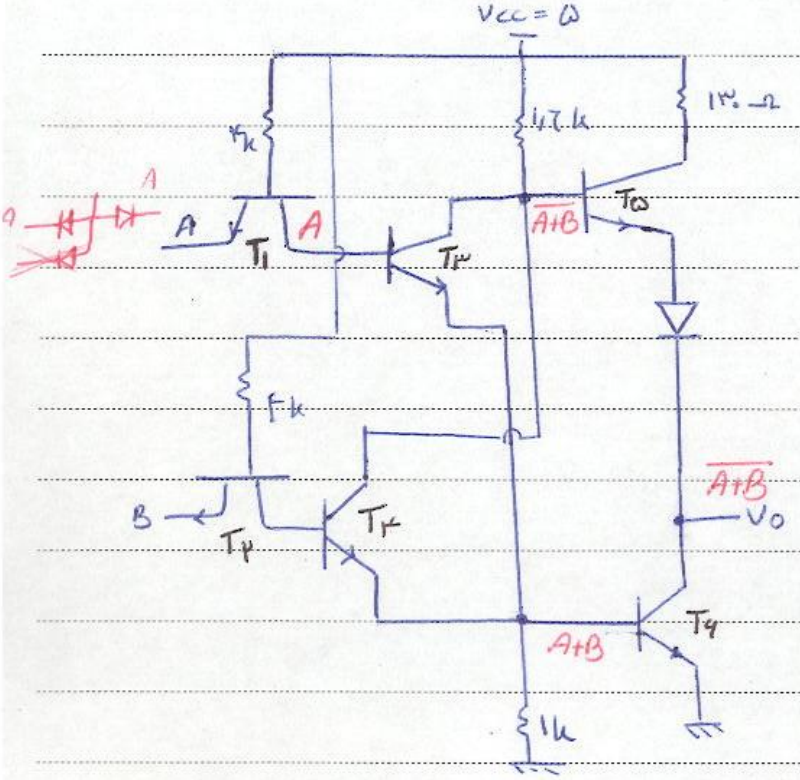
$$\Rightarrow F_O = 1000$$

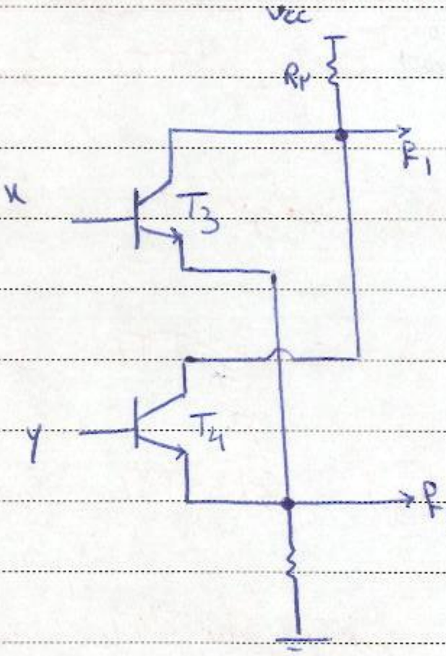
$$F_{OH} = \frac{1}{10 \times 100 \times 100 \times 10^{-12} \times 10^{3} \times 10} = 1000$$

FO های = min{استاتیک، دینامیک}

PAPCO

گیت پایه NOR در تکنولوژی TTL استاندارد:


Vcc = ۵
۴k
۱.۶k
۱۳۰ Ω
A
A
T۱
T۳
T۵
$\overline{A+B}$
۴k
B
T۲
T۴
$\overline{A+B}$
Vo
A+B
T۶
۱k


Vcc
R۲
F۱
x
T3
y
T4
F۲

	x	y	F۱(NOR)
هر ۲ قطع ←	0	0	1
حداقل یکی از T3 یا T4 وصل	0	1	0
	1	0	0
	1	1	0

	x	y	F۲(OR)
هر ۲ قطع ←	0	0	0
حداقل یکی از T3 یا T4 وصل	0	1	1
	1	0	1
	1	1	1

منطق بیس با امیتر یکسان ولی با کلکتور مخالف

تکلیف: توسط TTL استاندارد مداری رسم کنید که خروجی آن $F = \overline{A.B.C + D.E.G}$ باشد. T۱ باید چند امیتره باشد.

سری های مختلف TTL :

① سری TTL استاندارد: با شماره (۷۴xxx) مشخص می شود.

② سری TTL کم مصرف (low power): (۷۴Lxxx) مقاومت های آن بزرگ است

③ سری TTL پرسرعت (High speed): (۷۴Hxxx) مقاومت های آن کوچک است.

④ سری TTL شاتکی (Schotky): (۷۴Sxxx) مقاومت های آن کوچک است.

⑤ سری TTL شاتکی کم مصرف: (۷۴LSxxx) مقاومت ها بزرگ و ترانزیستور آن شاتکی است

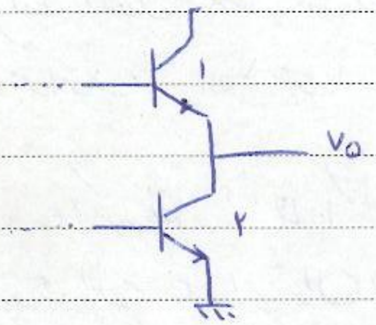
⑥ سری TTL شاتکی پیشرفته (Advance schotky): (۷۴ASxxx) از تکنولوژی ساخت پیشرفته است یعنی سرعت آن بالا می رود و خازن ها کوچک می شود

⑦ سری TTL شاتکی کم مصرف پیشرفته: (۷۴ALSxxx)

۸) سری TTL سریع (Fast): ۷۴Fxxx : سرعت آن بالا است

خروجی های TTL : سه نوع داریم : totempole ، open-collector ،
three state سه حالته

۱) خروجی totempole : اغلب IC های TTL)

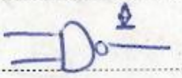


شارژ خازن خروجی با T_1
دشارژ خازن خروجی با T_2

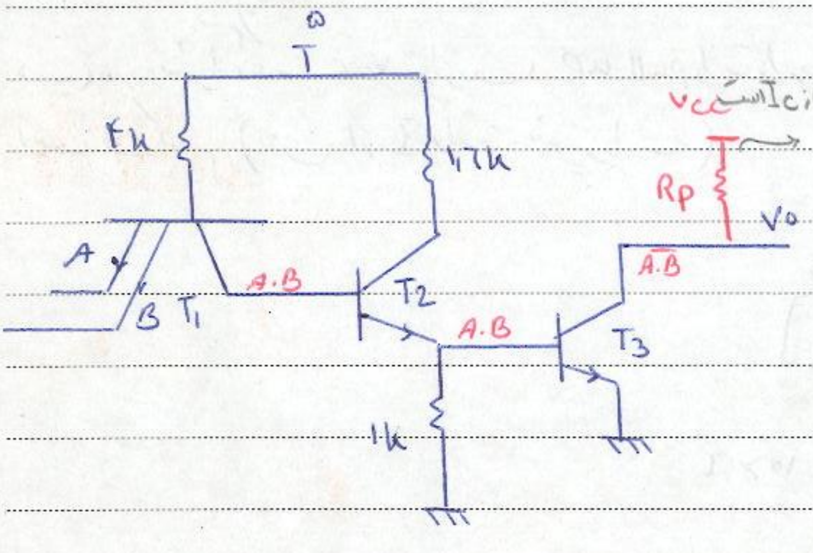
مزیت: سرعت بالای ۰ و ۱ شدن خروجی
اشکال: نیاز به تغذیه مناسب

$V_{OH} \neq V_{CC}$

۲) خروجی open-collector (تعدادی از IC ها)



برای عملکرد صحیح باید یک مقاومت pull-up سر خروجی و تغذیه قرار دهیم تا هنگام خروجی High (یعنی قطع T_3) خروجی از طریق R_p تا Vcc پر بشود ⟸ $V_{OH} = V_{CC}$


۵
۴k
۱.۶k
A
B
T_1
A.B
T_2
A.B
T_3
1k
Vcc
خارج از IC است
Rp
Vo
A.B

R_p کوچک: جریان زیادی وارد T_3 می شود یعنی I_{C3} بزرگ می شود و ممکن است

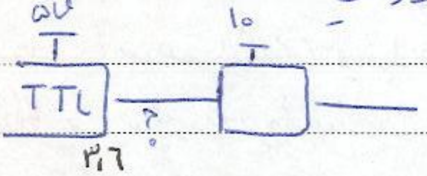
ترانزیستور از اشباع ~~خارج~~ خارج شود　$I_{C3} < \beta_F I_{B3}$　$I_{C3} = \frac{V_{CC}-V_{CE}}{R_P}$

Rp بزرگ: شارژ خازن توسط Rp کند خواهد شد
پس Rp مقداری حدود 1k باید داشته باشد

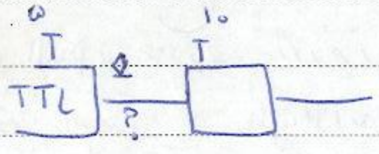
اشکال: شارژ خازن با مقاومت کند است زیرا ترانزیستور شارژی شدنش حذف شده در totempole
سریع بود) لذا اینجا خروجی کند است

مزیت ۱: بزرگترین V_{OH} یعنی Vcc را دارد.

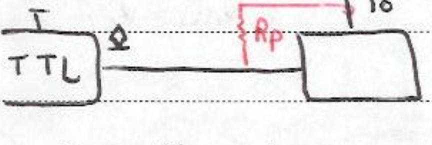
ex: ردیف IC که با تغذیه 10V کار می‌کند، $V_{IH}=6V$ است.
الف) آیا ورودی این IC را می‌توان از خروجی TTL (totempole) گرفت؟
ب) اگر خروجی TTL از نوع کلکتور باز باشد بند الف را تکرار کنید؟



الف) خیر زیرا V_{OH} در TTL برابر با ۳٫۶ است که
از ۶ ولت مورد نیاز IC دوم به عنوان 1 یا high کمتر
است.　$\overline{V_{IH}}$ مینیمم ولتاژ ورودی که می‌تواند هنوز '1' تلقی گردد　۳٫۶ < ۶



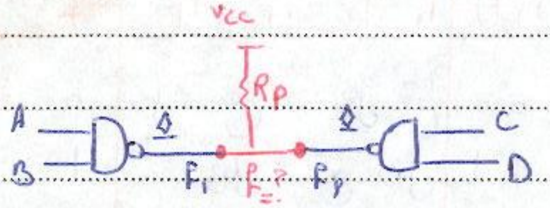
ب) بله به شرط آنکه Vcc مقاومت pull up را مقدار مناسبی
انتخاب کنیم (یعنی از ۶ ولت بیشتر باشد)



$V_{OH} = V_{CC} = 10$
$V_{IH} = 6$　$\Rightarrow 10 > 6$

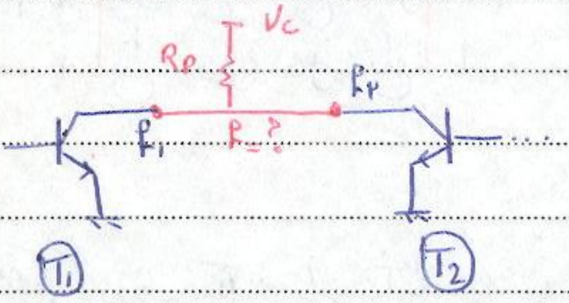
مزیت ۲: گرمای حاصل از شارژ خازن خروجی در بیرون از IC تولید می‌شود

مزیت ۳: قابلیت اتصال خروجی ها به هم.



F1, F2 } قبل از اتصال

F } بعد از اتصال



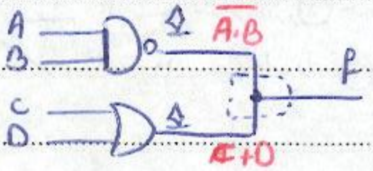
	قبل از اتصال		وضعیت		پس از اتصال
	F_1	F_2	T_1	T_2	F
۱)	۰	۰	(sat) وصل	وصل	۰
۲)	۱	۱	قطع	قطع	۱
۳)	۱	۰	قطع	وصل	۰
۴)	۰	۱	وصل	قطع	۰

توضیح ۱) پس از اتصال خروجی ها به هم I_C هر ترانزیستور نصف می شود لذا اینجا اشباع جریان برقرار است یعنی $F=0$ است.

نکته: قطع بودن یعنی C ندارد اگر BE ترانزیستوری کم باشد قطع می شود

توضیح ۲) چون هر دو تا قطع است پس کلکتور آنها هم قطع است جریان از R_P می آید داخل خازن می شود و آن را تا حد Vcc پر می کند.

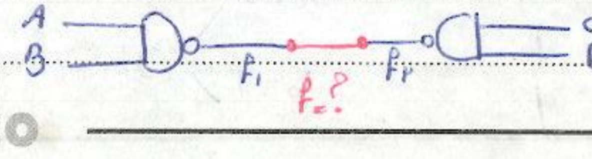
نتیجه مهم: پس از اتصال، حاصل AND خروجی های قبل از اتصال ایجاد می شود به این خاصیت Wired-AND گویند.
$F = F_1 . F_2$

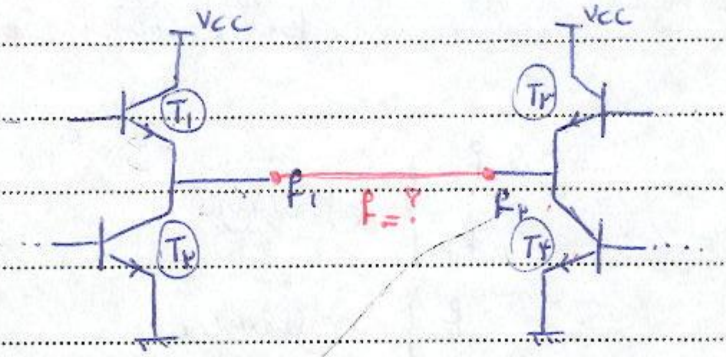


مدار wired-AND

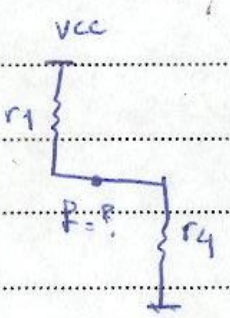
$F = \overline{A.B} . (C+D)$

سوال: اگر خروجی های totempole را به هم وصل کنیم F چه می شود؟





قبل از اتصال		وضعیت				پس از اتصال
P1	P2	T1	T2	T3	T4	F
0	0	قطع	وصل	قطع	وصل	0
1	1	وصل	قطع	وصل	قطع	1
1	0	وصل	قطع	قطع	وصل	* مبهم
0	1	قطع	وصل	وصل	قطع	*



* مبهم: اگر زور T4 بیشتر از T1 باشد یعنی r4 کوچکتر از r1 باشد خازن دشارژ می‌شود.

$$F = \frac{r_4}{r_4+r_1} V_{cc}$$

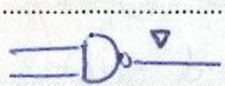
$r_1 \ll r_4 \Rightarrow F = "1"$

$r_4 \ll r_1 \Rightarrow F = "0"$

بدترین حالت ← $r_1 = r_4 \Rightarrow F = \frac{V_{cc}}{2}$ (نامعین)

توصیه: هرگز نباید خروجی های Totempole را باهم وصل کرد زیرا ممکن است خروجی مبهم یا نامعین شود

۳- خروجی سه حالته: (Three-State) تعداد بیش از I_C ها



(سطح ولتاژ)

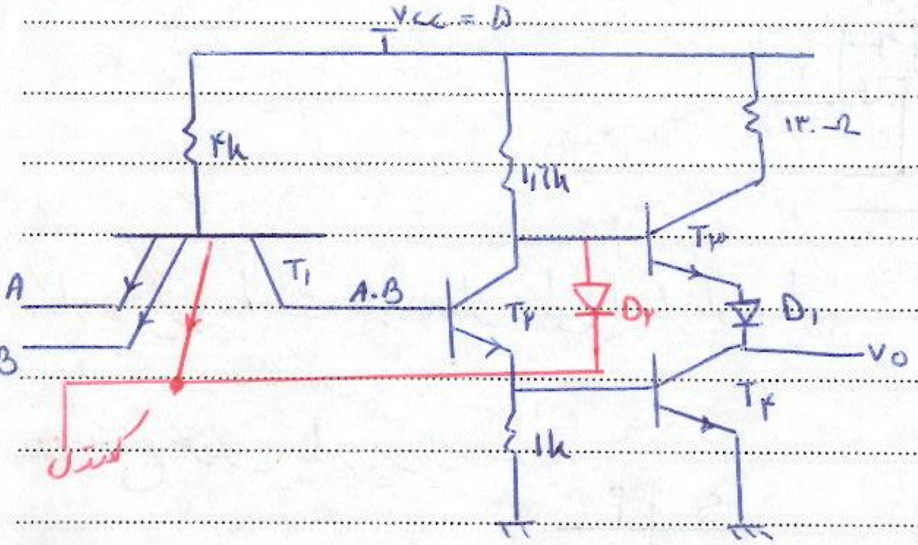
سه حالته:
- '0' ← تخلیهٔ خازن خروجی
- '1' ← شارژ شدن خازن خروجی — High ولتاژ زیاد
- Hi-Z ← امپدانس زیاد (مدار باز) ← (نه شارژ می‌شود نه دشارژ)

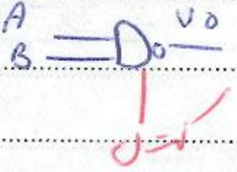
کنترل = "1" ⇐ ضرب اند A و B اجرا است
D_2 قطع است

$A = B = 1 \Rightarrow V_0 = '0'$

$A = 0, B = 1$
$A = 1, B = 0$
$A = 0, B = 0$
$\Rightarrow V_0 = '1'$

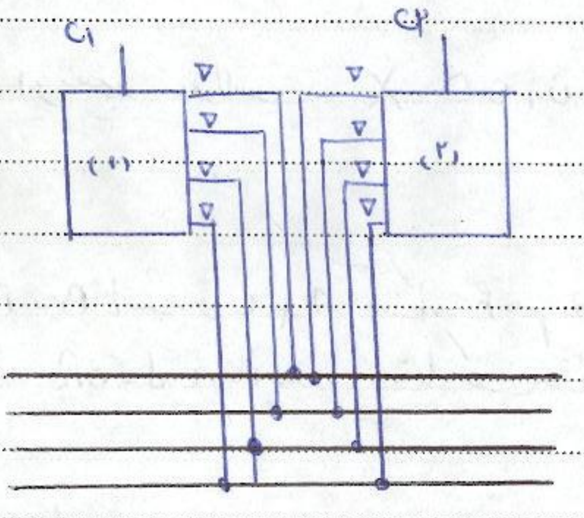
⇐ مثل NAND عمل


Vcc = ۵
۴k
۱.۶k
۱۳۰ Ω
T۱
T۲
T۳
T۴
D۱
D۲
A
B
A.B
Vo
۱k
کنترل



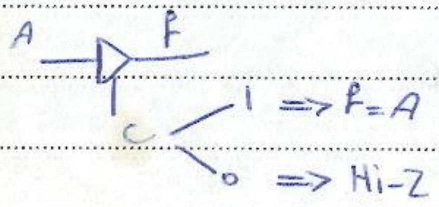
کنترل = "0" ← { ضرب ۰ در A و B صرف‌نظر کرد یعنی T۲ قطع ⇐ T۴ قطع
D۲ وصل ⇐ بیس T۳ برابر ۰٫۷ ⇐ T۳ و T۴ قطع ⇐ Hi-Z

کاربرد: اتصال خروجی های مدارهای مختلف به یک BUS (خط مشترک)



برای انتقال اطلاعات ۱ به باس
باید C۱=۱ باشد و C۲=۰ (Hi-Z)
باشد

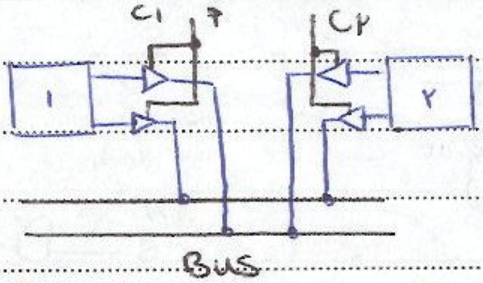
بافر سه حالته:
خروجی مدار را بافر کنند یعنی از لحاظ منطقی عوض
نشود ولی از لحاظ جریان تقویت شود



1 => F = A
0 => Hi-Z

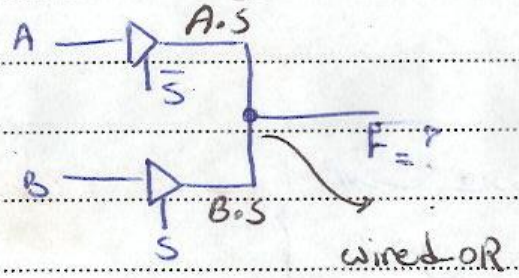
کاربرد: اتصال خروجی های totempole به Bus

Subject:
Year : Month : Day : ( )



کاربرد دیگر: ساخت عبارت‌های منطقی یا مدارهای منطقی

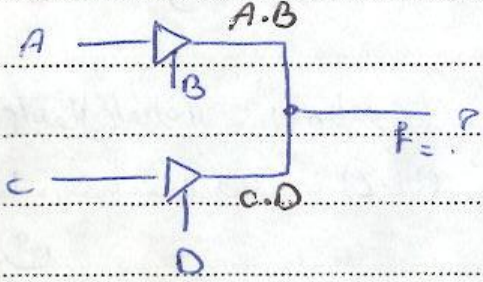
ex: تابع خروجی مدار زیر را بنویسید؟


A
$A.\overline{S}$
$\overline{S}$
$F=?$
B
$B.S$
S
wired-OR

S	F
0	A
1	B

$F = A.\overline{S} + B.S$

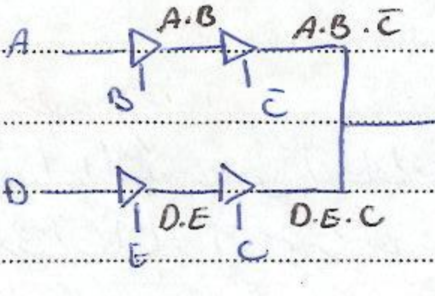
ex: مدار مثال قبل



$f = A.B + C.D$ X این نتیجه غلط است

زیرا اگر $B=D=1$ باشد و $A \neq C$ آنگاه f هم A می‌شود و هم C می‌شود ← تضاد.
در شاخه‌های wired-OR شده فقط یک شاخه باید وصل شده و بقیه Hi-Z باشد

ex: مدار مثال قبل:


A
$A.B$
B
$A.B.\overline{C}$
$\overline{C}$
$F=?$
D
$D.E$
E
$D.E.C$
C

$f = A.B.\overline{C} + DEC$

PAYCO

ex: اگر مدار زیر درست کار می‌کند f را بیابید و گرنه آن را اصلاح کنید و بعد f را بدست آورید

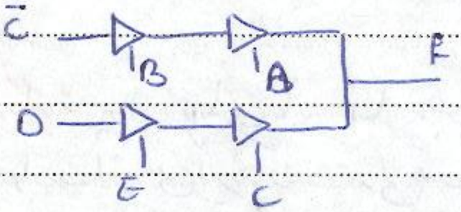
غلط است. درست کار نمی‌کند زیرا

اگر A = B = E = C = 1 باشد

$f = \bar{C} = D$ که اگر D و $\bar{C}$ مخالف باشند

تضاد به وجود می‌آید

برای اصلاح A را با $\bar{C}$ تعویض می‌کنیم


$\bar{C}$
B
A
F
D
E
C

$$f = A \cdot B \cdot \bar{C} + DEC$$

تکنولوژی ECL

تکنولوژی‌های قبلی اساس کار مدار قطع و اشباع شدن ترانزیستور بود. لذا ذاتاً کند هستند اما در ECL اساس کار کم و زیاد شدن جریان ترانزیستور فعال است

Emitter Coupled Logic

مزیت: سرعت بسیار بالا است

اشکال: توان مصرفی بالا است

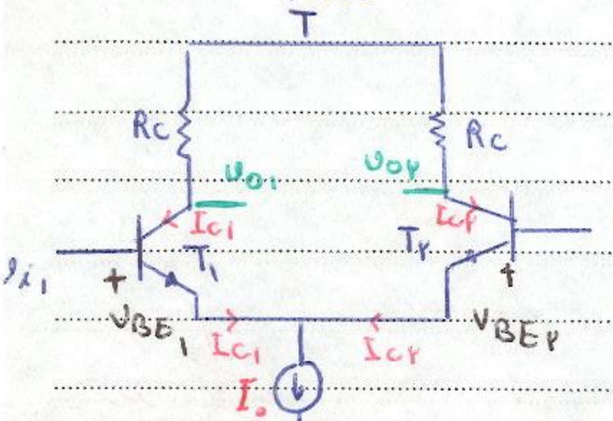
$P_C = I_C V_{CE}$ توان تلف شده ترانزیستور

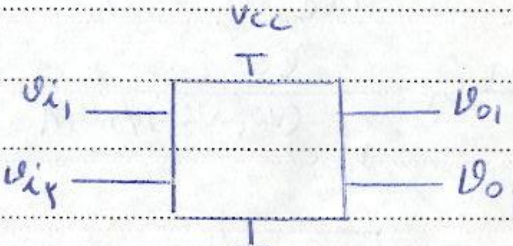
در نواحی قطع و اشباع P_C بسیار ناچیز است

در صورتی که در فعال P_C بسیار بزرگ است

اساس کار: کم و زیاد شدن جریان ترانزیستور فعال (برخلاف قبلی‌ها که اساس کار قطع و اشباع بود) ⟸ سرعت بالا، توان بالا

زوج تفاضلی:


+Vcc
Rc
Rc
v_{o1}
v_{o2}
I_{C1}
I_{C2}
T_1
T_2
v_{i1}
v_{i2}
+
V_{BE1}
V_{BE2}
I_{C1}
I_{C2}
I_o
$-V_{EE}$


VCC
v_{i1}
v_{i2}
v_{o1}
v_{o2}
$-V_{EE}$

منبع ولتاژ: عنصری است که ولتاژ دو سر آن ربطی به جریان دو سر آن ندارد

منبع جریان: عنصری است که جریان آن مستقل از ولتاژ دو سرش باشد

$$I_{C_1} = I_{S_1} e^{\frac{V_{BE_1}}{V_{TH}}}$$

تذکر: چون $I_E = I_C + I_B$ و چون I_B ناچیز است (چون ترانزیستور فعال است) آن را در نظر نمی‌گیریم گفته می‌شود $I_E \simeq I_C$ است

$$\begin{cases} I_{C_1} + I_{C_2} = I_0 \\ \frac{I_{C_1}}{I_{C_2}} = e^{(V_{i_1} - V_{i_2})/nV_{Th}} \end{cases}$$

در حالت کلی $I_C \simeq e^{\frac{V_{BE}}{nV_{Th}}}$ و $V_{Th} = \frac{kT}{q} = 0.025$ ولتاژ حرارتی است و $1 < n < 2$ تجربی

وی تی ترمال

$$\begin{cases} I_{C_1} = I_{S_1} e^{\frac{V_{BE_1}}{nV_{Th}}} \\ I_{C_2} = I_{S_2} e^{\frac{V_{BE_2}}{nV_{Th}}} \end{cases}$$

در ترانزیستورهای مشابه $I_{S_1} = I_{S_2}$ ⇐

جریان اشباع معکوس پیوند C.B

$$\frac{I_{C_1}}{I_{C_2}} = e^{(V_{BE_1} - V_{BE_2})/nV_{Th}}$$

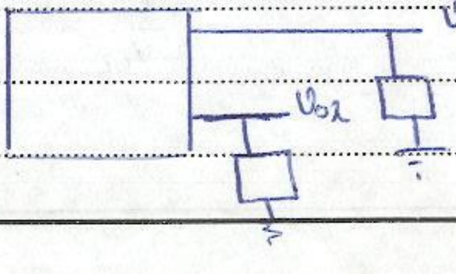
~~kvl: $V_{i_1} - V_{i_2} = V_{BE_1} - V_{BE_2}$~~

$$I_{C_1} + I_{C_2} \simeq I_0$$

$$\begin{cases} I_{C_1} = \frac{I_0}{1 + e^{-(V_{i_1} - V_{i_2})/nV_{Th}}} \\ I_{C_2} = \frac{I_0}{1 + e^{(V_{i_1} - V_{i_2})/nV_{Th}}} \end{cases}$$

خروجی ها:

مثال



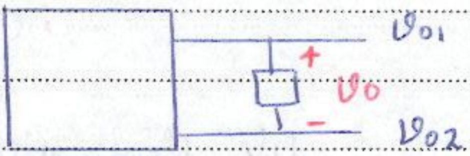
Single ended

تک پایانی

Subject:
Year : Month : Day : ( )

خروجی تفاضلی:

آنالوگ



$v_o = v_{o1} - v_{o2}$

در خروجی تفاضلی باتری نقشی در خروجی ندارد.

$v_{o1} = V_{CC} - R_C I_{C1}$

$v_{o2} = V_{CC} - R_C I_{C2}$

$v_o = v_{o1} - v_{o2} = R_C(I_{C2} - I_{C1})$

در سیستم‌های آنالوگ:
$$v_o = R_C I_o \left(\frac{1}{1+e^{(v_{i1}-v_{i2})/nV_{Th}}} - \frac{1}{1+e^{-(v_{i1}-v_{i2})/nV_{Th}}} \right)$$

$$e^x = 1 + x + \frac{x^2}{2!} + \frac{x^3}{3!} + \dots \Rightarrow e^x \simeq 1 + x \qquad |x| \ll 1$$ بشرطی که x کوچک باشد
$$e^{-x} \simeq 1 - x$$

سیگنال کوچک ⇐ $\left| \frac{v_{i1}-v_{i2}}{nV_{Th}} \right| \ll 1$ ⇐ می‌توان توان‌های بالا را حذف کرد و این رابطه خطی است

$$\Rightarrow v_o = R_C I_o \left(\frac{1}{2 + \frac{v_{i1}-v_{i2}}{nV_{Th}}} - \frac{1}{2 - \frac{v_{i1}-v_{i2}}{nV_{Th}}} \right) = R_C I_o \frac{(-2)\frac{v_{i1}-v_{i2}}{nV_{Th}}}{4}$$

از $\left(\frac{v_{i1}-v_{i2}}{nV_{TH}}\right)^2$ صرف‌نظر

تقویت‌کننده تفاضلی
$$\Rightarrow v_o = -\frac{1}{2} \cdot \frac{R_C I_o}{nV_{Th}} (v_{i1} - v_{i2})$$

ex: $V_{Th} = 0.025\ V$, $I_o = 2mA$, $n = 1$, $R_C = 10k\Omega$

$v_o = -400 (v_{i1} - v_{i2})$

اگر یک ورودی داشته باشیم می‌توانیم ورودی دوم را به زمین وصل کنیم یعنی صفر در نظر بگیریم که ولتاژ منفی $-V_{EE}$ را در مدار قرار دادیم که حتی اگر یکی از ورودی‌ها صفر باشد ترانزیستور قطع نمی‌شود.

PAYCO

سیستمهای دیجیتال:

$v_{O1} = V_{CC} - R_C I_{C1}$

$$I_{C1} = \frac{I_0}{1+e^{-(v_{i1}-v_{i2})/nV_{Th}}}$$

شرط دیجیتال ← $|v_{i1}-v_{i2}| \gg nV_{Th}$

حالت ۱) اگر $\overset{\text{مثبت}}{\overbrace{v_{i1}-v_{i2}}} \gg nV_{Th}$ ← $I_{C1} = \frac{I_0}{1+e^{-4}} \Leftrightarrow I_{C1} = \frac{55}{56} I_0$

$1 \quad 0.025$

$e^4 = 55$

در فرض: $v_{i1}-v_{i2} = 0.1\,v$

$$I_{C1} = \frac{I_0}{1+e^{\frac{-0.1}{0.025}}} = \frac{I_0}{1+e^{-4}}$$

$$\begin{cases} I_{C1} = \frac{55}{56} I_0 \approx I_0 \\ I_{C2} = \frac{I_0}{56} \approx 0 \end{cases}$$

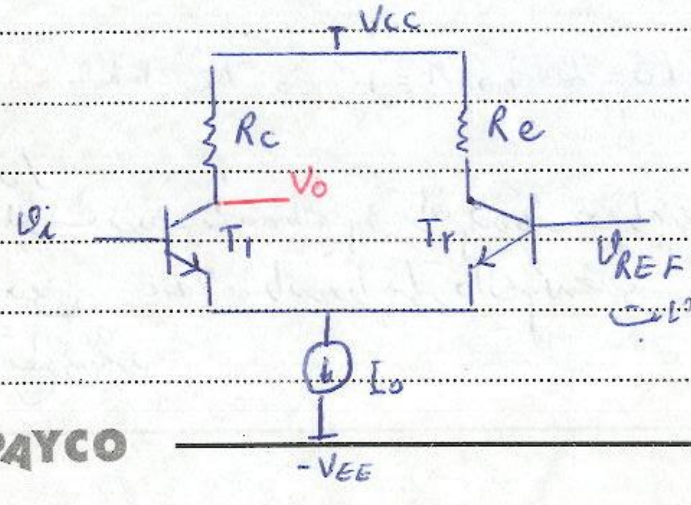
$$\Rightarrow \begin{cases} v_{O1} = V_{CC} - R_C I_0 \\ v_{O2} = V_{CC} \end{cases}$$

حالت ۲) $\overset{\text{منفی}}{\overbrace{v_{i1}-v_{i2}}} \ll -nV_{Th}$ ← مثلاً ← $v_{i1}-v_{i2} = -0.1$ ← $I_{C1} = \frac{I_0}{1+e^4} \Rightarrow \approx 0$

$$\begin{cases} I_{C1} = \frac{I_0}{56} \\ I_{C2} = \frac{55}{56} I_0 \approx I_0 \end{cases} \Rightarrow \begin{cases} v_{O1} = v_{CC} \\ v_{O2} = v_{CC} - R_C I_0 \end{cases}$$

نتیجه: جریان I_0 از ترانزیستوری می‌گذرد که بیس آن ولتاژ بزرگتری داشته باشد

گیت NOT:



اگر $v_i \geq 0/1 + v_{REF}$ ← تمام I_0 از T_1 می‌گذرد ← $v_O = V_{CC} - R_C I_0$ ✓ "0"

ورودی وقتی از یک حدی بالاتر شود آن را "1" می‌گیریم

$V_{IH} = 0/1 + V_{REF}$
$V_{OL} = V_{CC} - R_C I_0$

اگر $v_i \ll V_{REF} - 0/1$ ← تمام I_0 از T_2 می‌گذرد ← $v_O = V_{CC}$ "1"

$V_{IL} = V_{REF} - 0/1$
$V_{OH} = V_{CC}$

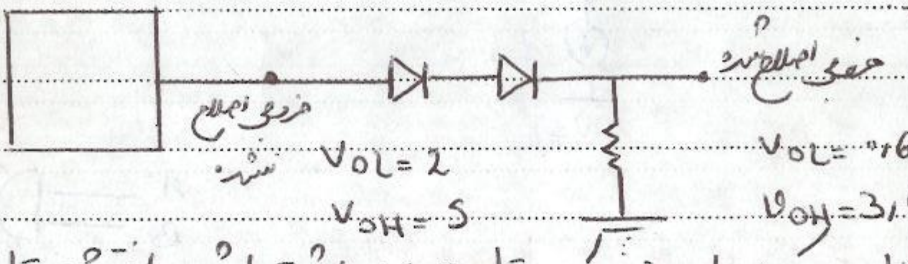
$$\left.\begin{array}{l} v_O = 1 \leftarrow v_i = 0 \\ v_O = 0 \leftarrow v_i = 1 \end{array}\right\} \text{NOT}$$

ex: $v_{REF} = 1V$ و $I_0 = 1mA$ و $V_{CC} = V_{EE} = 5V$ و $R_C = 3k\Omega$

NM گیت فوق چقدر است

$V_{IH} = 0/1 + 1 = 1/1$
$V_{IL} = 1 - 0/1 = 0/9$
$V_{OH} = 5$
$V_{OL} = 2$ $\Rightarrow$ چون V_{OL} از V_{IL} بالاتر است NM تعریف نمی‌شود

برای تصحیح خروجی این مدار، می‌توان از دیود وصل جهت کاهش V_{OL} استفاده کرد



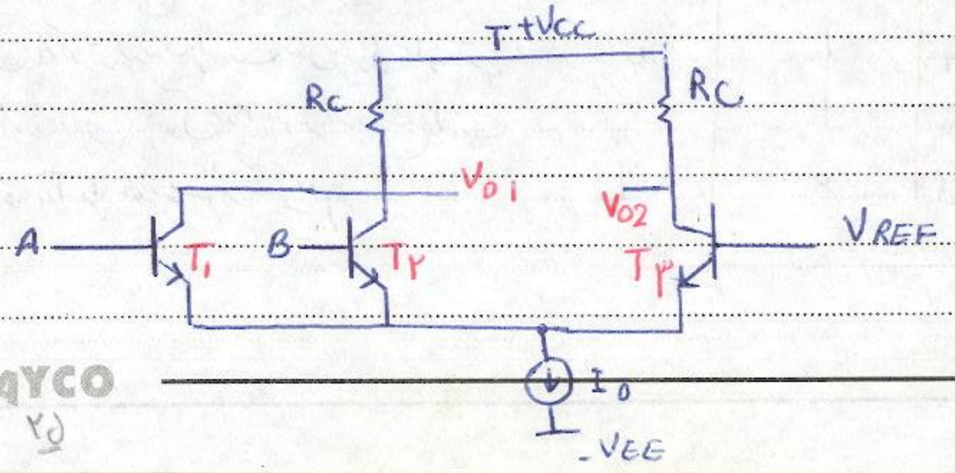
$V_{OL} = 2$
$V_{OH} = 5$

$V_{OL} = 0/6$
$V_{OH} = 3/6$ $\Rightarrow NM = 0/3$

هرگاه از دیود استفاده می‌کنیم باید یک مقاومت نیز داشته باشیم زیرا نقش مقاومت کم کردن جریان عبوری از دیود است و جلوگیری از سوختن دیود.

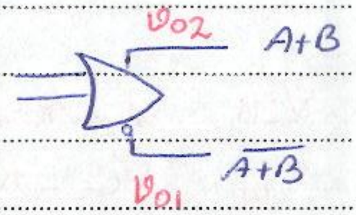
گیت NOR:

چون قطع و وصل ترانزیستورها نسبت به هم می‌باشند



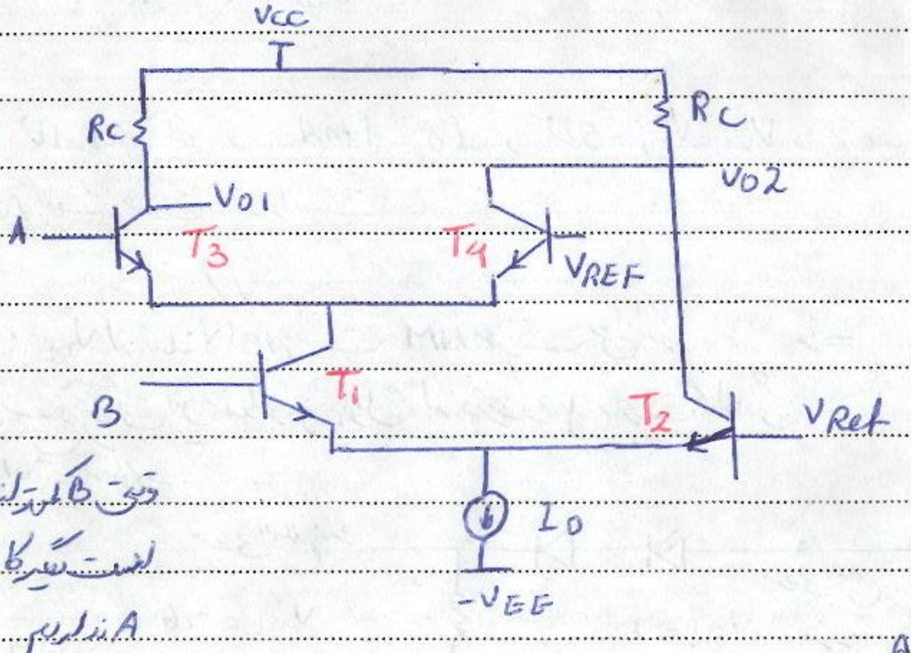
با تشکیل جدول درستی، رابطهٔ منطقی بین ورودی‌ها و خروجی مدار مقابل را بیابید.
برای هر سطر از جدول درستی، قطع یا اشباع بودن سه ترانزیستور را مشخص کنید.

A B	I_0 مسیر	V_{O1} (NOR)	V_{O2} (OR)
0 0	T_3	1	0
0 1	T_2	0	1
1 0	T_1	0	1
1 1	T_1، T_2	0	1


V_{O2}
$A+B$
$\overline{A+B}$
V_{O1}

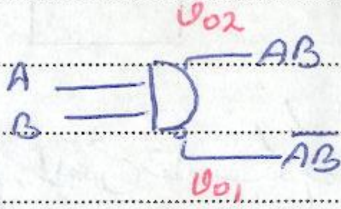
هر ولتاژی که از مرجع کمتر باشد می‌توان صفر در نظر گرفت. وقتی A و B صفر باشند یعنی از مرجع کمترند و یعنی I_0 از T_3 می‌گذرد ⇐ $V_0 = V_{CC} - R_C \times 0$ ⇐ $V_0 = 1$

گیت NAND:


VCC
RC
RC
V_{O1}
V_{O2}
A
T_3
T_4
V_{REF}
B
T_1
T_2
V_{Ref}
I_0
$-V_{EE}$

دو تا از مرجع‌ها هستند در ECL خودش هر سه مرجع را به صورت داخلی تعیین می‌کند.

وقتی B کمتر از مرجع است تغییر کاری به A نداریم

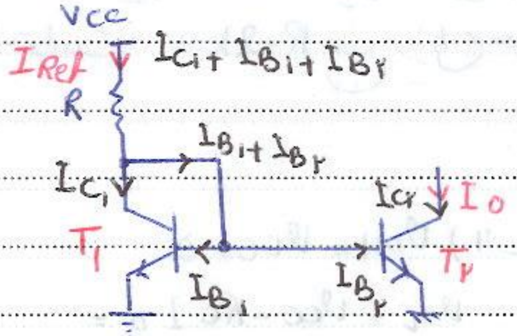

V_{O2}
AB
A
B
$\overline{AB}$
V_{O1}

A B	I_0 مسیر	V_{O1} (NAND)	V_{O2} (AND)
0 0	T_2	1	0
0 1	T_1، T_4	1	0
1 0	T_2	1	0
1 1	T_1، T_3	0	1

چون B کمتر از مرجع است پس حتماً جریان از آن می‌گذرد →
چون A کمتر از مرجع است پس جریان از T_1 و T_4 ⇐
می‌گذرد یعنی چون B بیشتر از مرجع است
T_3 و T_4 را باید در نظر بگیریم

منبع جریان:

منبع جریان به صورت مستقل وجود ندارد بلکه توسط منبع ولتاژ ساخته می‌شود



ex: آینهٔ جریان: چون هر جریان در ترانزیستور T_1 به وجود می‌آید عیناً در T_2 نیز تکرار می‌شود

$$I_{Ref}=I_{B_1}+I_{B_2}+I_{C_1}$$

$$I_C=I_S e^{V_{BE}/nV_{Th}}$$

با فرض تشابه T_1 و T_2 $\Leftarrow$ $I_{S_1}=I_{S_2}$

$V_{BE_1}=V_{BE_2}$ $\Rightarrow$ چون Bها و Eها مشترک‌اند، برهم برابر اند

$\Rightarrow I_{C_1}=I_{C_2} \Rightarrow I_{B_1}=I_{B_2}$ (با فرض βها برابر بودن)

$$I_{Ref}=2\underbrace{I_{B_1}}_{\frac{I_{C_1}}{\beta_F}}+I_{C_1} \longrightarrow I_{Ref}=I_{C_1}\left(\frac{2}{\beta_F}+1\right) \longrightarrow I_{C_1}=\frac{I_{Ref}}{1+\frac{2}{\beta_F}} \Rightarrow$$

باتوجه به اینکه I_{C_1} با I_{C_2} برابر است، تبدیل می‌گردد $I_{C_1}=I_{C_2}=I_o$

$$I_o=\frac{I_{Ref}}{1+\frac{2}{\beta_F}} \qquad I_{Ref}=\frac{V_{CC}-V_{BE}}{R}$$

طلقت T_2 باید به جای وصل شود به اره از اینجا آن بیشتر باشد

تکلیف:

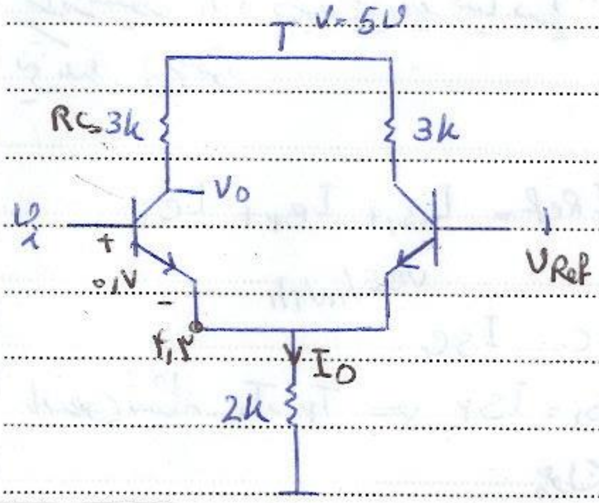
$V_{BE} = .7$

$V_D = .7$

۱) برای گیت NOT مقابل الف) NM را بیابید

ب) درصورت نیاز با تعدادی دیود جفتی را اصلاح کنید

ج) آیا مقاومت R=2kΩ منبع جریان خوبی است


V=5V
Rc=3k
3k
Vo
vi
+
۰٫۷V
-
۲٫۳
IO
2k
VRef

الف) $v_{OH} = V_{CC} =$ ۵

$v_{OL} = V_{CC} - R_C I_O =$

$v_{IL} = V_{Ref} -$ ۰٫۱ = ۰٫۹

$v_{IH} = V_{Ref} +$ ۰٫۱ = ۱٫۱

Subject:
Year : Month : Day : ( )

کشش نیم

تکنولوژی MOS

نام‌های مختلفی برای این ترانزیستور به کار می‌رود، FET، IGFET، MOST و MOSFET از آن جمله اند. جدیدترین نام‌ها ترانزیستور ماس، عنصر ماس، NMOS و ترانزیستور n-کانال را به کار می‌بریم

ICهای جاری MOSFET (Metal oxide semiconductor)

چون کار این ترانزیستور به میدان الکتریکی مبتنی است به آن ترانزیستور اثر میدان (FET) به علت اینکه گیت کاملاً عایق است به اثر میدانی با گیت عایق شده (IGFET) نام تک‌قطبی به این علت که تنها یک نوع حامل (در NMOS) الکترون در هدایت دخیل است.

ماسفت — کانال n / کانال P

Enhancement

افزایشی

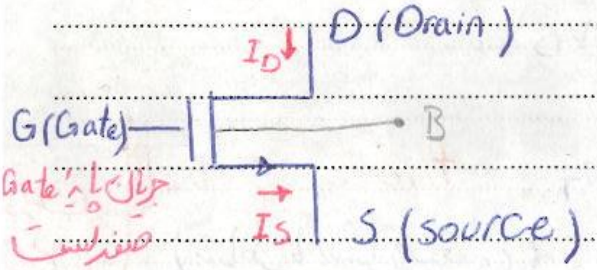
ماسفت کانال n (NMOS):

$I_D = I_S$

calector = Drain

Emiter = Sorce

Base = Gate

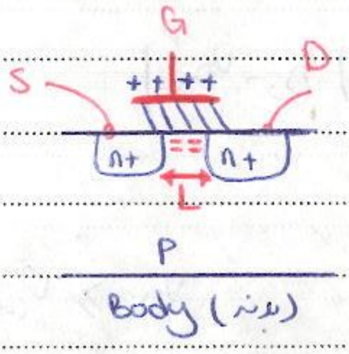


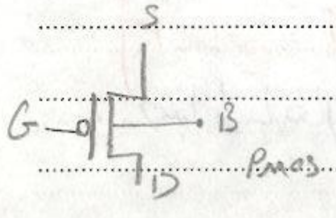
ساختمان داخلی:

مادر ترانزیستور

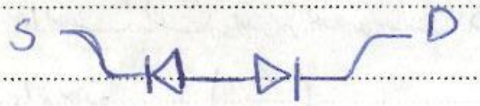
عایق (SiO2) ////

فلز



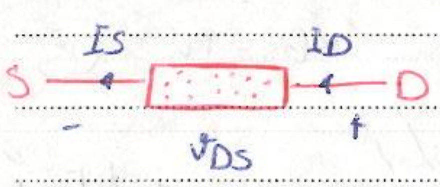


طرز کار:



در حالت عادی هیچ هدایت الکتریکی بین D و S وجود ندارد (زیرا هر یک از دو دیود فوق جریان عبور نمی‌کند) اصطلاحاً به این ترانزیستور Normally off گویند

اما اگر پایه G را به ولتاژ مثبتی وصل کنیم بارهای منفی (از جریان n+ها) به زیر Gate کشیده می‌شود و ناحیه‌ای از جنس n تشکیل می‌گردد به آن کانال می‌گویند در این صورت با اعمال ولتاژ بین D و S جریانی از D و S عبور می‌کند ($I_D = I_S$)



FET: Field Effect TR: ترانزیستور اثر میدان

Subject:
Year : Month : Day : ( )

V_T (ولتاژ آستانه Threashold)

حداقل ولتاژ لازم روی گیت برای تشکیل کانال مناسب

شرط هدایت : $V_{GS} > V_T$

شرط قطع ($I_D = 0$) : $V_{GS} \leqslant V_T$

نواحی کاری :

۱_ ناحیه قطع : $V_{GS} \leqslant V_T$

$I_D = 0$

هدایت (روشن) $V_{GS} > V_T$

۲_ ناحیه triode : $V_{DS} \leqslant V_{GS} - V_T$

(متناظر با اشباع دو قطبی)

$$I_D = \frac{k}{2}\left[2(V_{GS} - V_T)V_{DS} - V_{DS}^2\right]$$

۳_ ناحیه pinch - off : $V_{DS} \geqslant V_{GS} - V_T$

(متناظر با فعال دو قطبی)

$$I_D = \frac{k}{2}(V_{GS} - V_T)^2$$

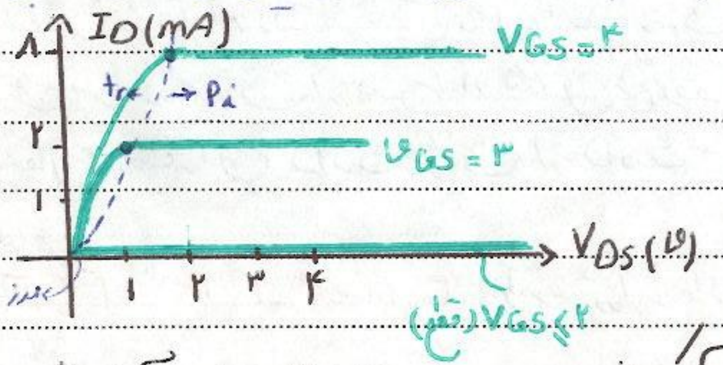
k ضریب ثابت وابسته خصوصیات درونی ترانزیستور $\left(\frac{A}{V^2}\right)$

ex : فرض کنید $k = 4\frac{mA}{V^2}$ و $V_T = 2V$ برای V_{GS} های مختلف I_D را بر حسب V_{DS} رسم کنید

الف) $V_{GS} = 1V$

ب) $V_{GS} = 3V$

ج) $V_{GS} = 4V$

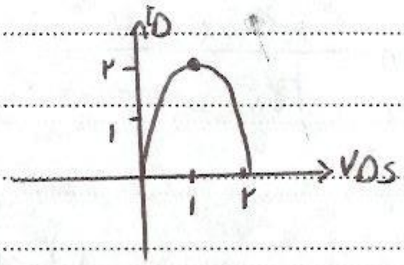


اگر نقاط max را به هم وصل کنیم یک خط به وجود می‌آید که منحنی سهمی است و سمت چپ آن tr. و سمت راست آن Pa است

PAYCO

الف) $V_{GS} = ۱V < V_T = ۲V \Rightarrow$ ترانزیستور قطع $\Rightarrow I_D = ۰$

ب) $V_{GS} = ۳V > V_T = ۲ \Rightarrow$ وصل

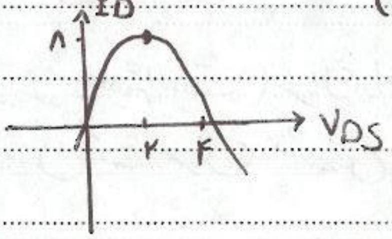


Triod ① $V_{DS} \leq ۱ \Rightarrow I_D = ۲(۲V_{DS} - V_{DS}^{۲})$

Pinch ② $V_{DS} \geq ۱ \Rightarrow I_D = ۲\ mA$

مرز tr و Pi یعنی $V_{DS} = V_{GS} - V_T$ در هر دو فرمول صادق است

ج) $V_{GS} = ۴V > V_T = ۲ \Rightarrow$ وصل



Tr ① $V_{DS} \leq ۲ \Rightarrow I_D = ۲(۴V_{DS} - V_{DS}^{۲})$

Pi ② $V_{DS} \geq ۲ \Rightarrow I_D = ۸\ mA$

در tr ترانزیستور مانند مقاومت عمل می‌کند (مقاومتی که خطی نیست و با افزایش V_{DS} زیاد می‌شود ضمناً این مقاومت به V_{GS} نیز بستگی دارد و با افزایش آن کم می‌شود)

نکته: اگر V_{DS} بسیار کوچک باشد: $V_{DS}^{۲} \simeq ۰$

$$I_D = k(V_{GS} - V_T)\, V_{DS}$$

$$\frac{V_{DS}}{I_D} \simeq \frac{1}{k(V_{GS} - V_T)} = R_{DS}$$ (مقاومت متغیر با ولتاژ V_{CR}) مقاومت کانال

نکته: در Pi ترانزیستور مانند منبع جریان عمل می‌کند (کنترل شده با ولتاژ)

Pinch-off : انسداد - تنگ شدن تدریجی

ثابت k :

$$K = \mu_n \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} \frac{W}{L}$$

μ_n : قابلیت تحرک الکترونها در کانال

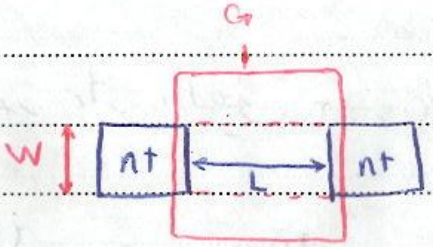
ϵ_0 : قابلیت گذردهی خلأ

ϵ_{ox} : قابلیت گذردهی نسبی اکسید (برای SiO_2 حدود ۴)

t_{ox} : ضخامت اکسید گیت

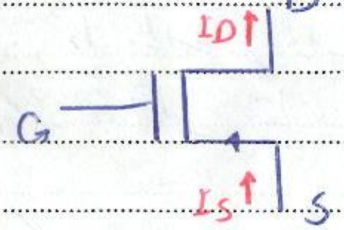
W : پهنای کانال

L : طول کانال

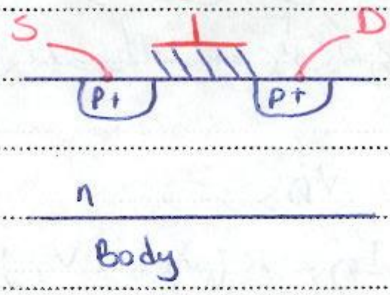


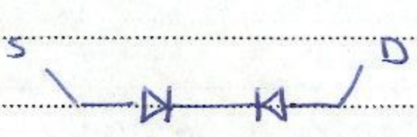
دیده می‌شود که برخلاف BJT (که در آن جریان به مساحت ترانزیستور وابسته است) جریان ماسفت به نسبت ابعاد ترانزیستور ($\frac{W}{L}$) وابسته است. یعنی برای داشتن یک جریان مشخص می‌توان ترانزیستور را تا حد امکان کوچک ساخت.

ماسفت کانال P : (PMOS)



ساختار داخلی:





طرز کار:

در حالت عادی، بدون جریان است

با منفی کردن گیت کانالی از جنس P ایجاد می‌شود

Subject:
Year : Month : Day : ( )

V_T : منفی

شرط هدایت : $\overset{\text{من}}{V_{GS}} < \overset{\text{من}}{V_T}$ [یا $|V_{GS}| > |V_T|$] =>

$$\begin{cases} V_{DS} \geqslant V_{GS}-V_T : tr \Rightarrow I_D = \frac{k}{2}\left[2(V_{GS}-V_T)V_{DS}-V_{DS}^2\right] \\ V_{DS} \leqslant V_{GS}-V_T : Pi \Rightarrow I_D = \frac{k}{2}(V_{GS}-V_T)^2 \end{cases}$$

$k = \mu_p \dfrac{\epsilon_0 \epsilon_{ox}}{t_{ox}} \dfrac{W}{L}$

μ_p: قابلیت تحرک حفره‌ها در کانال

$\mu_p << \mu_n \Rightarrow$ سرعت NMOS بیشتر از pmos است

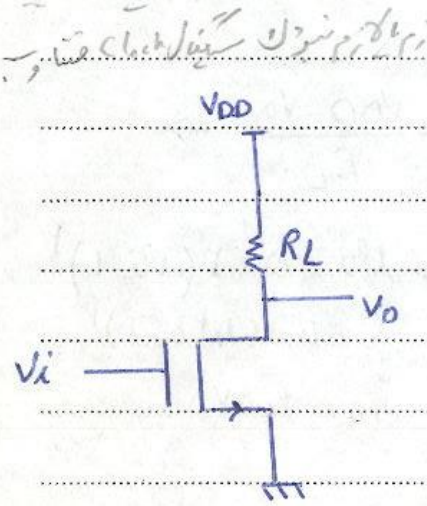
شرط قطع : $V_{GS} \geqslant V_T$ یا [$|V_{GS}| \leqslant |V_T|$] $\Rightarrow I_D = 0$

در گره‌های یک دروازه ایستا همیشه مقاومتی
به V_{DD} یا زمین وجود دارد. در مدارهای
پویا ولتاژ گره به بار ذخیره شده
روی یک خازن بستگی دارد. در اینجا زمین
این دو لازم نیست سیگنال clock [illegible]

تکنولوژی MOS
۱- استاتیک (ایستا)
۲- دینامیک (پویا)

استاتیک

۱- تکنولوژی NMOS :



گیت NOT :

الف) بار مقاومتی :

اگر V_i کم باشد ⇐ قطع ⇐ V_o زیاد

اگر V_i زیاد باشد ⇐ وصل ⇐ V_o کم (به شرط tr شدن ماشین)

محاسبات :

NM :

$V_{DD} = ۵$

$R_L = ۱۰۰k$

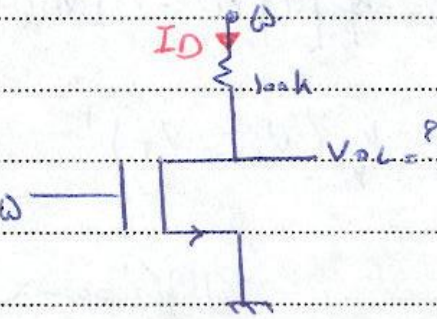
$V_T = ۱V$

$k = ۴۰ \frac{\mu A}{V^۲}$

$V_{OH} = V_{DD} = \boxed{۵}$

v_i : حالا v_{OH} مشخص شد یعنی ۵

V_{OL} :



فرض : tr ⇐

$$I_D = \overset{۰/۰۴}{\frac{k}{۲}}\left[۲(\overset{۵}{V_{GS}} - \overset{۱}{V_T})\underset{V_{OL}}{V_{DS}} - \underset{V_{OL}^۲}{V_{DS}^۲}\right]$$

$$= \frac{\overset{۵}{V_{DD}} - V_{OL}}{\underset{۱۰۰}{R_L}} \Rightarrow ۲(۸V_{OL} - V_{OL}^۲) = ۵ - V_{OL}$$

$$\Rightarrow ۲V_{OL}^۲ - ۱۷V_{OL} + ۵ = ۰ \Rightarrow V_{OL} \begin{cases} ۸٫۲ \; ✗ \\ ۰٫۳۱ \end{cases}$$

(باید تنها ۵ها است)

برای اینکه چک کنیم $V_{OL} = ۰٫۳۱$ است یا نه باید شرط tr را بررسی کنیم

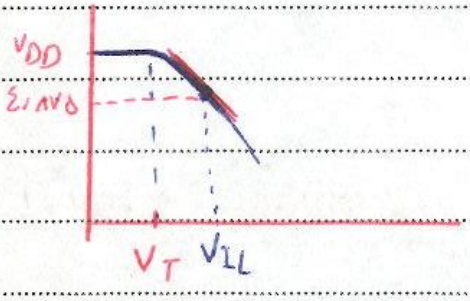
$$V_{DS} \le V_{GS} - V_T \Rightarrow ۰٫۳۱ \le ۵ - ۱ \; ✓$$

$$\Rightarrow V_{OL} = \boxed{۰٫۳۱}$$

V_{IL} : $\left.\frac{dv_o}{dv_i}\right|_{v_i = V_{IL}} = -۱$

چون رابطه مشتق ۱- است می‌توان از فرمول بعدی استفاده کرد

در محاسبه V_{IL} چون خروجی زیاد است ترانزیستور pinch off است



$$I_D = \frac{k}{۲}(\overbrace{V_{GS}}^{V_{IL}} - V_T)^۲ = \frac{V_{DD} - V_o}{R_L} \Rightarrow$$

$$۲(v_i - ۱)^۲ = ۵ - v_o \Rightarrow v_o = ۵ - ۲(v_i - ۱)^۲$$

$$v_o = ۵ - ۲(۱٫۲۵ - ۱)^۲$$
$$\downarrow$$
$$V_o = ۴٫۸۷۵$$

$$\frac{dv_o}{dv_i} = -۴(\underset{V_{IL}}{v_i} - ۱) = -۱ \Rightarrow V_{IL} = ۱٫۲۵$$

بررسی شرط ها P_i : $V_{DS} \geq V_{GS} - V_T$

$۴٫۸۷۵ \geq ۱٫۲۵ - ۱$ ⇐ برقرار است.

V_{IH} : در محاسبه V_{IH} چون خروجی کم است ⇐ ترانزیستور tr است.

$$\frac{k}{۲}\left[۲(V_{GS}-V_T)V_{DS}-V_{DS}^{۲}\right]=\frac{V_{DD}-V_o}{R_L}$$

$$=۲\left[۲(v_i-۱)v_o-v_o^{۲}\right]=۵-v_o$$

از طرفین رابطه دیفرانسیل می‌گیریم

$$۲\left[۲v_o\,dv_i+۲(v_i-۱)\,dv_o-۲v_o\,dv_o\right]=-\,dv_o$$

طرفین تقسیم بر dv_i

$$۲\left[۲v_o+۲(v_i-۱)\underset{-۱}{\boxed{\frac{dv_o}{dv_i}}}-۲v_o\underset{-۱}{\boxed{\frac{dv_o}{dv_i}}}\right]=-\underset{-۱}{\boxed{\frac{dv_o}{dv_i}}}$$

$$۲\left[۲v_o-۲(v_{IH}-۱)+۲v_o\right]=۱ \Rightarrow ۴v_o-۲V_{IH}+۱٫۵=۰$$

$$\begin{cases} ۴v_o-۲v_{IH}+۱٫۵=۰ \\ ۲\left[۲(v_{IH}-۱)v_o-v_o^{۲}\right]=۵-v_o \end{cases} \Rightarrow v_{IH} \begin{cases} ۲٫۵V \\ -۱٫۰۸ \text{ X} \end{cases}$$

$$\Rightarrow \boxed{V_{IH}=۲٫۵V}$$

برای چک کردن tr در P_i ابتدا باید v_o را بدست آوریم (هر دو معادل بالا به جای V_{IH} مقدار ۲٫۵V را قرار می‌دهیم و بعد v_o بدست می‌آید)

$v_o \geq V_{GS} - V_S$

Subject:
Year :   Month :   Day :   ( )

$NM = 0.94$ ⇒ بهتر از BjT است

: P_{diss}

وقتی ورودی صفر ⇐ قطع ⇐ جریانی عبور نمی‌کند ⇐ $P_{diss} = 0$ ⇒ $P_{diss\,H} = 0$

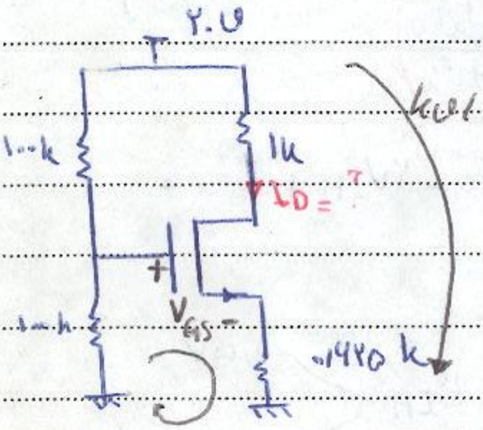
$P_{diss\,L}: V_{DD} I_D = \frac{\overset{5}{V_{DD}} - \overset{0.31}{V_{OL}}}{\underset{100k}{R_L}} V_{DD}$

$= 0.24 \text{ mw}$

چون ورودی ۵ یعنی بجای
وصل بسته جریان می‌گذرد پس
فقط ID لازم

$P_{diss(av)} = \frac{1}{2}(0 + 0.24) = 0.12 \text{ mw}$

تکلیف : ID را در مدار زیر حساب کنید



k=۰٫۱

$k = 1 \text{ mA}/V^2$

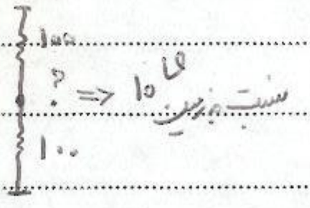
$V_T = 1V$

چون IG=0 است پس جریان
تقسیم بالا و پایین مساوی است

: P۸ $KVL: V_{GS} + 0.425 I_D = 10$

① , $I_D = 0.5 (V_{GS} - 1)^2$

اگر بخواهیم اول ID را حساب کنیم دو جواب بدست می‌آید سخت
است بفهمیم کدام درست است پس اول VGS را بدست می‌آوریم
چون می‌خواهد وصل باشد VGS باید بزرگتر از VT باشد



$\Rightarrow 10 = V_{GS} + 0.425 \times 0.5 (V_{GS} - 1)^2$

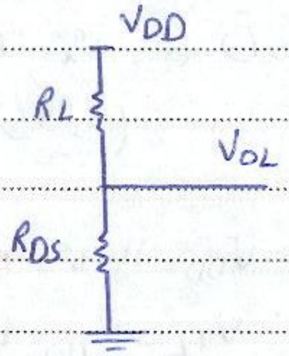
$\Rightarrow V_{GS}$ −۸ غیرقبول / ۳ ✓ ⇐ در ① می‌گذاریم ID=۲m بدست می‌آید

$KVL: V_{DS} = 20 - I_D \times 1 - I_D \times 0.425$

۲۰ بخاطر جمعشان ۲۰ است

$V_{DS} \overset{?}{\geq} V_{GS} - V_T$ } → برای اینکه بفهمیم فرض Pi درست بوده

گیت NOT با مقاومتی:



اگر ترانزیستور tr را با مقاومت RDS مدل کنیم داریم:

$$R_{DS} = \frac{1}{k(V_{GS}-V_T)}$$

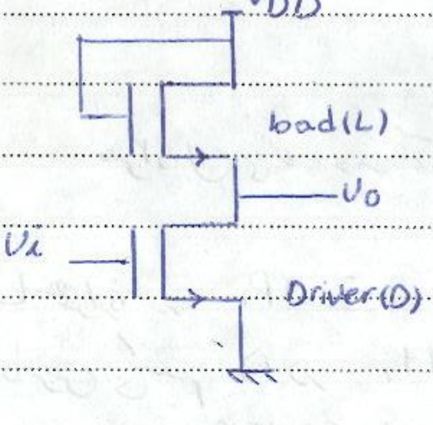
$$v_{OL} = \frac{R_{DS}}{R_{DS}+R_L} V_{DD} \qquad V_{OL} = \frac{V_{DD}}{1+\frac{R_L}{R_{DS}}}$$

باید $\frac{R_L}{R_{DS}} \gg 1$ باشد. ⇐ $R_L \gg R_{DS}$

۱- R_L بسیار بزرگ باشد (مثلاً 100 kΩ) [غیراقتصادی در ICها]

۲- R_{DS} بسیار کوچک یعنی k بسیار بزرگ یعنی $\frac{W}{L}$ بسیار بزرگ [غیراقتصادی در ICها]

ب) بار افزایشی Pinch-off

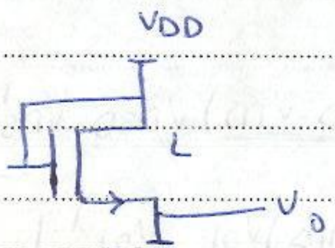


NMOS طرح شده را افزایشی نیز گویند (Enhancement).
چرا افزایشی؟ VGS حالت افزایشی می‌یابد.
ترانزیستور Load همواره Pinch-off است.

$$v_{DS_L} \overset{?}{\geq} v_{GS_L} - v_{T_L}$$

$$v_{GS_L} = v_{DS_L} \Rightarrow 0 \overset{?}{>} -V_{TL}$$

طرز کار:



$v_i = "0"$ ⇐ D قطع (VGS آن کم) ⇐ شارژ C توسط L

(به شرط وصل بودن L) ⇐ $v_o = "1"$

$v_i = "1"$ ⇐ D وصل (VGS بزرگ) ⇐ L وصل ⇒ $V_o = "0"$ (به شرط tr بودن D و شرایط دیگر!)

e.x: $V_{DD} = 12\ V$ مطلوب است محاسبه NM و Pdiss

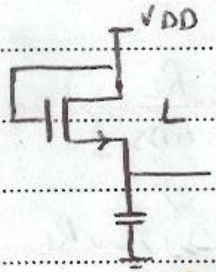
$V_{TL} = V_{TD} = 1.5\,V$

$k_L = 3\ \frac{\mu A}{V^2}$

$k_D = 45\ \frac{\mu A}{V^2}$

NM :

V_{OH} : $V_i = "0"$ ⇒ D قطع



$v_{OH} = v_{o(max)}$

برای سازه باید L وصل باشد $V_{GS_L} \geqslant V_{TL}$ ← $V_G - V_S$

$V_{DD} - V_O \geqslant V_{TL}$

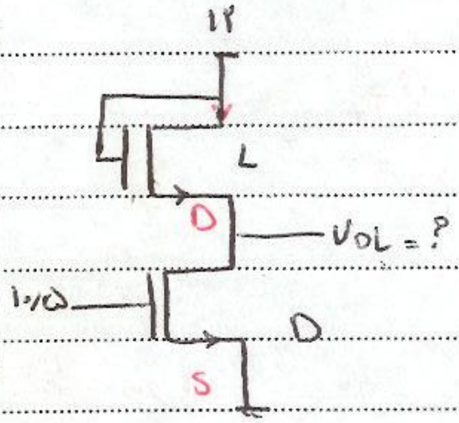
(ترانزیستور وصل می‌ماند حداکثر خروجی بیشتر از این نیست) $V_O \leqslant V_{DD} - V_{TL}$

$\Rightarrow v_{OH} = \underline{V_{DD} - V_{TL}}$ | کاهش v_{OH} نسبت به تغذیه

$\Rightarrow v_{OH} = 12 - 1.5 = \underline{10.5}$|

V_{OL}: $V_i = "1"$ ← 10.5 یعنی بیشترین v_{OH} ⇐ حالا هر ۲ وصل می‌شوند

$v_O = v_{OL}$



L همواره در Pi است.

اما فرض می‌کنیم D در tr است (نوید دهنده خروجی low است یعنی ~~V_{GS}~~ V_{DS} ترانزیستور پایینی کم است پس در tr است)

$I_{DL} = I_{DD}$

$$\frac{k_L}{\cancel{2}}(V_{GSL} - V_{TL})^2 = \frac{k_D}{\cancel{2}}\left[2(V_{GSD} - V_{TD})V_{DSD} - V_{DSD}^2\right]$$

$$(\underset{\underset{V_G - V_S}{\downarrow}}{12 - V_{OL}} - 1.5)^2 = 15\left[2(10.5 - 1.5)V_{OL} - V_{OL}^2\right]$$

$V_G = 12$

Subject:
Year : Month : Day : ( )

پذیرش از تغذیه است

$\Rightarrow (10.5 - V_{OL})^2 = 15(18V_{OL} - V_{OL}^2) \Rightarrow V_{OL} \begin{cases} 17.8 \; ✗ \\ 0.4 \Rightarrow \boxed{V_{OL} = 0.4} \end{cases}$

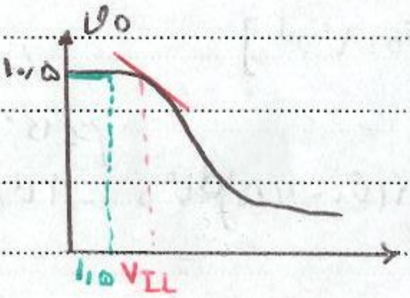
(حتماً باید V_{OL} دو تا جواب داشته باشد یکی قابل قبول و دیگری غیر قابل قبول)

بررسی tr:

$V_{DSO} \overset{?}{<} V_{GSD} - V_{TD}$

$0.4 < 10.5 - 1.5 \Rightarrow$ tr است

V_{IL} :



L در Pi است

D هم در Pi است زیرا V_O زیاد هست

$$I_{DL} = I_{DD}$$

$$\frac{k_L}{2}(V_{GSL} - V_{TL})^2 = \frac{k_D}{2}(V_{GSD} - V_{TD})^2$$

$$(12 - V_{O_H} - 1.5)^2 = 15(V_i - 1.5)^2 \Rightarrow$$

از دو طرف جذر می‌گیریم

$$(10.5 - V_O)^2 = 15(V_i - 1.5)^2 \Rightarrow 10.5 - V_O = \pm\sqrt{15}\,(V_i - 1.5)$$

(یعنی ورودی نسبت به خروجی حتماً باید نزولی باشد.)

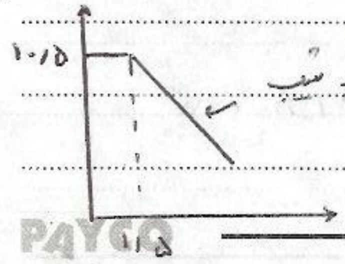
به ۲ دلیل مثبت قابل قبول است.

۱) $\begin{cases} V_i > 1.5 \\ V_O < 10.5 \end{cases}$ با توجه به شرایط اشباع ⇐ علامت هر ۲ طرف باید مثبت باشد.

۲) منحنی $V_O - V_i$ باید نزولی باشد.

$$10.5 - V_O = \sqrt{15}\,(V_i - 1.5)$$

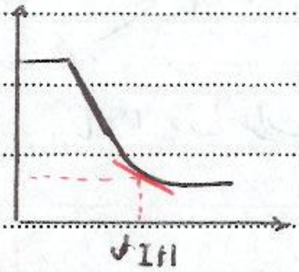
$$V_O = -\sqrt{15}\,V_i + 10.5 + 1.5\sqrt{15}$$



شیب $-\sqrt{15}$ $\Rightarrow V_{IL}$ که بزرگترها است (چون نقطه L است مشتق نمی‌گیریم)

پس به ازای این V_O $\Rightarrow V_O = 10.5 \Rightarrow V_{IL} = 1.5$

V_{IH} :



در محاسبه v_{IH} چون v_o کمتر است ⇐ D در tr است

$$\frac{k_L}{۲}(V_{GSL}-V_{TL})^۲ = \frac{k_D}{۲}\left[۲(V_{GSD}-V_{TD})V_{DSD}-V_{DSD}^۲\right]$$

$$(۱۲-V_o-۱٫۵)^۲ = ۱۵\left[۲(V_i-۱٫۵)v_o-v_o^۲\right]$$

$$\Rightarrow (۱۰٫۵-V_o)^۲ = ۱۵\left[۲(v_i-۱٫۵)v_o-v_o^۲\right]$$

از طرفین دیفرانسیل می‌گیریم.

دیفرانسیل مربع = ۲برابر خودش × دیفرانسیل درون مربع

$$۲(۱۰٫۵-v_o)(-dv_o) = ۱۵\left[۲v_o\,dv_i+۲(v_i-۱٫۵)dv_o-۲v_o\,dv_o\right]$$

تقسیم طرفین بر dv_i

$$۲(۱۰٫۵-v_o)\Big(-\underbrace{\frac{dv_o}{dv_i}}_{-۱}\Big) = ۱۵\left[۲v_o+۲(v_i-۱٫۵)\underbrace{\frac{dv_o}{dv_i}}_{-۱}-۲v_o\underbrace{\frac{dv_o}{dv_i}}_{-۱}\right]$$

$$\Rightarrow \begin{cases} ۲(۱۰٫۵-v_o) = ۱۵\left[۴v_o-۲(V_{IH}-۱٫۵)\right] \\ (۱۰٫۵-v_o)^۲ = ۱۵\left[۲(V_{IH}-۱٫۵)v_o-v_o^۲\right] \end{cases} \Rightarrow V_{IH} = ۴٫۲۲$$

نقطه مورد نظر هم روی منحنی هم روی مشتق صدق می‌کند.

$V_{OL} = ۱٫۶$

بررسی شرط tr عهده دانشجو ⇐

$V_{DSD} \leq V_{GSD}-V_T$

$۱٫۶ \leq ۴٫۲۲-۱٫۵$ ✓

$$\left.\begin{aligned} v_{OH} &= ۱۰٫۵ \\ v_{OL} &= ۰٫۴ \\ V_{IH} &= ۴٫۲ \\ V_{IL} &= ۱٫۵ \end{aligned}\right\} \Rightarrow NM \simeq ۱٫۱$$

(با نسبت V_{DD} ها داراست) خوب

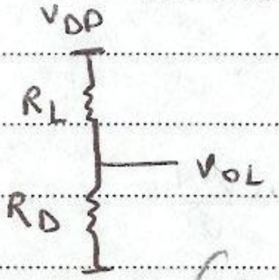
P_{diss} :

$$\begin{cases} P_{diss\,H} = ۰ \quad (\text{هر ۲ قطع}) \\ P_{diss\,L} = V_{DD}\,I_D = \frac{\overset{۱۲}{V_{DD}}}{۲}\underbrace{k_L}_{۰/۰۰۳}(\underbrace{V_{GSL}}_{۱۲-۰٫۴}-\underbrace{V_{TL}}_{۱٫۵})^۲ = ۱٫۸\ mW \end{cases}$$

$P_{diss}(av) = 0.9\ mw$

نسبت به BJT خوب اما بد در مقایسه با تکنولوژی MOS

شرط عملکرد صحیح: هنگام V_{OL} علاوه بر tr بودن D باید شرط زیر نیز برقرار باشد.



$$V_{OL} = \frac{R_D}{R_L+R_D} V_{DD}$$

$$\frac{V_{DD}}{\cancel{V_{DD}}} = \frac{V_{DD}}{1+\frac{R_L}{R_D}} \Rightarrow R_L \gg R_D$$

V_{OL} ← باید مقدار کوچکی داشته باشد

باید

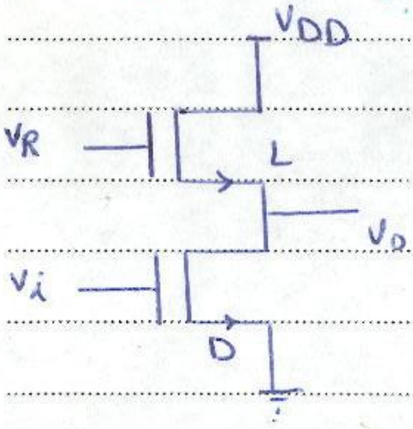
باید R_L به اندازه [illegible] R_D باشد تا [illegible] کمتر [illegible] شود

$$\Rightarrow k_L \ll k_D \Rightarrow \boxed{\left(\frac{W}{L}\right)_L \ll \left(\frac{W}{L}\right)_D}$$

تکنولوژی NMOS را تکنولوژی نسبت داری نامند (Ratioed)

تکنولوژی MOS به تعداد [illegible] حساس نیست

ج) بار افزایشی trioed:



اساس کار: هنگام V_i="0" بار L، C را پر می‌کند. V_R را چنان انتخاب می‌کنیم تا L قطع نشود و بتواند C را کاملاً پر کند تا V_{DD} یعنی $V_{OH}=V_{DD}$

$V_{GSL} \geqslant V_{TL}$ (شرط هدایت L)

$V_R - V_O \geqslant V_{TL} \Rightarrow V_R \geqslant V_{TL} + V_O \Rightarrow$

$V_R \geqslant V_{TL} + V_{O(max)}$

V_R را بزرگ انتخاب کنیم ← $(V_{O\,max} = V_{DD})$

$$\boxed{V_R \geqslant V_{DD} + V_{TL}}$$

[illegible] ناحیه کاری:

$V_{DSL} \overset{?}{\gtrless} V_{GSL} - V_{TL}$

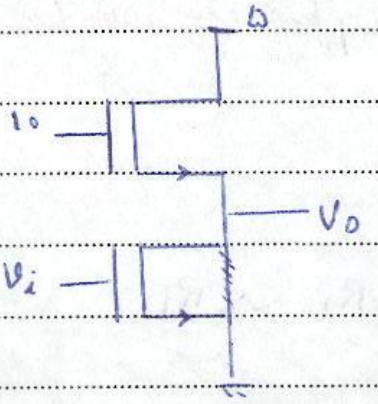
$V_{DD} - \cancel{V_O} \overset{?}{\gtrless} V_R - \cancel{V_O} - V_{TL} \Rightarrow V_{DD} < V_R - V_{TL}$

با توجه به فرض بالا!!!

⇐ L همواره tr است.

تکلیف (خیلی مهم)

۱ـ NM و ولتاژهای مرزی گیت زیر را حساب کنید؟

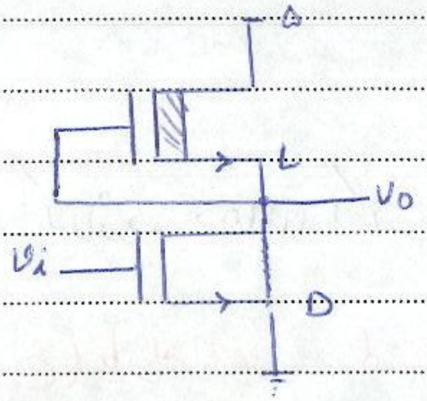


$V_{TL} = V_{TD} = ۱\,V$

$K_R = ۱۵$

$k_L = ۳\,\frac{\mu A}{V^2}$ ، $k_D = ۴۵\,\frac{\mu A}{V^2}$

ـ۲



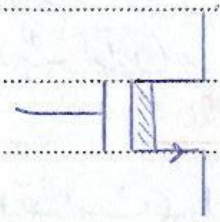
V_{IL}
- L → tr
- D → pi

V_{IH}
- L → pi
- D → tr

V_{OL} :
- L → P
- D : tr

V_{OH}
- L → بستگی دارد
- D (pi)

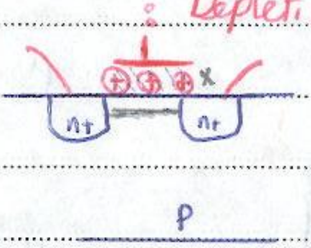
د) بار تهی (تخلیه‌ای) : Depletion



ولتاژ آستانه منفی

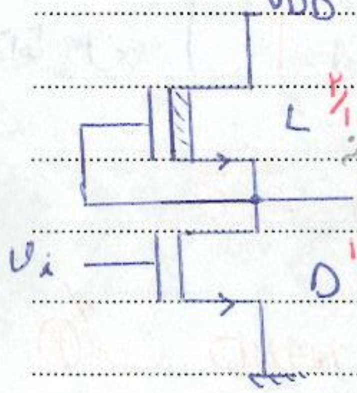
$V_T<0$

ترانزیستور تهی



x یک مقدار یون مثبت در گیت اکسید کاشت می‌شود پس یک کانال منفی زیر گیت (اما کم است) پس ترانزیستور یک کانال ضعیف دارد (قبل از وصل ولتاژ) پس به صورت نرمال ON است اگر گیت را مثبت کنیم کانال قوی‌تر می‌شود و اگر گیت را منفی کنیم یک مقدار منفی‌ها خنثی می‌شوند پس کانال دارد

طرز کار: (گیت NOT)



هنگام $v_i=0$ که D قطع است، L همواره خاموش نمی‌شود پس ترانزیستور از $-V_T$ به بالا کانال دارد پس ولتاژ آستانه حداقل در ولتاژ منفی است برای اینکه کانال از منفی شروع می‌شود.

شرط هدایت را دارد و خازن خروجی را کاملاً تا VDD پر می‌کند زیرا $V_{GSL}=0>\underset{\text{منفی}}{V_{TL}}$

$D \rightarrow P_i$
$L \rightarrow tr$

$$\boxed{V_{OH}=V_{DD}}$$

هنگام $v_i=1$ هر ۲ وصل و $V_o=\text{"0"}$ اگر D در tr باشد و $K_R \gg 1$
L در P_i است

خلاصه:

بار مقاومتی: عیب: غیر اقتصادی مزیت: محاسبات ساده

بار ترانزیستوری P_i: عیب: $V_{OH}\neq V_{DD}$ مزیت: اتصال تک تغذیه‌ای

" " tri: عیب: نیاز به ۲ تغذیه مزیت: $V_{OH}=V_{DD}$

بار تهی: عیب: — مزیت: $V_{OH}=V_{DD}$ و بی‌نیاز از ۲ تغذیه

گیتهای دیگر:

① گیت NOR با هر دو روش می‌توان ساخت

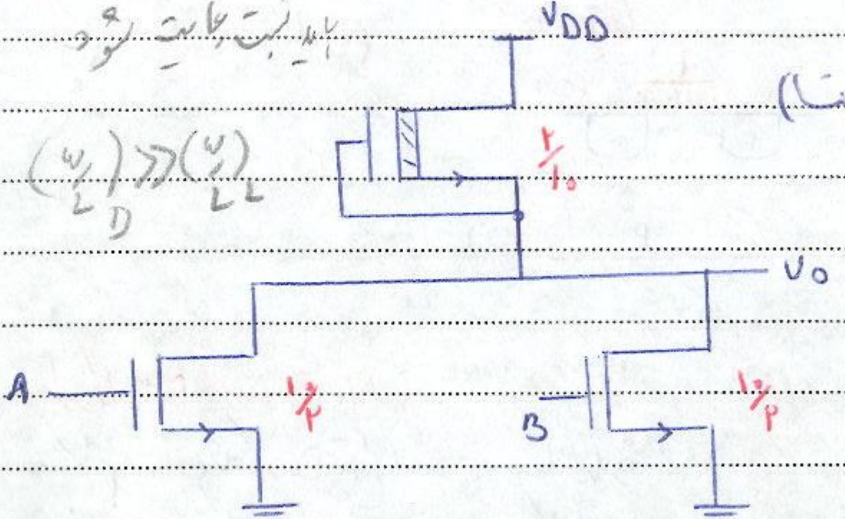
Subject:
Year : Month : Day : ( )

ترانزیستورهای موازی

(چون موازی است فرقی نمی‌کند کدام وصل باشد)

باید نسبت رعایت شود

$\left(\frac{W}{L}\right)_D \gg \left(\frac{W}{L}\right)_L$

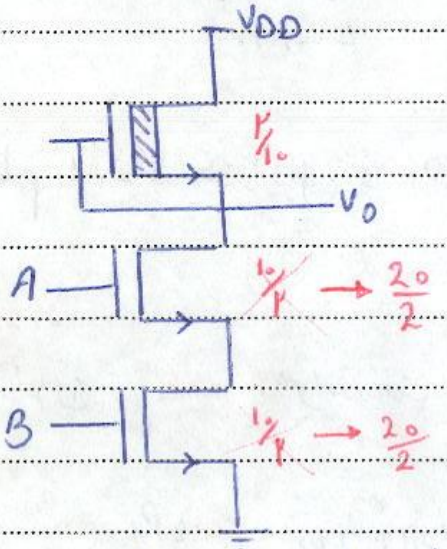

VDD
$\frac{2}{10}$
V_O
A
$\frac{10}{2}$
B
$\frac{10}{2}$

A	B	V_O	
0	0	1	(هر ۲ قطع است)
0	1	0	حداقل یکی از Dها وصل
1	0	0	
1	1	0	

$V_O = \overline{A+B} = \bar{A} \cdot \bar{B}$ (خاصیت wired AND)

② گیت NAND

ترانزیستورهای سری


VDD
$\frac{2}{10}$
V_O
A
$\cancel{\frac{10}{2}} \rightarrow \frac{20}{2}$
B
$\cancel{\frac{10}{2}} \rightarrow \frac{20}{2}$

A	B	V_O	
0	0	1	هر قطع D شارژ توسط L
0	1	1	
1	0	1	
1	1	0	→ هر ۲ D وصل (۴۲)

چون سری هستند مقاومتشان زیاد می‌شود و این مطلوب نیست پس باید مقاومت را نصف کنیم $\left(R \propto \frac{1}{k}\right) \Rightarrow$ W/L را باید ۲ برابر کنیم

نتیجه: گیت NOR در تکنولوژی NMOS بهتر از NAND است

ex: مدار متناظر با $F = \overline{A \cdot B + C \cdot D}$ را رسم کنید

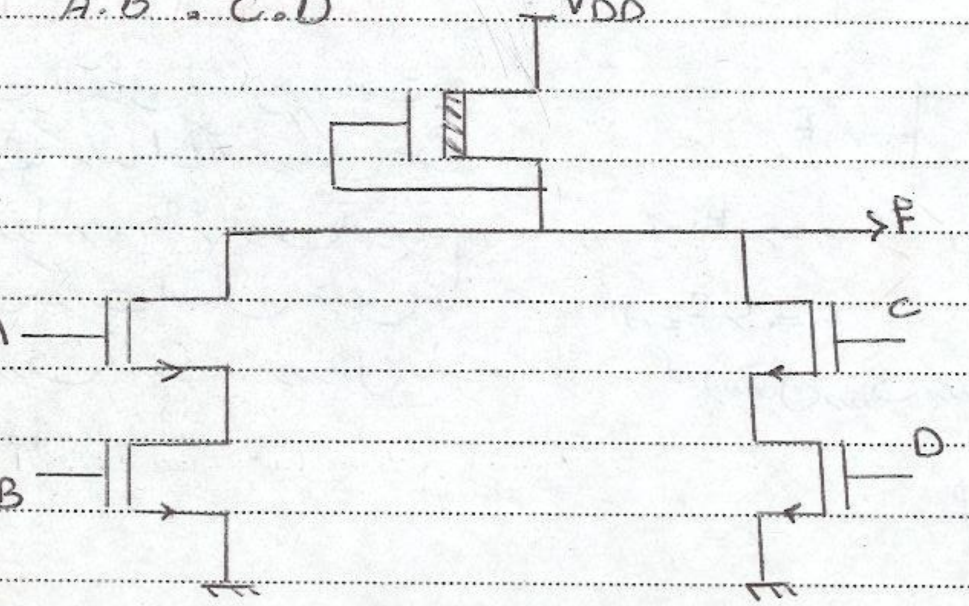
به این مدار AND-OR-Invert گویند (AOI)

B=C=1 →

C=0 , B=1 →

PAYCO

$F = \overline{A \cdot B} \cdot \overline{C \cdot D}$



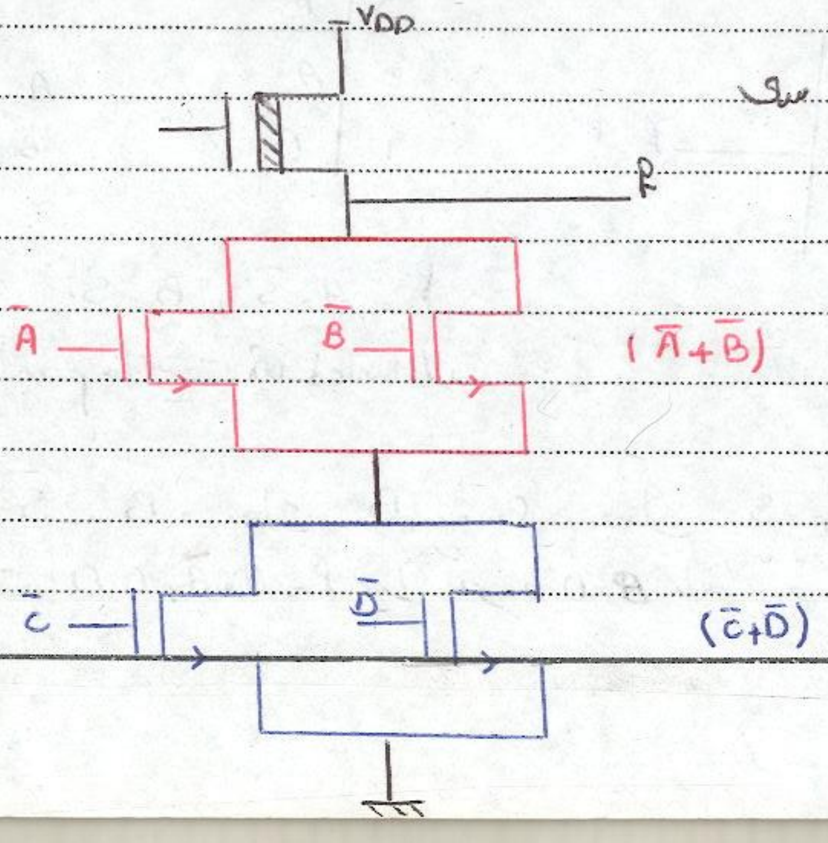
نکته: منظور بین عبارات . به منظور سری و + به منظور موازی است به شرطی که علامت بار داشته باشیم

ex: مدار ترانزیستوری با $F = A \cdot B + C \cdot D$ را رسم کنید

چون علامت بار ندارد نمی‌توان از قانون بالا استفاده کرد پس ابتدا باید آن را به شکل زیر در بیاوریم

$$F = \overline{\overline{A \cdot B + C \cdot D}} = \overline{(\bar{A}+\bar{B}) \cdot (\bar{A}+\bar{D})}$$

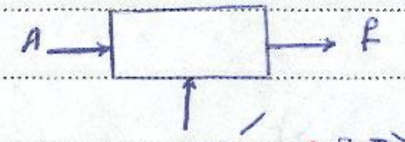
$\bar{A}$ و $\bar{B}$ موازی
$\bar{C}$ و $\bar{D}$ موازی
} به هم سری


VDD
سری
F
$\bar{A}$
$\bar{B}$
$(\bar{A}+\bar{B})$
$\bar{C}$
$\bar{D}$
$(\bar{C}+\bar{D})$

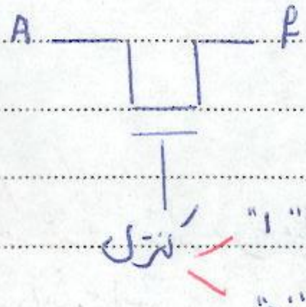
Subject:
Year :   Month :   Day :   ( )

گیت انتقالی (Pass Gate)

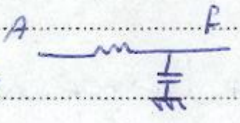
فرق گیت انتقالی با بافر سه حالته این است که از لحاظ الکترونیکی فرق دارد یعنی در بافر سه حالته خروجی تقویت می شود ولی در گیت انتقالی خروجی عیناً همان ورودی است. و در عمل مانند یک کلید عمل می نماید.



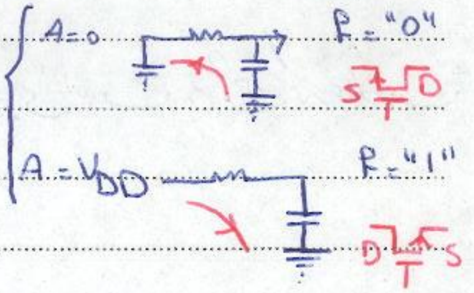
0 => Hi-Z
1 => F = A که (اتصال ورودی به خروجی)



"1" => وصل TR =>
"0" => قطع TR => Hi-Z

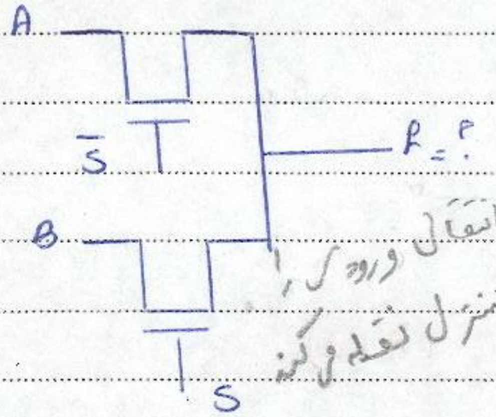


مدار داخلی:

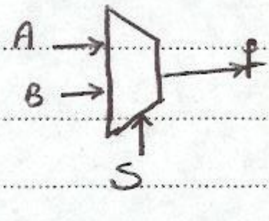

A=0
F = "0"
S T D
A = VDD
F = "1"
D T S

چون یک حالت جریان به سمت چپ و در حالت دیگر به سمت راست می رود D و S این ترانزیستور نامعین می باشد

ex:


A
$\bar{S}$
F = ?
B
S
گیت انتقالی ورودی را در کنترل قطع می کند

S	F
0	A
1	B



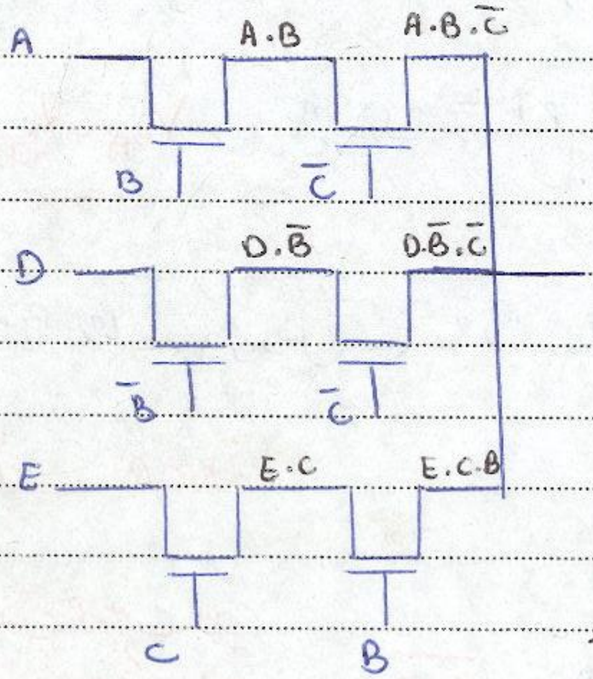
$F = A \cdot \bar{S} + B \cdot S$ MUX (2X1)

اتصال خروجی ها هم خاصیت Wired-OR را دارد

اگر در شکل بالا به جای $\bar{S}$ ← B و به جای B ← C و به جای S ← D بگذاریم می توانیم خروجی زیر را نتیجه گرفت $F = A \cdot \bar{B} + C \cdot D$ زیرا اگر $B = D = 1$ باشد و $F = A$ و $\bar{F} = C$

که اگر A+C باشد غیرممکن است.

ex: آیا مدار زیر درست جواب می‌دهد؟



$f = AB\bar{C} + \bar{B}\bar{C}D + BCE$

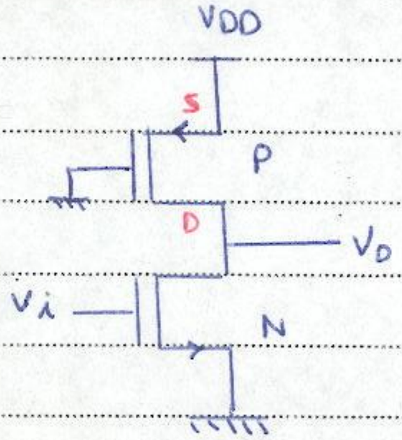
هر شاخه باید نسبت به بقیه حداقل
یک متغیر مکمل داشته باشد.

اگر با روش قبل می‌خواستیم حل کنیم (تکنولوژی NMOS)
یعنی سری و موازی TR، آنگاه ۱۰ ترانزیستور
لازم بود ولی الان با 6 ترانزیستور ساختیم

$(\underbrace{\bar{A}+\bar{B}+C}_{\text{موازی}})\cdot(\underbrace{B+C+\bar{D}}_{\text{موازی}})\cdot(\underbrace{\bar{B}+\bar{C}+\bar{E}}_{\text{موازی}})$

نتیجه: هر تابعی را می‌توان با گیت انتقالی ساخت.

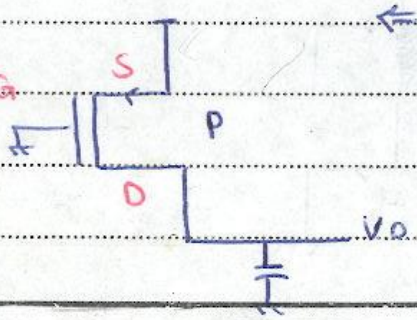
۲- تکنولوژی شبه NMOS (Pseudo NMOS)



گیت NOT:

طرز کار:

v_i = "0" ⇐ N قطع ⇐



$V_{GS_p} = -V_{DD} < V_{TP}$ ⟸ وصل (چون ترانزیستور P است)

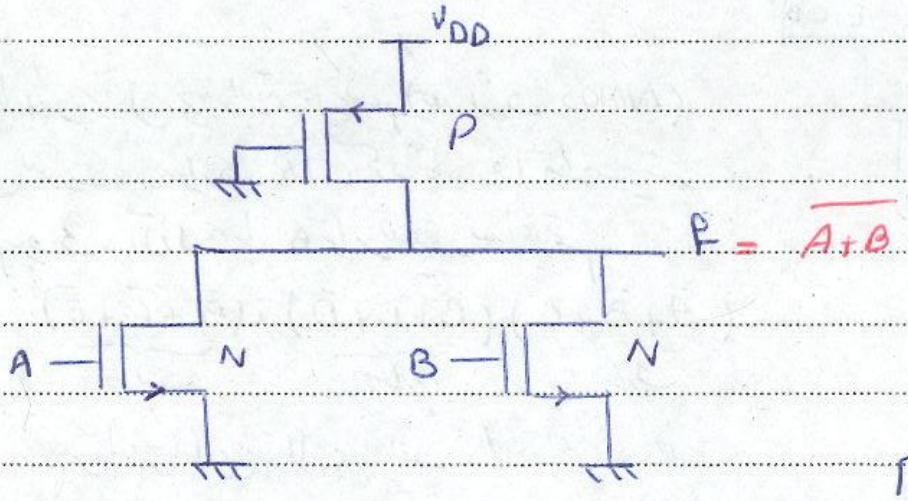
(مثلاً [illegible]) منفی

یا $(|V_{GSp}| > |V_{TP}|)$ ⟸ شارژ خازن توسط P ⟸ $V_{OH} = V_{DD}$

شرط هدایت

$v_i = "1"$ ⟸ هر دو وصل ⟸ $V_O = "0"$ (اگر N در tr باشد و $((\frac{W}{L})_N \gg (\frac{W}{L})_P)$

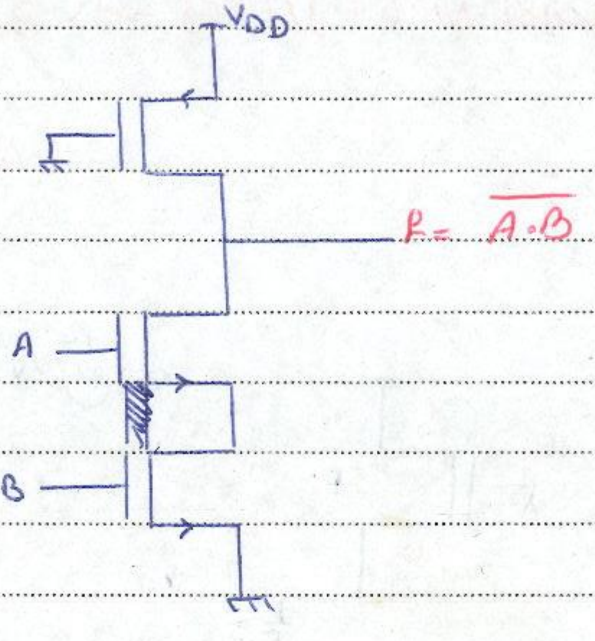
گیت NOR:


V_{DD}
P
F = $\overline{A+B}$
A
N
B
N

بخش P به سمت زمین
دقیقاً همان تکنولوژی
قبلی است.

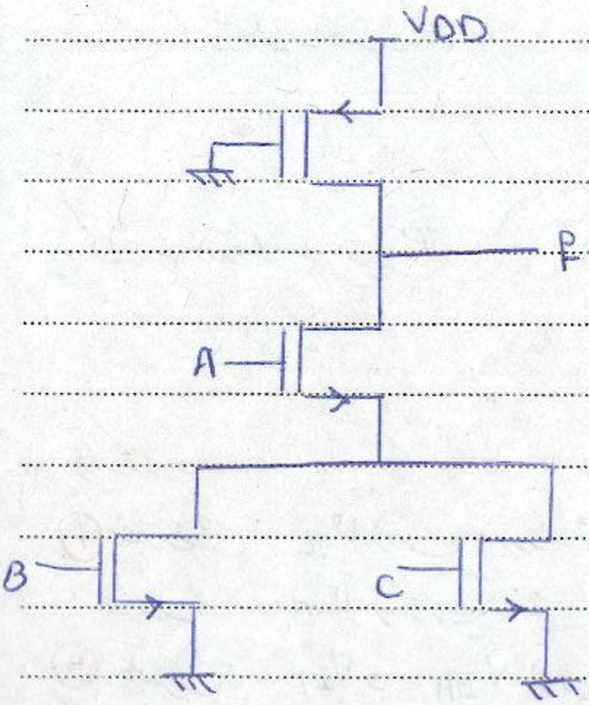
خاصیت Wired_AND داریم

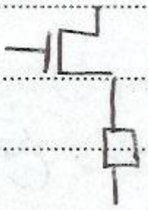
گیت NAND:


V_{DD}
F = $\overline{A\cdot B}$
A
B

ex: تابع خروجی مدار زیر را بنویسید

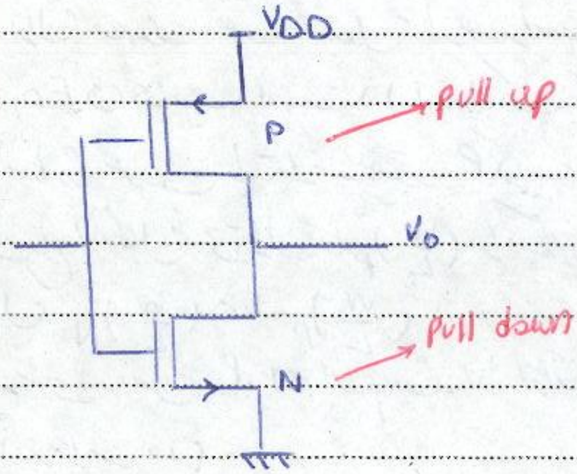
$F = \overline{(B+C) \cdot A}$





۳- تکنولوژی CMOS:

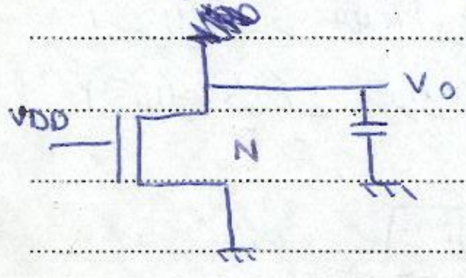
① گیت NOT:


VDD
P
pull up
v_i
v_o
pull down
N

طرز کار:

$v_i = 0$ ⇐ N قطع و P وصل ⇐
شارژ خازن خروجی تا VDD ⇐ $V_{OH} = V_{DD}$

$v_i = V_{DD}$ ⇐ N وصل و P قطع ($\underline{L}(V_{GSp} = 0 > V_{TP}$ ($|V_{GS}| < |V_{TP}|$)
دشارژ خازن خروجی تا ۰ ⇐ $V_{OL} = 0$



نکته: در ترانزیستور N

گیت = 0 ⇐ قطع
گیت = V_{DD} ⇐ وصل

نکته: در ترانزیستور P

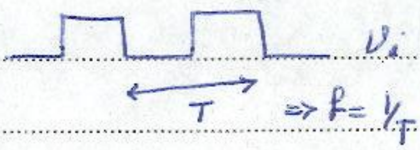
گیت = 0 ⇐ وصل
گیت = V_{DD} ⇐ قطع

ویژگی ها:

① کمترین V_{OL} (یعنی صفر ولت)
بیشترین V_{OH} (یعنی تغذیه)
② بهترین V_{IL} و V_{IH} (یعنی حول $\frac{V_{DD}}{2}$)
① و ② ⇐ بهترین NM
③ نسبت دار نیست (Ratio less)
④ توان مصرفی متوسط ایده‌آل صفر است. (در حالت استاتیک یا d.c)
⑤ F.O بی نهایت است (استاتیک)
⑥ شارژ خروجی با ترانزیستور P (کند) و دشارژ خروجی با ترانزیستور N (سریع)
برای رفع اشکال می‌توان $(\frac{W}{L})_P$ را بزرگتر از $(\frac{W}{L})_N$ گرفت. مثلاً اگر $\mu_n = 2.5\mu_p$ باشد می‌توان $(\frac{W}{L})_P = 2.5(\frac{W}{L})_N$
گرچه نسبتی بین P و N لازم شد اما اولاً اجباری نیست، ثانیاً قابل ملاحظه نیست. (2.5 در برابر 10)
⑦ محدودیت فرکانس کار. از دو چیز ناشی می‌شود
1- جریان محدود μA است (بدلیل نیاز به جریان بالا)
2- توان دینامیک: توانی است که هنگام شارژ خازن خروجی از تغذیه گرفته می‌شود.

$$P_{diss}(Dyn.) = f.C.V_{DD}^2$$

فرکانس ورودی
خازن خروجی



$$P_{diss}(total) = \underbrace{P_{diss}(static)}_{\text{ثابت}} + \underbrace{P_{diss}(dynamic)}_{\text{تابع فرکانس}}$$

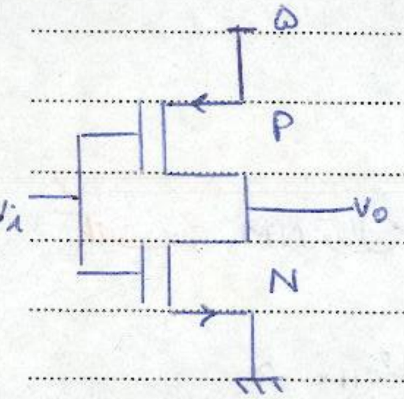
ex: در یک IC توان مصرفی کل در فرکانس ۱MHZ برابر ۱۰mW در فرکانس ۱۰MHZ برابر ۱۵۰mW می‌باشد. توان مصرفی آن در فرکانس ۲۰MHZ چقدر است؟

$$\overset{total}{P_{diss}} = A + \overset{\text{ضریب فرکانس}}{B} f$$

$$\begin{cases} ۱۰\,mW = A + B \times ۱ \\ ۱۵۰ = A + B \times ۱۰ \end{cases} \Rightarrow ۹B = ۱۴۰ \Rightarrow B = \frac{۱۴۰}{۹}$$

$$A = -\frac{۵۰}{۹}$$

$$P_{diss} = A + B \times ۲۰ \Rightarrow -\frac{۵۰}{۹} + \frac{۱۴۰}{۹} \times ۲۰ = \ldots$$



$V_{TN} = ۱V$

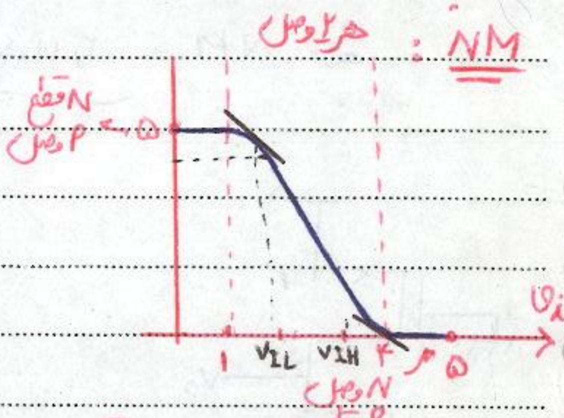
$V_{TP} = -۱V$

$k_N = k_P$

$V_{OH} = ۵V$

$V_{OL} = ۰V$

مقایسه: **NM**



(قطع ← اندازه V_{GS} < اندازه آستانه)

$$V_{IL} \text{ خروجی زیاد است } \Rightarrow \begin{cases} Pi & \text{در } N \\ tr & \text{در } P \end{cases}$$

$$\frac{k_N}{۲}(\overset{v_i-۰}{V_{GSN}} - V_{TN})^۲ = \frac{k_P}{۲}\left[۲(V_{GSP} - V_{TP})\overset{v_o-۵}{V_{DSP}} - V_{DSP}^۲\right]$$

$$(v_i - ۱)^۲ = ۲(v_i - ۵ + ۱)(v_o - ۵) - (v_o - ۵)^۲ \; *$$

از طرفین دیفرانسیل می‌گیریم سپس dv_i تقسیم می‌کنیم، بجای $\frac{dv_o}{dv_i}$ ، -۱ می‌گذاریم تا به رابطه زیر می‌رسیم $v_o = V_{IL} + ۲٫۵$ به ازای $V_I = V_{IL}$

$$\begin{cases} v_o = V_{IL} + ۲٫۵ \\ (V_{IL} - ۱)^۲ = ۲(V_{IL} - ۴)(v_o - ۵) - (v_o - ۵)^۲ \end{cases} \Rightarrow V_{IL} = ۲٫۱۲۵$$

V_{IH} : حدودی کم است $\Rightarrow \begin{cases} N : tr \\ P : Pi \end{cases}$

$$\frac{kN}{۲}\left[۲(V_{GS} - V_T)V_{DS} - V_{DS}^۲\right] = \frac{kP}{۲}(V_{GSp} - V_{Tp})^۲$$

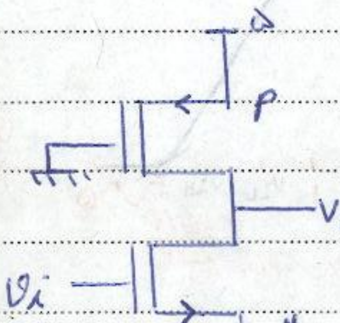
$$۲(v_i - ۱)v_o - v_o^۲ = (v_i - ۵ + ۱)^۲ \quad **$$

پس از تکرار عملیات قبل $v_o = v_{IH} - ۲٫۵$

$$\begin{cases} v_o = v_{IH} - ۲٫۵ \\ ۲(v_{IH} - ۱)v_o - v_o^۲ = (V_{IH} - ۴)^۲ \end{cases} \Rightarrow \boxed{V_{IH} = ۲٫۸۷۵}$$

$$\Rightarrow NM = \boxed{۲٫۱۲۵}$$ عالی

تکلیف: NM و توان مصرفی گیت زیر را بیابید



$kN = ۴۵\ \mu A/v^۲$

$kp = ۳\ \mu A/v^۲$ $\quad V_{DD} = v_{OH} = ۵$

$V_{TN} = +۱$

$V_{TP} = -۱$

قطعاً در تکنولوژی بار افزایشی $V_{OH} \neq V_{DD}$ است

باید تشخیص دهیم در tr است یا Pi

از روی V_{DS} می‌توان تعیین tr است یا Pi

V_{OL}: v_i (حدودی H طبق قبل) $\Rightarrow$ v_o کم $\Rightarrow$ $V_{OL} \Rightarrow$ N (tr) وصل
P (Pi) قطع

$$\frac{kN}{۲}\left[۲(V_{GSN} - V_{TN})V_{DSN} - V_{DSN}^۲\right] = \frac{kP}{۲}(V_{GSp} - V_{TP})^۲$$

$$۱۵\left[۲(۵ - ۱)v_{OL} - V_{OL}^۲\right] = (-۵ + ۱)^۲$$

$$15\left[8V_{OL}-V_{OL}^{2}\right]=14$$

بیشتر از تغذیه

$$V_{OL}^{2}-8V_{OL}+\frac{14}{15}=0 \Rightarrow V_{OL}=\begin{cases} 7/5 \ \times \\ 0/5 \end{cases} \Rightarrow \boxed{V_{OL}=0/5}$$

بررسی شرطها Pi و tr

$tr:\ V_{DSN} \leq V_{GSN}-V_{TN}$

$0/5 \leq 5-1$ ✓

$Pi\ \ V_{DSP} \geq V_{GSP}-V_{TN}$

$0/5 \geq -5+1$ ✓

V_{IL}: ورودی کم => خروجی زیاد => $N(Pi)$ قطع
$P(tr)$ وصل

خروجی زیاد یعنی V_{GS} پایینی زیاد است پس پایینی Pi بالایی tr. اگر در اوایل منحنی باشیم tr و Pi برعکس هستند یعنی پی tr است و بیشتری Pi در ابتدای منحنی هم همینطور است ولی در اواسط منحنی چون خروجی کم است و زیاد نیست خروجی متوسط است پس V_{DS} هر دو از لحاظ قدر مطلق یک اندازه است پس برعکس هم نیستند.

$$\cancel{\frac{k_P}{2}}\left[2(V_{GSP}-V_{TP})V_{DSP}-V_{DSP}^{2}\right]=\cancel{\frac{k_N}{2}}\left(V_{GSN}-V_{TN}\right)^{2}$$

$$\left[2(-5+1)(v_o-5)(v_o-5)^{2}\right]=15(v_i-1)^{2}$$

$$-8(v_o-5)-(v_o-5)^{2}=15(v_i-1)^{2} \quad *$$

دیفرانسیل می‌گیریم

$$-8\frac{dv_o}{dv_i}-2(v_o-5)\frac{dv_o}{dv_i}=30(v_i-1)\frac{dv_i}{dv_i}$$

$$\begin{cases} 8+2(v_o-5)=30(v_i-1) \\ -8(v_o-5)-(v_o-5)^{2}=15(v_i-1)^{2} \end{cases} \Rightarrow v_{IL}=$$

Subject:
Year : Month : Day : ( )

V_{IH} : (انتهای منحنی) فرض کنیم $\Rightarrow$ $N(tr)$
$P\ (Pi)$

$$\frac{k_P}{۲}(V_{GSP}-V_{TP})^۲=\frac{k_N}{۲}\left[۲(V_{GSN}-V_{TN})V_{DSN}-V_{DSN}^۲\right]$$

$$(-۵+۱)^۲=۱۵\left[۲(v_i-۱)v_o-v_o^۲\right]\Rightarrow ۱۶=۱۵\left[۲(v_i-۱)v_o-v_o^۲\right]$$

$$۳۰(v_i-۱)v_o-۱۵v_o^۲=۱۶$$ دیفرانسیل می گیریم

$$۳۰(v_i-۱)\frac{dv_o}{dv_i}+۳۰v_o\frac{dv_i}{dv_i}-۳۰v_o\frac{dv_o}{dv_i}=۰$$

$$-۳۰v_i-۳۰+۳۰v_o+۳۰v_o=۰\Rightarrow\begin{cases}v_o=\frac{۱}{۲}v_i+\frac{۱}{۲}\\ ۳۰(v_i-۱)v_o-۱۵v_o^۲=۱۶\end{cases}$$

$v_{IH}=$

$NM=$

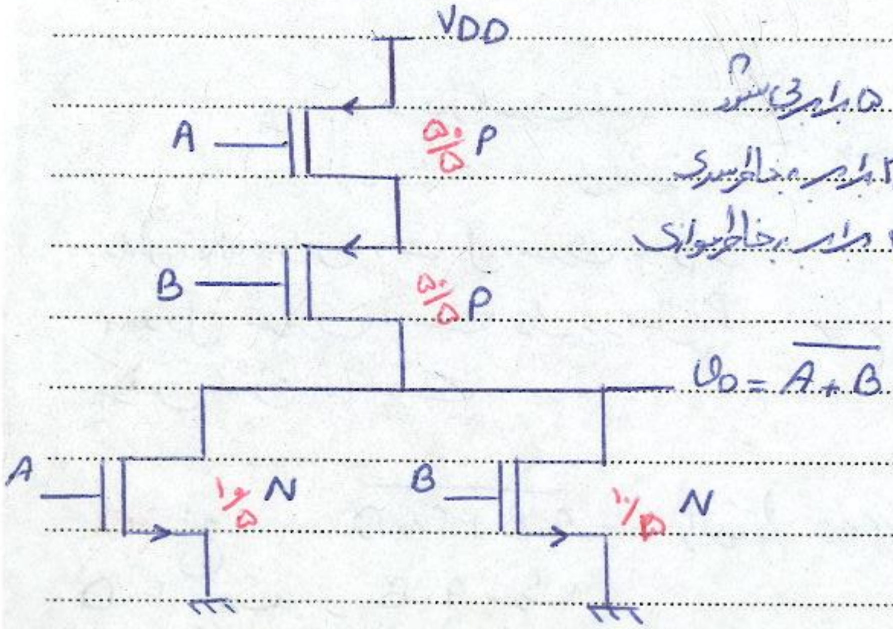
P_{diss} $\quad P_{diss\,H}=۰$

$$P_{diss\,L}=V_{DD}I_D=۵\times\frac{k_P}{۲}(\overset{-۵}{V_{GSP}}-\overset{-۱}{V_{TP}})^{۲}\Rightarrow P_{diss\,L}=۰/۱۲\ mW$$

چون جریان که هردو را یکی گرفتیم فرقی ندارد کدام را بنویسیم چون بالای راحت است آن را می نویسیم زیرا Pi است. توان مصرفی را یک بار ورودی را صفر و یک بار یک می گذاریم ببین وقتی صفر بگذاریم جریان صفر می شود و توان مصرف نمی شود

$P_{diss(av)}=۰/۰۶\ mW$

② گیت NOR


VDD
A
۵/۵ P
B
۵/۵ P
$v_o=\overline{A+B}$
A
۱۰/۵ N
B
۱۰/۵ N

P
۵ برابر می‌شود

۲٫۵ برابر به خاطر سری
۲٫۵ برابر به خاطر موازی

ورودی ۰ N را قطع می‌کند
〃 ۱ N را وصل می‌کند

ورودی ۰ P را وصل می‌کند
ورودی ۱ P را قطع می‌کند

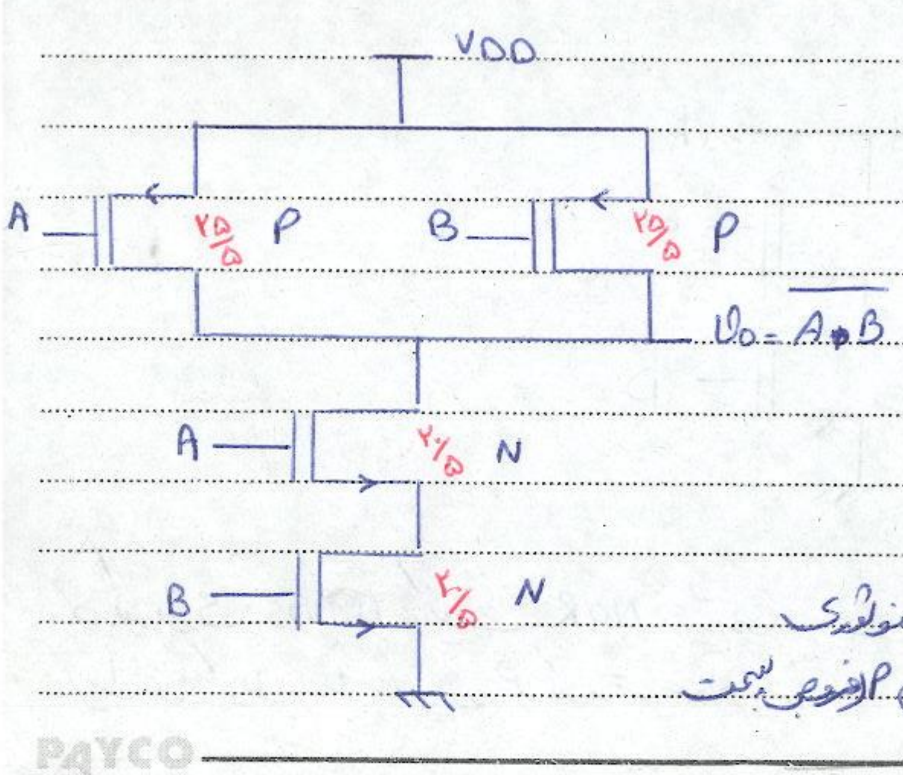
A	B	v_o
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۰

← هر ۲ N قطع - هر ۲ P وصل

هر ۲ P قطع
حداقل یک N وصل

یکی از آنها یک باشد چون هر دو سری هستند
پس هر دو قطع می‌شوند

③ گیت NAND


VDD
A
۲۵/۵ P
B
۲۵/۵ P
$v_o=\overline{A\cdot B}$
A
۲۰/۵ N
B
۲۰/۵ N

ورودی صفر در P یعنی وصل
اگر A یا B صفر است خازن
شارژ می‌شود و خروجی ۱
اگر هر دو ورودی یک باشد هر دو
بالایی قطع است و خازن
توسط دو تا پایینی دشارژ
می‌شود. خاصیت ۰ یا ۱ برای
پایینی برقرار است.
کشش N (خروجی به سمت زمین) اساس تکنولوژی
NMOS و بیشتر NMOS است و کشش P (خروجی به سمت
تغذیه) برعکس کشش N است

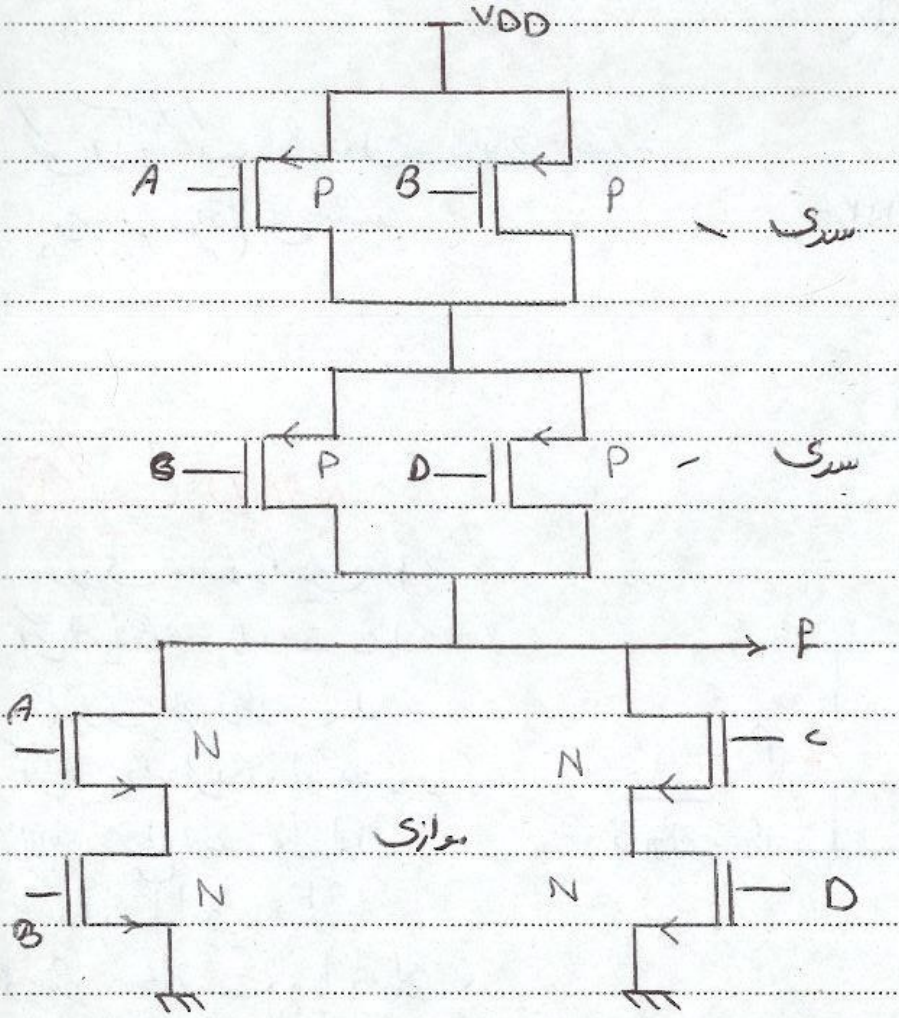
A	B	Q_0
0	0	1
0	1	1
1	0	1
1	1	0

هر ۲ N قطع و حداقل یک P وصل ← چون سری هستند هر ۲ قطع می‌شوند

← هر ۲ P قطع، هر ۲ N وصل ← در بخش N، خواص . معادل سری و خواص + معادل موازی است ولی در بخش P عکس بخش N است

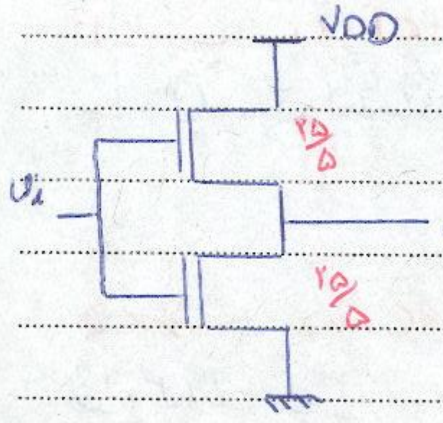
ex) تابع $f = \overline{A.B + C.D}$ را توسط CMOS رسم کنید

C.D سری و A.B سری
موازی

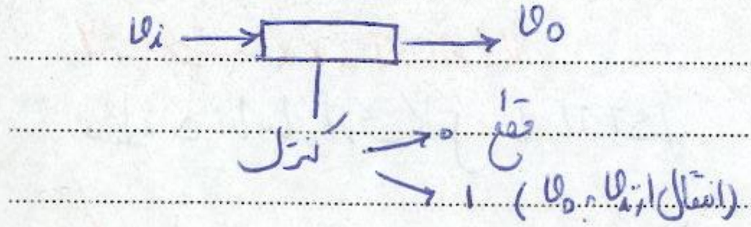


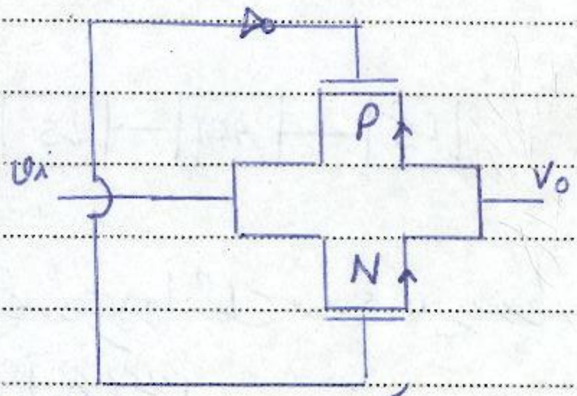
در تکنولوژی NMOS، گیت NOR بهتر بود ولی در تکنولوژی CMOS، NAND بهتر است زیرا سری کردن ترانزیستور P کندتر خواهد بود.

انتخاب $(\frac{W}{L})$


VDD
۲۵/۵
v_i
v_o
۲۵/۵

۴ گیت انتقالی


v_i
v_o
کنترل
۰ قطع
۱ (انتقال از v_i به v_o)



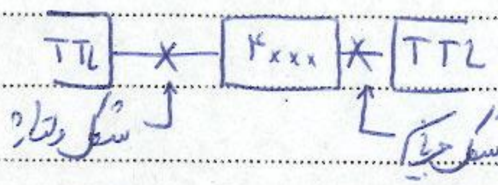
کنترل ۰ ← N قطع و P قطع ← قطع

۱ ← N وصل و P وصل ← انتقال از v_i به v_o

سری های مختلف CMOS

۱- سری ۴XXX : این سری هیچ سازگاری با TTL ندارد

آرایش پایه Pinlayout ، وظیفه ، الکتریکی

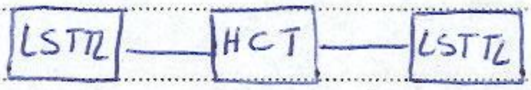

TTL
۴xxx
TTL
مشکل ولتاژ
مشکل جریان

۲- سری ۷۴CXXX : سازگاری پایه - سازگاری وظیفه

۳- سری ۷۴AXXX مشابه ۲ است اما سریعتر

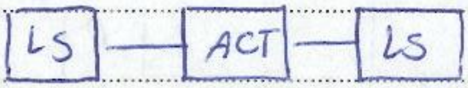
Subject:
Year : Month : Day : ( )

۴_ سری ۷۴HCTxxx : T یعنی سازگاری کامل با TTL است
مشابه ۳ است اما سازگاری کامل با LSTTL



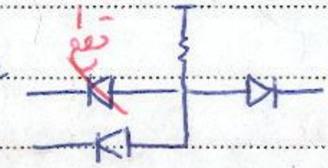
۵_ سری ۷۴ACxxx
مشابه ۳ اما سریعتر

۶_ سری ۷۴ACTxxx
مشابه ۵ اما سازگاری کامل با LSTTL



۲_ نکته تجربی:

۱) ورودی رها شده مانند ۱ عمل می‌کند زیرا در صورت رها شدن ورودی، دیود مربوطه قطع می‌شود مانند وقتی که در TTL آن را به Vcc وصل می‌کردیم
بنابراین نباید ورودی ها رها شود زیرا ممکن است در اثر Noise ورودی نامشخص به وجود آید (غالباً ورودی ها در cmos صفر می‌شود)



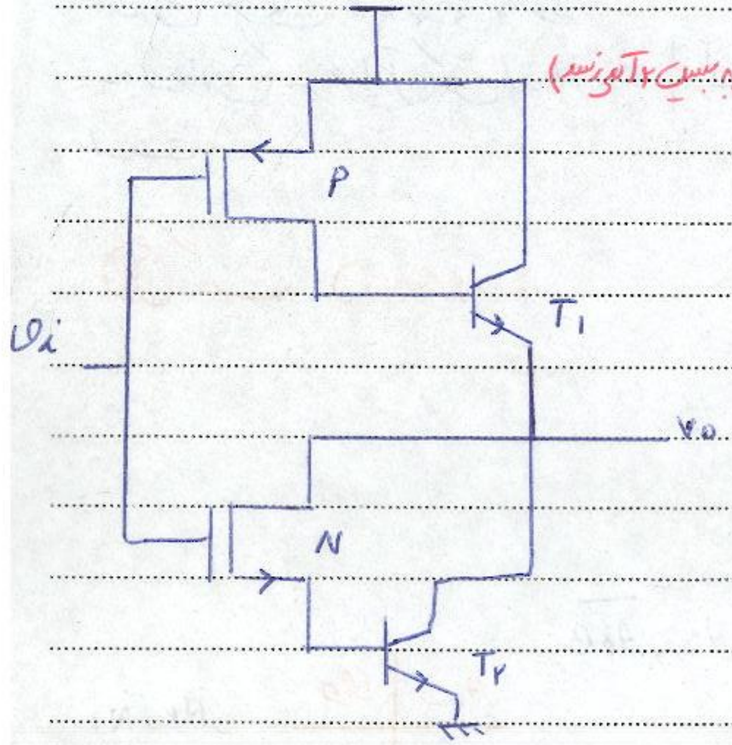
۲) حساسیت از Noise، cmos خوب نیست یعنی cmos زود Noise می‌گیرد، خازن ورودی cmos بسیار کوچک است

$$k = \frac{Q^{\rightarrow Pc}}{C_{\rightarrow Pf}}$$

۴_ تکنولوژی BiCMOS : (Bipolar cmos)
سرعت پایین - توان مصرفی کم
سرعت بالا، توان مصرفی بالا

① گیت NOT:

۴ ترانزیستور داریم. معرفی حالت totem pole داریم


v_i
P
T_1
v_o
N
T_2

$v_i = 0V$ ← N قطع و T_2 قطع (وقتی N قطع شود جریانی به بیس T_2 نمی‌رسد)

P وصل، T_1 وصل

← شارژ خازن خروجی توسط T_1

← $v_o = "1"$

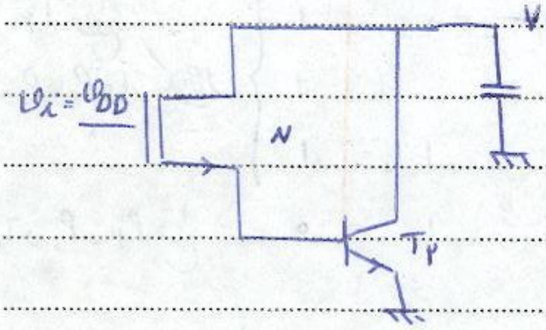
جریان امیتر بیشتر از B می‌شود خازن را با جریان بیشتری پر می‌کند

$v_i = V_{DD}$ ← N وصل و T_2 وصل

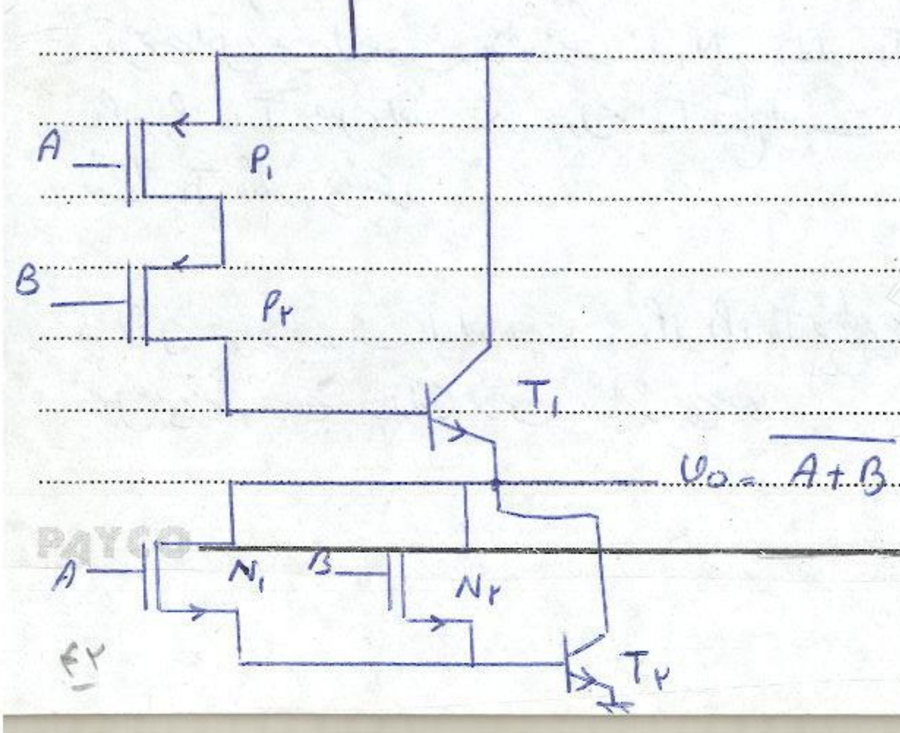
P قطع و T_1 قطع

$v_o = "0"$

وقتی N و T_2 وصل است خازن خروجی توسط T_2 تخلیه می‌شود و خروجی صفر می‌شود


v_o
$v_i = V_{DD}$
N
T_2

② گیت NOR:


A
B
P_1
P_2
T_1
$v_o = \overline{A+B}$
N_1
N_2
T_2

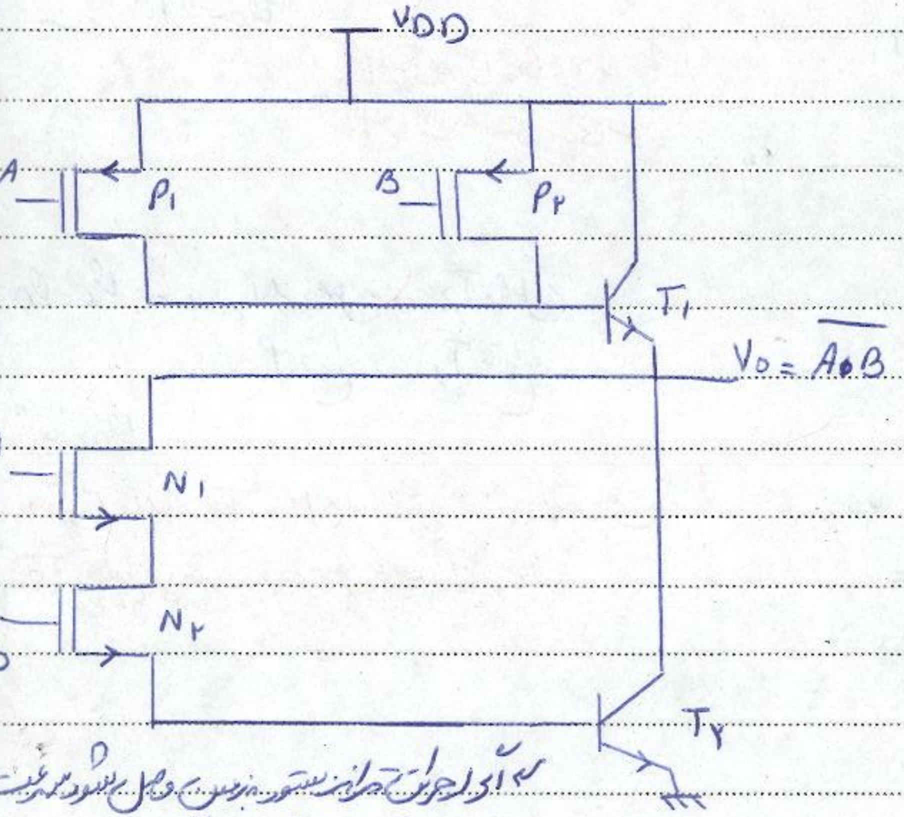
A	B	v_o	
0	0	1	→ P_1 و P_2 وصل N_1 و N_2 قطع T_1 وصل و T_2 قطع
0	1	0	P_1 و P_2 و T_1 قطع T_2 وصل حداقل یکی از N_1 و N_2 وصل
1	0	0	
1	1	0	

Subject:
Year : Month : Day : ( )

- وقتی هر دو A و B صفر می شود هر 2 N هم قطع می شود و چون T₂ وابسته به N ها است آن هم قطع می شود پس مسیر تخلیه خازن قطع می شود اما چون T₁ وصل است خازن خروجی شارژ می شود

- در حالتی که حداقل یکی از A و B ها 1 است خازن خروجی دشارژ می شود زیرا T₂ وصل است.

③ گیت NAND :



A	B	V_o
0	0	1
0	1	1
1	0	1
1	1	0

N₁ و N₂ و T₂ قطع / T₁ و P₁ و P₂ حداقل یکی وصل

→ T₁ و P₁ و P₂ قطع

برای اینکه جریان خازن سریعتر به زمین وصل شود سرعت بالا می رود

- وقتی حداقل یکی از ورودی ها صفر شود : N₁ و N₂ و T₂ قطع است . و حداقل یکی از P₁ و P₂ و T₁ وصل است . چون T₂ قطع است مسیر دشارژ قطع می شود و خازن خروجی توسط T₁ شارژ می شود

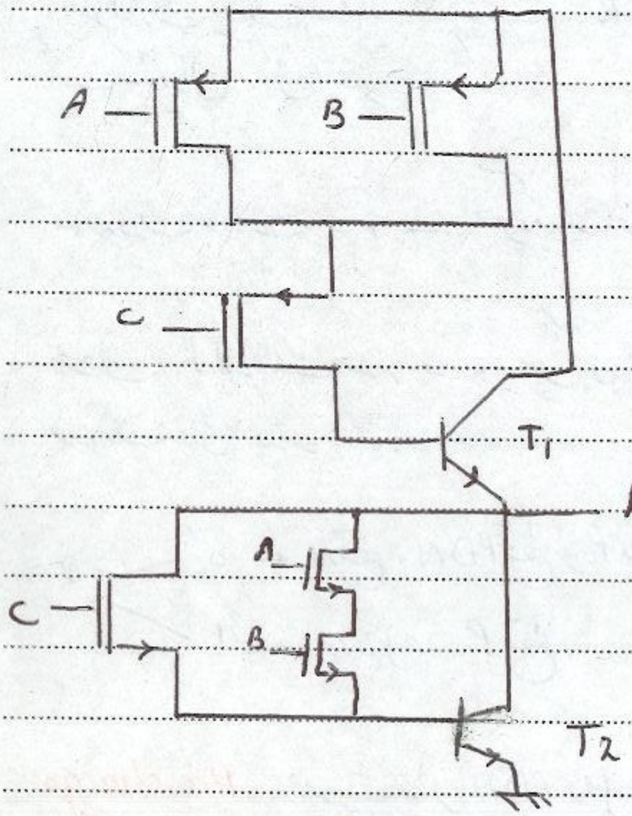
- وقتی هر دو ورودی 1 است : P₁ و P₂ و T₁ قطع می شود و هر دو N₁ و N₂ وصل و T₂ هم وصل می شود ← خازن خروجی دشارژ می شود

تکلیف: توسط تکنولوژی BiCMOS تابع زیر را رسم کنید $f = \overline{A.B+C}$

البته به این صورت بود $f = A.B+C$

$$f = \overline{\overline{A.B+C}}$$

$$f = \overline{(\bar{A}+\bar{B}).\bar{C}}$$



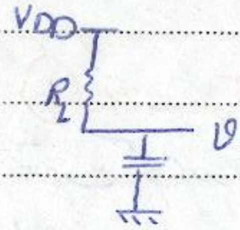
اشکال تکنولوژی های استاتیک:

شارژ خازن خروجی (هنگام بالا رفتن خروجی) کند است. بین با اتلاف همراه می شود.

نسبت دار { NMOS
شبه NMOS

$R_D \ll R_L \Leftarrow (\frac{W}{L})_D \gg (\frac{W}{L})_L$

بدون نسبت { CMOS
BiCMOS



شارژ توسط P کند است

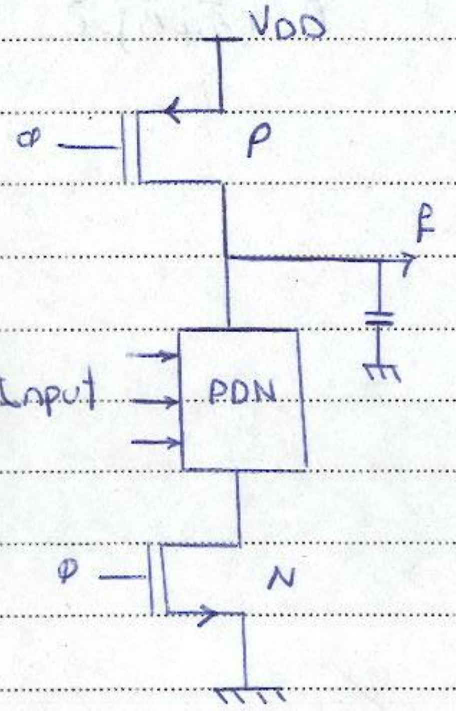
تکنولوژی های دینامیک:

تکنولوژی PDN:

ایده: شارژ خازن خروجی از قبل (قبل از اعمال ورودی بیت) ← هنگامی که ورودی را اعمال می کنیم و خروجی ۱ می شود خازن قبلاً پر شده پس زمان هدر نمی رود. (تأخیر = صفر)
اگر اگر خروجی بخواهد صفر بشود، خروجی در شبکه پایین کشنده به سرعت خالی می شود (Pull down network)

Subject:
Year : Month : Day : ( )

چون حاوی ترانزیستورهای NMOS است بین خلیه سریع انجام می شود.
تکنولوژی های پویا تنها باید یک clock داشته باشد که برای قبل و بعد از اعمال ورودی
یک سیگنالی به آن خبر دهد.



- ورودی ساعت = Φ ← خبر آمدن ورودی را می دهد

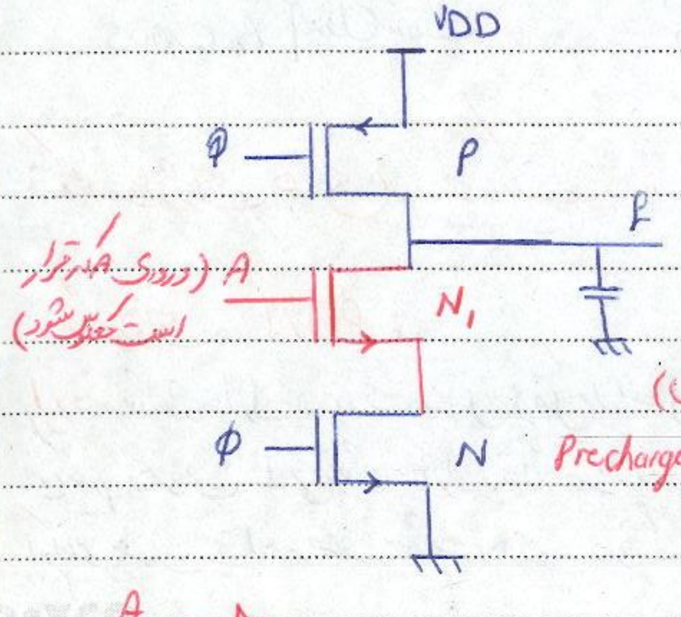
خروجی F از بالای جمع بست به پایین گرفته می شود
ورودی های مدار به جمع وصلند

Φ
0 ← N قطع، PDN قطع و P وصل ← خازن شارژ می شود
1 ← N وصل، P قطع

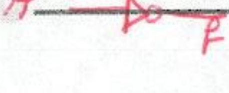
Precharge: در صورتیکه PDN وصل شده
C خالی می شود و F = 0 می گردد و گرنه
PDN قطع و F = 1 می ماند (Evaluation) خروجی معتبر باشد
Φ = 1

PDN خازن را در خودش خالی می کند.

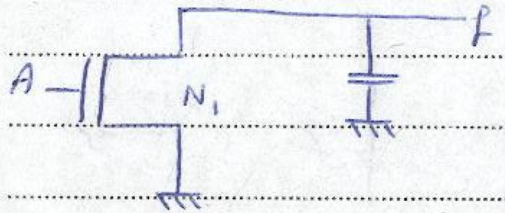
① گیت NOT :
قسمت آبی در همه PDN ها ثابت است و قسمت قرمز قسمت جمع است
در ابتدا Φ = 0 در نظر می گیریم



Φ
0 ← N قطع و N₁ قطع (چون سری با N است)
P وصل (و فلش شارژ خازن خروجی) ← Precharge
1 ← N وصل و P قطع

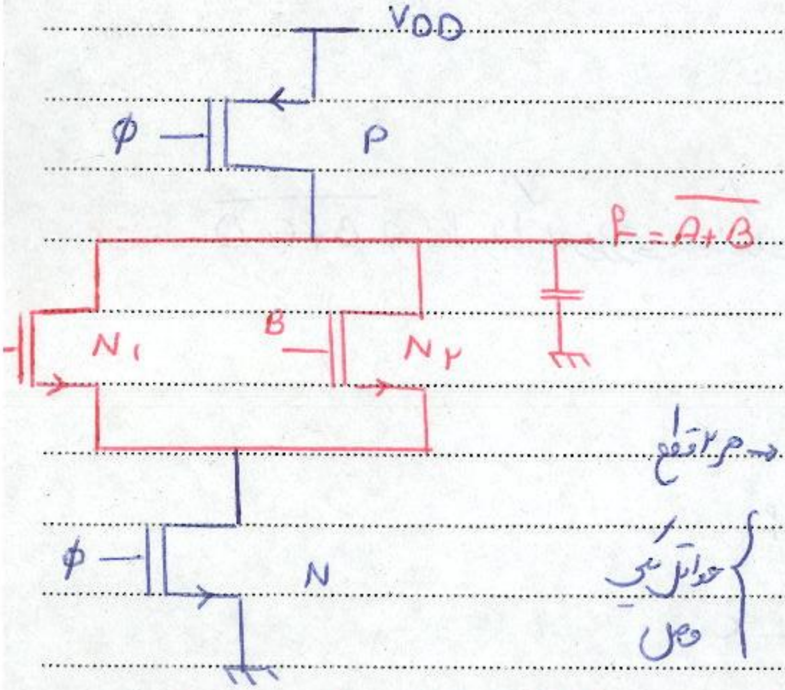


وقتی $\Phi = 1$ است ← N وصل و P قطع است برای N_1 دو حالت پیش می‌آید بستگی به A دارد



$A = 0$ ← N_1 قطع ← $f = "1"$ می‌ماند (چون از قبل پر شده بود)
$A = 1$ ← N_1 وصل ← $f = "0"$ (تخلیه خازن)
(خازنی که از قبل پر شده بود و حالا این مقاومت کم شد پس سر آن خالی می‌شود)

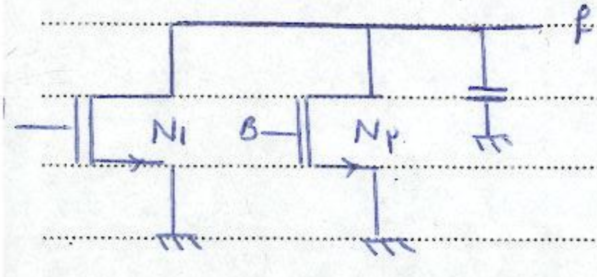
② گیت NOR:



وظیفه P عمل Precharge است
قبل از اینکه ورودی بیاید
$\Phi = 0$ می‌شود تا خازن را
قبل از اعمال ورودی شارژ کنند (pre)

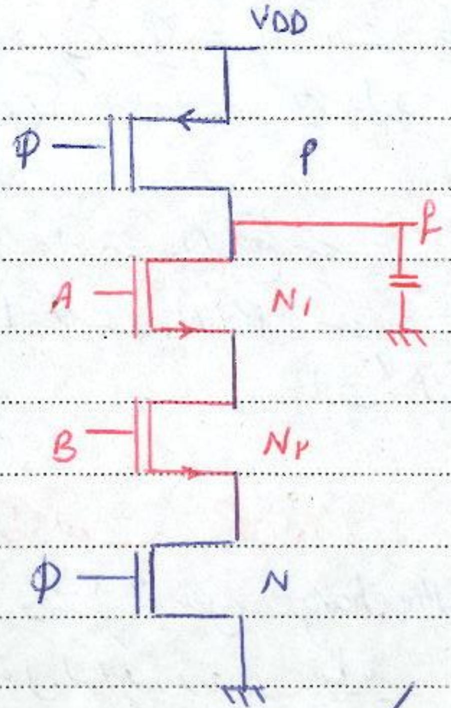
	A	B	f	
هر ۲ قطع ←	0	0	1	← حتی Eva وضعیت 1 را می‌دارد
حداقل یکی وصل	0	1	0	خازنی که Precharg شده بود تخلیه می‌شود
	1	0	0	
	1	1	0	

Φ:
0 ← N قطع و PDN (N_1, N_2) قطع و P وصل ← شارژ خازن تا VDD (Precharge)
1 ← N وصل و P قطع



③ گیت NAND

Φ:
0 ← N قطع و N_1 و N_2 قطع و P وصل ← Precharg
1 ← P قطع و N وصل

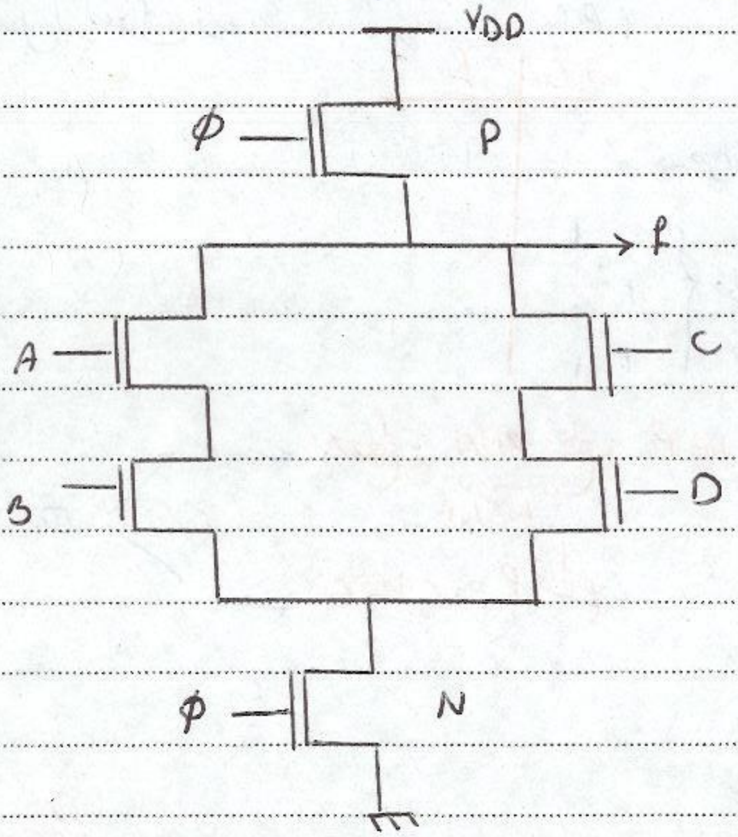

VDD
Φ
P
f
A
N۱
B
N۲
Φ
N

A	B	f
0	0	1
0	1	1
1	0	1
1	1	0

سه سطر اول → هر ۲ قطع

سطر آخر → هر ۲ وصل

ex: $f=\overline{A.B+C.D}$ را با تکنولوژی دینامیک PDN را رسم کنید

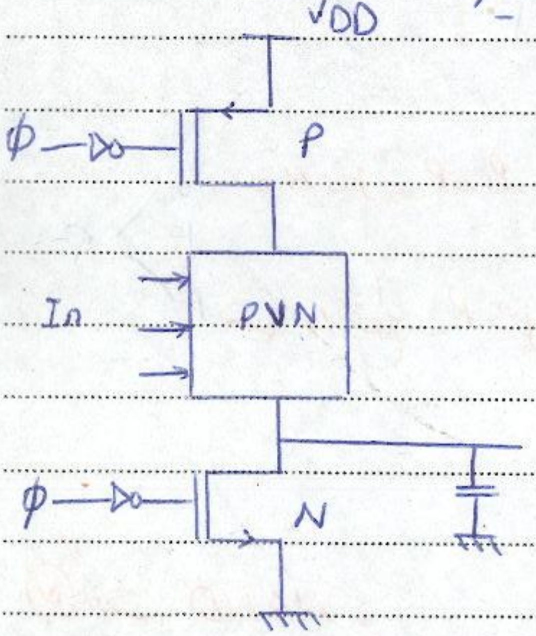

VDD
Φ
P
f
A
C
B
D
Φ
N

تکنولوژی PDN : PUN

ایده: در اینجا خازن خروجی را (Predischarge) از قبل دشارژ می‌کنیم تا پس از اعمال ورودی درصورت نیاز f = 0 قبلاً دشارژ شده باشد.

اما درصورت نیاز f = 1 خازن خروجی توسط یک شبکه‌ی بالاکشنده (حاوی PMOS ها) شارژ شود (Pull-up Network)

ـ چون می‌خواهد خازن را پر کند خروجی را از زیر جعبه می‌گیریم

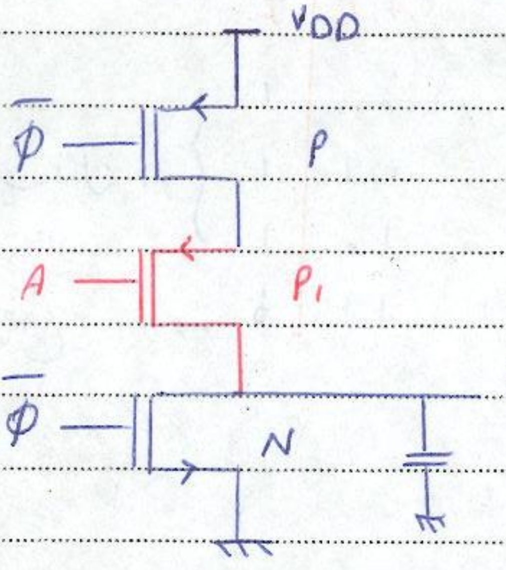

VDD
Φ
P
In
PUN
f
Φ
N

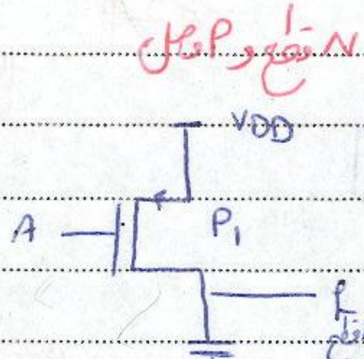
Φ:
0 → P قطع و N وصل و PUN قطع
دشارژ خروجی توسط N (pre.discharge)
1 → P وصل و N قطع

f = 1 → درصورت لزوم PUN وصل
f = 0 → درصورت لزوم PUN قطع

① گیت NOT :

Φ:
0 → N وصل و P قطع و P1 قطع → predischarg
1 → N قطع و P وصل


VDD
$\overline{\Phi}$
P
A
P_1
f
$\overline{\Phi}$
N



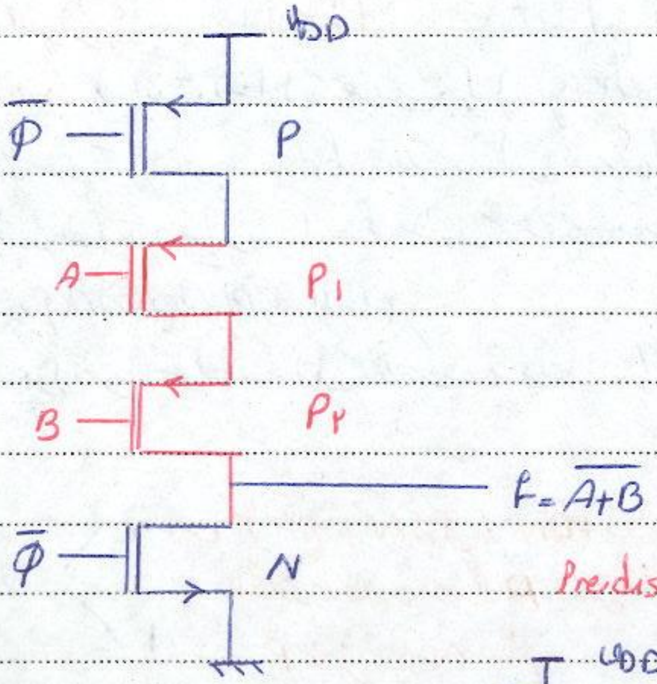
AB	f
0 0 همه قطع	1
0 1	0
1 0 حداقل یکی وصل	0
1 1	0

شارژ خروجی توسط N

$1 = \Phi$ } A = 0 → P1 وصل ⟸ f = 1
A = 1 → P1 قطع ⟸ f = 0

۲) گیت NOR :

از طریق P_1 و P_2 خازن شارژ می‌شود


VDD
$\overline{\phi}$
P
A
P_1
B
P_2
$\overline{\phi}$
N

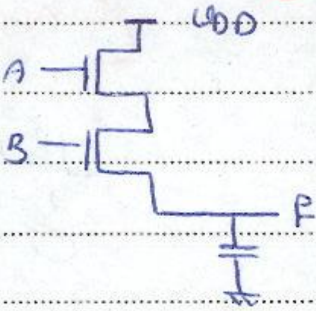
$F=\overline{A+B}$

A	B	F	
۰	۰	۱	→ هر ۲ وصل
۰	۱	۰	هر ۲ قطع
۱	۰	۰	
۱	۱	۰	

ϕ:

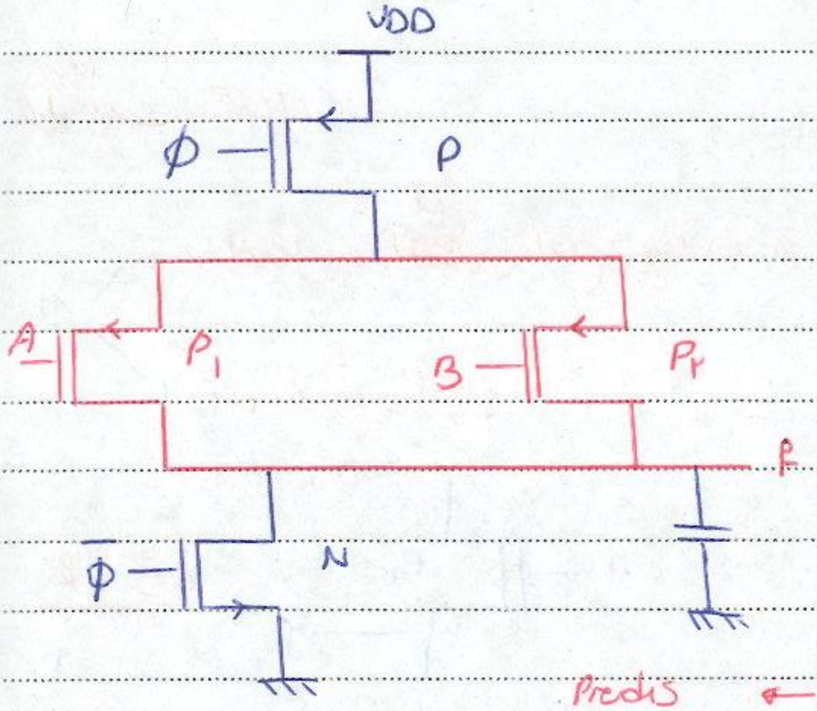
۰ → N وصل و P و P_1 و P_2 قطع → Predischarg

۱ → N قطع و P وصل



۳) گیت NAND :

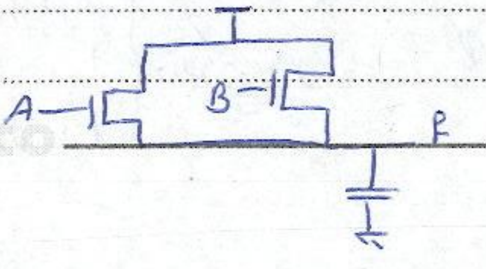
A	B	F	
۰	۰	۱	→ حداقل یکی وصل
۰	۱	۱	
۱	۰	۱	
۱	۱	۰	→ هر ۲ قطع


VDD
ϕ
P
A
P_1
B
P_2
F
$\overline{\phi}$
N

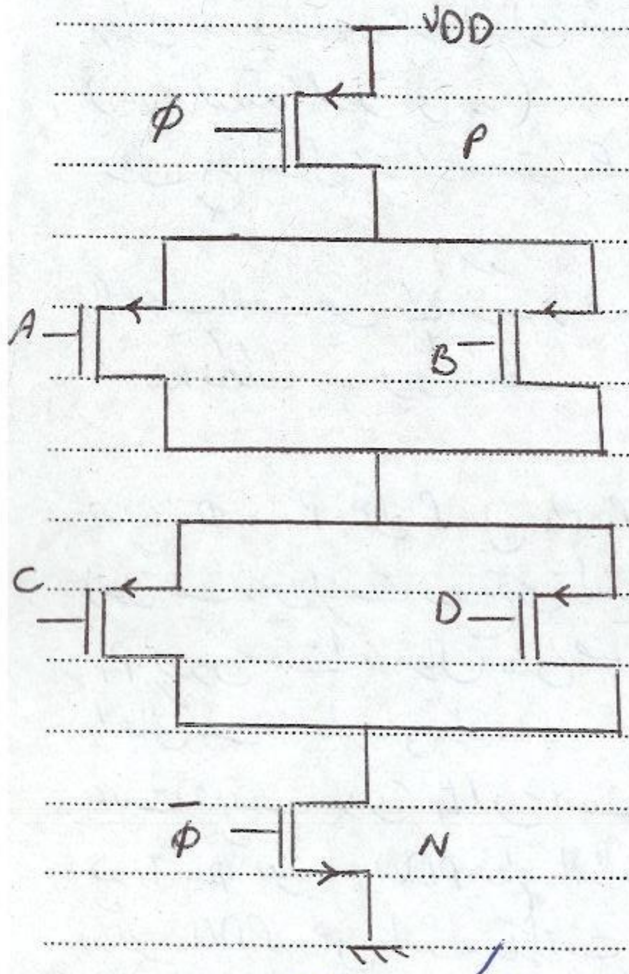
ϕ:

۰ → N وصل و P_1 و P_2 و P قطع → Predis

۱ → N قطع و P وصل

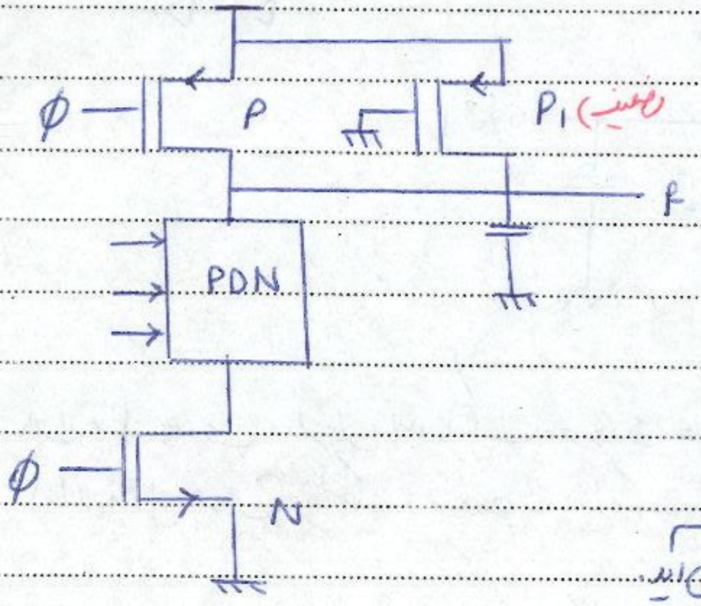


ex: $F = \overline{A.B + C.D}$ با ترانزیستوری PUN رسم کنید.


VDD
Φ
P
A
B
C
D
$\overline{\Phi}$
N

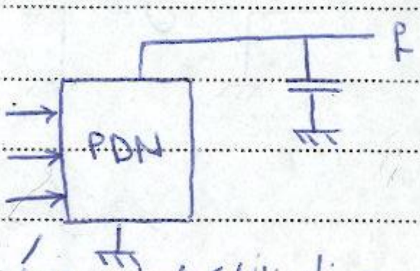
بدلیل شارژ کند PUN کاربرد چندانی ندارد. اکثر ترانزیستوری های مناسب PDN است

اشکال های PDN:


Φ
P
P_1 (ضعیف)
F
PDN
Φ
N

Φ = 0 ← Prech

Φ = 1 ← N وصل و P قطع



درصورت نیاز خازن را خالی می کند.

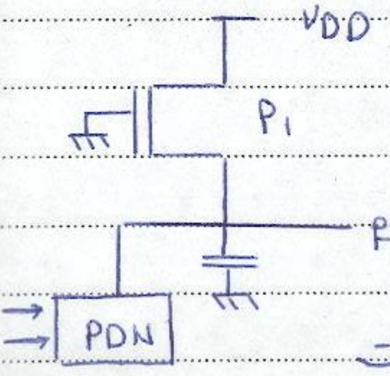
وقتی نیاز نبود هم خازن را خالی کند اشکال پیش می آید.

PAYCO

Subject:
Year : Month : Day : ( )

اشکال ①: در فاز Eva. (یعنی $\Phi=1$) اگر PDN قطع باشد خازن از بین برنده خروجی رها می شود و در اثر جریان های نشتی بار خازن به تدریج کم شده دیگر 1 = ثابت نمی ماند (پس از مدتی از بین می رود.)

برای رفع اشکال از ترانزیستور P_1 بصورت زیر استفاده می شود (خروجی بین ۰ و VDD تغییر)



P_1 ضعیف است یعنی $\frac{W}{L}$ ریز (k بسیار کوچک)
k کوچک ← جریان کوچک

در $\Phi=0$، P_1 به همراه P عمل Prech را انجام می دهد (چون گیت زمین است در واقع بی تاثیر است.) ولی اشکال در $\Phi=1$ است

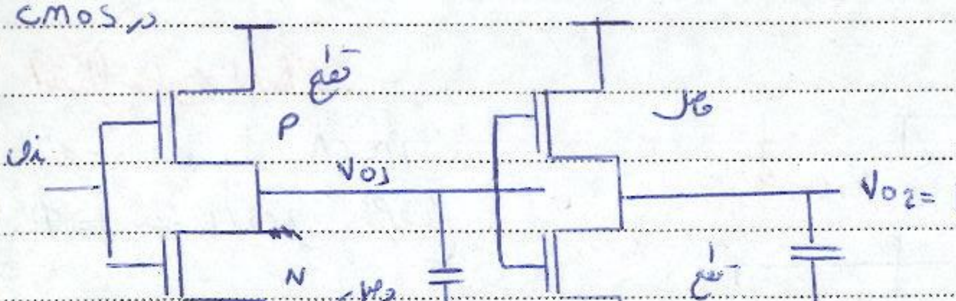
P_1 روشن، فقط به جریان های ضعیف می رسد اگر زیاد بود وقتی PDN می خواست خازن را خالی کند اجازه نمی داد.

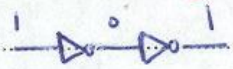
علت ضعیف بودن P_1 این است که اگر در $\Phi=1$، PDN بخواهد خازن را خالی کند بتواند

در $\Phi=1$ اگر PDN قطع باشد P_1 جریان ضعیف ناشی از تخلیه خازن را جبران می کند
اگر PDN وصل باشد مزاحمت برای تخلیه قوی خازن ایجاد نمی کند

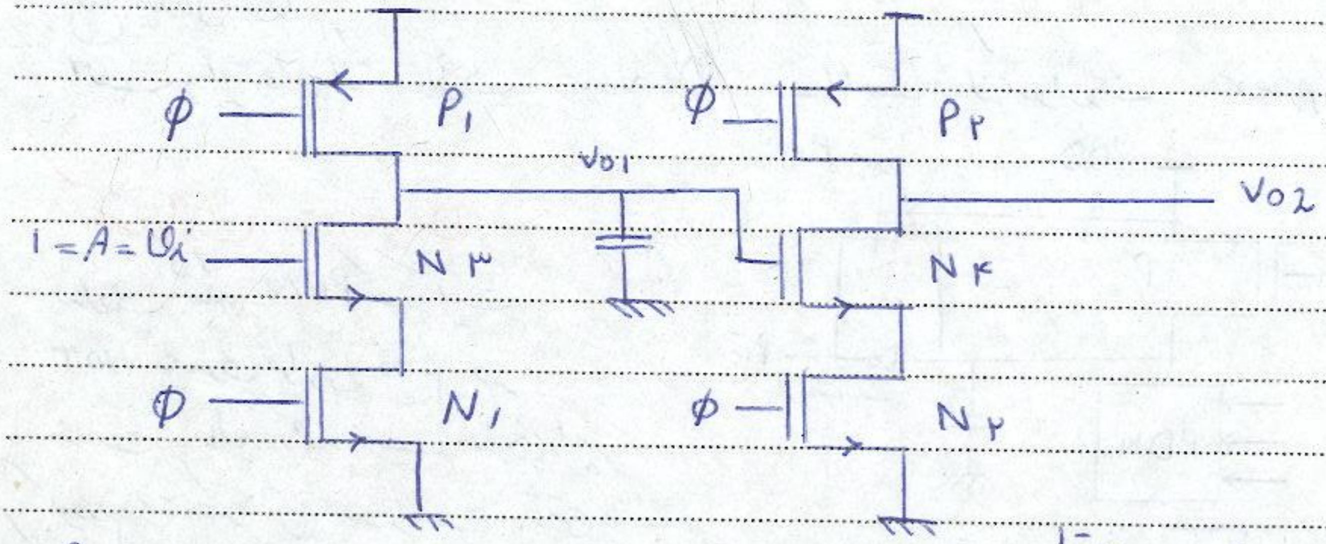
اشکال ②

در cmos



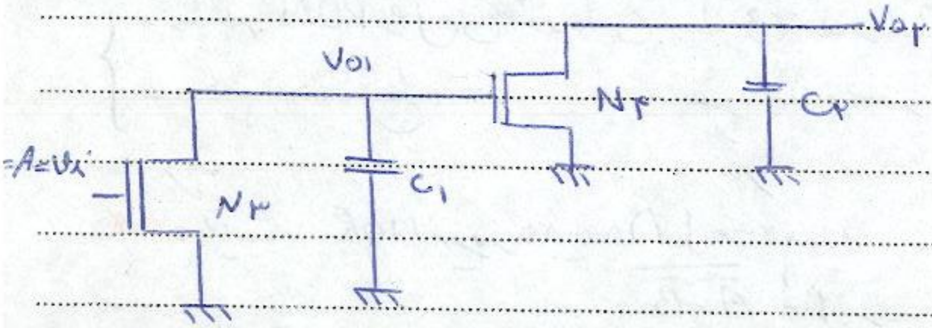


در اتصال جمعی مدارهای استاتیک، ورودی های استاتیک مشکلی وجود ندارد
اما اتصال جمعی دینامیک، ورودی دینامیک با مشکل همراه است

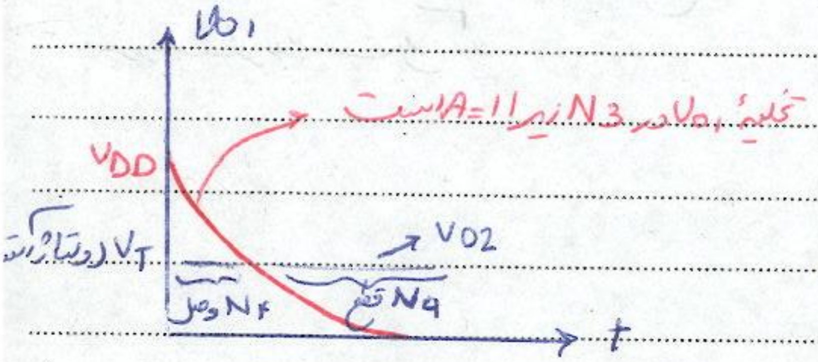

φ
P1
φ
P2
V01
V02
1 = A = vi
N3
N4
φ
N1
φ
N2

φ ∖ 0 } N۱ و N۳ قطع ⟸ P۱ وصل ⟵ در Pre V0.1 ⟸ V01 و V02 هر دو تا VDD پر می‌شود
N۲ و N۴ قطع ⟸ P۲ وصل ⟵ در Pre V0.2

/ 1 ⟵ P۱ و P۲ قطع ⟵ N۱ و N۲ وصل } ⟸ v01 و v02 در شروع φ = 1 هر دو یک است


V02
V01
N4
C2
=A=vi
N3
C1

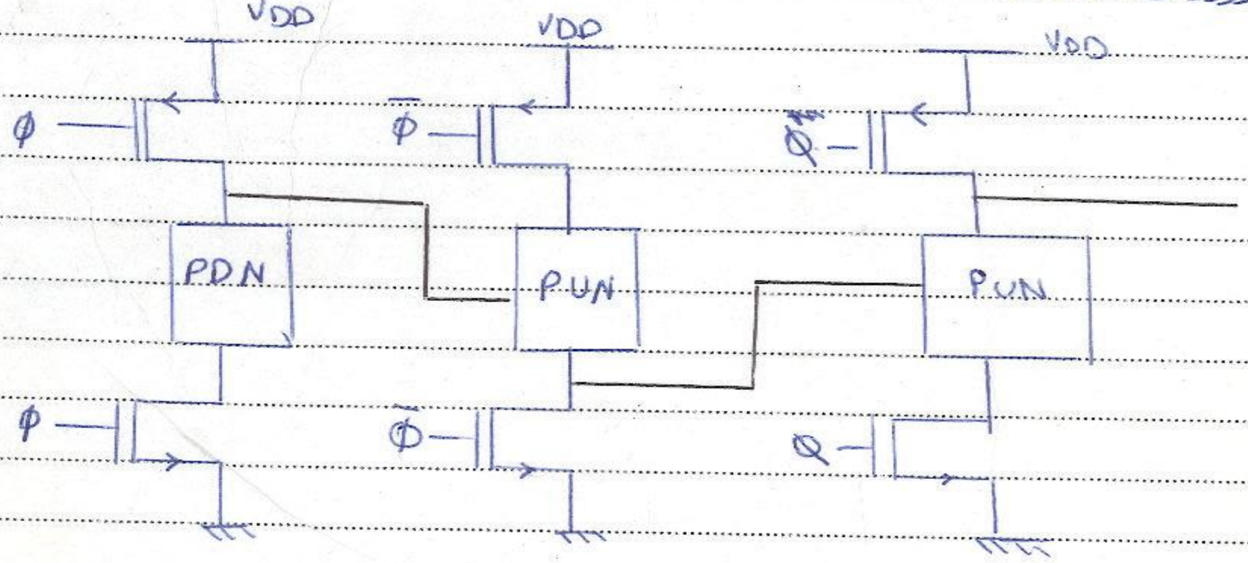
Vi = 1 ⟵ N۳ وصل ⟵ تخلیه C۱. اما چون v01 در ابتدا VDD پر شده N۴ نیز وصل شده و جریان با تخلیه C۱، C۲ نیز تخلیه می‌شود و با کاهش v01 از ولتاژ آستانه، N۴ قطع می‌شود و v0 دیگر VDD نخواهد بود



چون v01 در شروع کار تا "۱" پر شده است N۴ را وصل می‌کند. v02 شروع به تخلیه می‌کند و "۱" از قبل پر شده‌ی خود را از دست می‌دهد

تکنولوژی Zipper:

ایده: اتصال خروجی طبقه PDN به ورودی طبقه PUN و همچنین اتصال خروجی PUN به ورودی PDN.


VDD
VDD
VDD
ϕ
$\bar{\phi}$
ϕ
PDN
PUN
PUN
ϕ
$\bar{\phi}$
ϕ

در اینجا خروجی طبقه اول که در شروع کار "1" است به PUN که از ترانزیستورهای P تشکیل است که 1 برای آن یعنی قطع لذا بر عملکرد طبقه بعدی بی اثر است. (چون مشکل این بود که خروجی یک طبقه در ورودی طبقه بعد اثر می گذاشت)