تخمین توان نشتی در مدارهای VLSI

بهزاد کثیری مشهد
گروه مهندسی برق
دانشگاه آزاد اسلامی واحد کرج
kasiri@gmail.com

یلدا فرازمند
گروه مهندسی برق
دانشگاه آزاد اسلامی واحد کرج

چکیده : با پیشرفت تکنولوژی ساخت و کوچکتر شدن مقیاس بندی جریان نشتی زیر آستانه افزایش یافته و توان اتلافی بیشتر می شود و دیگر نمی توان از توان نشتی صرفنظر کرد.امروزه تخمین و کاهش توان نشتی یکی از مهمترین اهداف درساخت مدارهای VLSI می باشد.در این مقاله ماباارائه مدل هایی توان نشتی را با دقت قابل قبولی تخمین زده ایم.در دو مدل اول ورودی ها تعدادکل گیت های مدار و در دو مدل بعدی بر اساس توان ها و تعدادکل گیت های مدار می باشد.در سه مدل آخر نیز نوع و تعداد گیت هاو در نهایت با اعمال اثر توان ورودی ها را لحاظ کرده ایم.این مدل ها برای طیف گسترده ای از مدارها معتبراست و بهترین توان تخمین زده شده با این مدلها 99٪ توان حقیقی بدست آمده برای مدار هایISCAS85/89 با استفاده از ابزار متداول در صنعت می باشد.

کلمات کلیدی: *توان نشتی،تخمین توان،رگرسیون خطی،رگرسیون چندگانه،زیر آستانه.*

1- مقدمه

برای دستیابی به مدارهایی با ابعاد کوچکتروسرعت بیشتروافزایش سیستم های محاسباتی قابل حمل وهمچنین توان نشتی کمتر ناگزیر به کاهش ولتاژ تغذیه می شویم.برای نیل به این هدف مجبور به کاهش ولتاژآستانه ترانزیستور برای افزایش قابلیت جریان دهی آن هستیم.قابل ذکر است که کاهش ولتاز آستانه باعث افزایش جریان زیر آستانه ودرنتیجه افزایش توان اتلافی می شودلذا تخمین توان نشتی در ابعاد زیر مایکرون دارای اهمیت زیادی است.*به عنوان مثال یک.پرو سسور در 95٪*مواقع در حا لت *standby می باشد* و در این زمان تلف توان .ناشی از جریان نشتی خواهد بود..یکی از روشهای تخمین توان استفاده از ابزار (electronic design automation)EDA می باشد .

که متاسفانه معمولادر بیشتر این ابزارهاا زمحاسبه توان نشتی صرفنظر شده است.برای یافتن بهترین حالت توان نشتی برای ترکیب تمام ورودی های گیتهای CMOS الگوریتمی لحاظ نشده استبنابر این کاهش,مدلسازی وتخمین توان نشتی در طراحی ولتاژ پائین اهمییت زیادی دارد.جریان نشتی در یک مدار به سادگی بدست آوردن

جمع نشتی تمامی ترانزیستور های مدار نمی باشد. مشخص شده است که توپولوژی مدار در تعیین مولفه های نشتی نقش اساسی دارد.بنابر این توان نشتی یکی از مهمترین موارد در مدارهای VLSIاست.
تخمین توان نشتی به دلیل اینکه باعث کاهش زمان طراحی و حداقل کردن توان نشتی در سطح **می**شوداز اهمیت زیادی برخوردار است.
دراین مقاله 7روش دقیقی برای تخمین توان نشتی ارائه خواهد شد. در مدل 1و2 تعداد کل گیت ها را به عنوان ورودی در نظر گرفته و دقت متوسط 85٪ مقدار واقعی بدست می آید.در روش 3و4 از توان نشتی و تعداد گیت ها برای محاسبه استفاده می شود .دقت متوسط,89٪ توان حقیقی می باشد.در مدل5 با در نظر گرفتن نوع گیت ها و رگرسیون چندگانه توان تخمینی به طور متوسط به90٪ مقدار اصلی خود می رسد .در دو تخمین آخرعلاوه بر موارد 2 مدل قبلی توان گیت ها را در نظر گرفته و دقت 99٪ حاصل می شود.

2- شبیه سازی نشتی گیت

درایجاد جریان نشتی دو مکانیزم نقش اساسی دارند:
1-جریان زیر استانه که رابطه نمایی با ولتا زاستانه *دارد*.
2-تغذیه معکوس اتصال p-n
برای محاسبه جریان زیر استانه از فرمول زیر استفاده می کنیم .

$$I_{subth} = A \cdot \exp\left[\frac{v_{gs} - v_{th0} - \gamma v_s + \eta v_{ds}}{nkT/q}\right] \times \left[1 - \exp\left(\frac{-v_{ds}}{kT/q}\right)\right]$$

$$A = \mu_0 c_{ox} \frac{w}{leff}\left(\frac{kT}{q}\right)^2 \times e^{1.8}$$

که در این رابطه Vs,Vds,Vgsولتازهای گیت سورس .درین سورس و ولتاز سورس ترانزیستور می با شد .
بارامتر γضریب اثر بدنه خطی شده است.چون برای VSهای کوچک اثر بدنه تقریبا خطی است .بارامتر η ضریب DIBLاست و اثرVds روی Vth را مدلسازی می کند. همچنیCox خازن اکسید گیت . w عرض و l طول می باشد .توان نشتی گیت ها به عواملی مانند دما .بردار ورودی .توبولوزی مدار .ولتازاستانه بستگی دارد .در ابتدا جریان زیر آستانه برای سلول های استاندارد به ازازی ورودی های مختلف با استفاده از نرم افزار Hspice با پارامتر های تکنولوژی 0.18um بدست آمده است.جدول1 این مقادیر را نشان می دهد.

جدول1:توان نشتی گیت های اصلی در تکنولوژی0.18um

Leakage Power INVERTER(pw)	INPUT
16.236	1
19.7496	0
17.9929	Average

Input A B	NAND2 (PW)	NOR2 (PW)
00	6.89	33.0138
01	16.5	16.2369
10	14.74	9.196
11	32.46	9.196
AVE.	17.65	19.5479

INPUTS A B C	NAND3 (PW)	NOR3 (PW)
000	4.3146	49.5
001	6.89	16.236
010	6.84	19.7
011	16.5	9.198
100	6.5	24.5
101	14.7	9.25
110	14.6	13.77
111	48.7	7.23
AVE.	14.8947	18.6842

A B C D	NAND4 (pw)	NOR4 (pw)
0000	3.078	66.02
0001	4.3	16.236
0010	4.28	19.74
0011	6.87	9.196
0100	4.266	24.5
0101	6.84	9.27
0110	6.8	13.77
0111	16.5	7.23
1000	4.122	29.2122
1001	6.48	9.33
1010	6.46	13.824
1011	14.742	7.25
1100	6.47	18.6
1101	14.64	7.39
1110	14.57	11.988
1111	64.9	6.42
AVE.	11.5927	16.87

3- مدل های پیشنهادی

در این مقاله مدار های ISCAS85 و ISCAS89 مورد بررسی قرار گرفته است.جدول2 تعداد گیت های مختلف و توان نشتی آنها را نشان می دهد.

جدول2: تعداد گیت ها در مدارهای ISCAS85 و ISCAS89

	And2	And3	And4	Or2	Or3	Or4	Nand2	Nand3	Nand4	Nor2	Nor3	Nor4
C880	105	12	0	29	0	0	60	14	13	61	0	0
C1355	40	0	0	0	0	2	416	0	0	0	0	0
C1908	30	12	2	0	0	0	347	1	2	1	0	0
C2670	203	112	11	0	2	0	254	0	0	12	0	0
S298	21	7	3	8	4	4	1	2	6	11	5	3
S344	41	3	0	6	3	0	17	1	0	29	1	0
S349	41	3	0	7	3	0	18	1	0	30	1	0
S386	28	41	14	34	1	0	0	0	0	0	0	0
S420	49	0	0	20	8	0	25	4	0	24	7	3
S382	44	19	15	31	12	21	14	9	31	33	20	13
S444	9	4	0	7	3	4	52	3	3	10	20	4
S400	7	4	0	18	3	4	30	3	3	10	20	4
S510	30	4	0	28	1	0	44	13	4	47	8	0
S526	34	13	9	11	8	9	7	3	12	16	11	8
S526n	33	13	9	11	8	9	7	3	12	16	11	8
S641	60	18	12	3	9	1	4	0	0	0	0	0
S713	58	24	12	7	9	1	28	0	0	0	0	0
S820	44	20	12	27	12	21	16	7	31	33	12	21
S832	44	19	15	31	12	21	14	9	31	33	20	13
S953	49	0	0	36	0	0	97	15	2	94	18	0

جدول2-2: توان نشی مدارهای ISCAS85 و ISCAS89

Benchmark Circuits	Leakage Power(nw)
S298	7.37
S344	7.97
S386	4.92
S382	10.85
S400	11.46
S526	11.9
S641	10.7
S820	11.64
C880	16.7
C1355	34.3
C1908	22.7
C2670	39.6
S713	10.7
S510	11.05

در اینجا برای شمارش گیت ها از برنامه ی ساده ای تحت پاسکال استفاده شده است.

3- 1 مدل خطی با استفاده از کل گیت ها:

در این مدل تعداد کل گیت ها ی مدارها را به عنوان ورودی در نظر می گیریم.و برحسب توان حقیقی آنها رسم می نمائیم ومدل خطی آنرا بدست می آوریم.نتیجه رگرسیون خطی به صورت مقابل می باشد. $P= \alpha N+\beta$ که N برابر تعداد کل گیت ها است. α و β به ترتیب برابر 0.0503 و 3.5926 می باشد.دقت این روش بالا نمی باشد. ما این مدل را از طریق کاربرد آن در چند مدار دیگرکه در جدول2 ذکر نشده اند تصدیق کردیم. برای مثال نتیجه در مدار S38584 , به 74% مقدار واقعی خود رسیده است.بقیه نتایج مدار های جدول2 در جدول7آمده است.

3- 2 مدل خطی با استفاده ازلگاریتم نمائی کل گیت ها:

در این روش بجای استفاده از تعداد کل گیت ها از Ln آنها استفده شده است. با استفاده از رگرسیون خطی ضرایب α و β بدست آمده عبارتند از 0.6888 و1.0186- .در این روش نسبت به مدل قبل به دقت بیشتری دست یافته ایم. نتایج در جدول7آمده است.

3 -3مدل خطی با استفاده ازتوان نشتی و کل گیت ها:

برای بدست آوردن این مدل حاصل ضرب تعداد کل گیت ها در توان آنها به عنوان ورودی لحاظ شده است و مجددا" با استفاده از روش رگرسیون خطی به ضرایب α=0.0013, β=8.8571 دست یافتیم. قابل ذکر است که خطا در این روش نسبت به دو مدل قبلی کاهش یافته است. نتایج در جدول7ذکرشده است.

3 -4مدل خطی با استفاده ازتوان نشتی و لگاریتم نمائی کل گیت ها:

در این روش که مشابه روش 3-3 می باشد بجای استفاده از توان نشتی و تعداد کل گیت ها از Ln آن ها استفاده کرده ایمو ضرایب بدست آمده α=0.4389, β=-0.8427 می باشد. نتایج خطای بهبود یافته در جدول 7 ملاحظه می شود.

3-5 مدل رگرسیون چندگانه اول:

در این مدل با استفاده ازMATLABاز روش رگرسیون چند گانه بهره گرفته ایم . در ابتدا با توجه به توان های نشتی ذکر شده در جدول1و نوع گیت ها ورودی ها را تعیین کرده و سپس با استفاده از رگرسیون چندگانه ضرایب را بدست اورده و با ضرب کردن این مقادیر در تعداد گیت ها توان نشتی کل مدار را بدست آورده ایم . و خطای این مدل نسبت به سایر مدل ها کاهش یافته است. که نتایج این ضرایب در جدول3 ملاحظه می شود.

جدول3:ضرایب برای مدل رگرسیون چندگانه اول

Type of gate	coefficient
Constant value	2,8996
And2	0.0284
And3	0.1536
And4	-0.1255
Or2	-0.1160
Or3	0.4966
Or4	-0.3599
Nand2	0.0761
Nand3	-0.1037
Nand4	0.1238
Nor2	0.1190
Nor3	0.2519
Nor4	-0.0599

3-6 مدل رگرسیون چندگانه دوم:

همانند مدل قبل از روش مشابهی استفاده می کنیم. علاوه بر استفاده از جدول1 تعداد گیت ها را هم در نظر گرفته ایم.و خطای این مدل نسبت به روش قبل بهبود یافته است. مجددا" با استفاده از رگرسیون چند گانه به ضرایب جدول4 دست یافتیم.

جدول4:ضرایب برای مدل رگرسیون چندگانه دوم

Type of gate	coefficient
Constant value	6.4760
And2	0.0047
And3	-0.0087
And4	0.0184
Or2	-0.0008
Or3	-0.0214
Or4	0.0046
Nand2	0.0022
Nand3	0.0318
Nand4	-0.0468
Nor2	-0.0044
Nor3	0.0034
Nor4	0.0685

3-7 مدل رگرسیون چندگانه سوم:

در مدل آخر با Ln گرفتن از ورودی های مدل قبل به ضرایب جدول5 که در ذیل آمده است دست یافته ایم. این مدل نسبت به تمامی مدل های ارائه شده دارای بهترین دقت است.با این روش به دقت تقریبی 99٪ دست می یابیم.

جدول5:ضرایب برای مدل رگرسیون چندگانه سوم

Type of gate	coefficient
Constant value	-18.473
And2	3.6121
And3	-0.4556
And4	-0.8727
Or2	0.8771
Or3	-0.7240
Or4	0.6332
Nand2	-0.2403
Nand3	-2.6501
Nand4	0.9275
Nor2	-0.0942
Nor3	1.4077
Nor4	-0.4277

جدول7:نتایج مدل های ارائه شده

Circuit	Model 1 error%	Model 2 error%	Model 3 error%	Model 4 error%	Model 5 error%	Model 6 error%	Model 7 error%
S420	12.18	10.31	8.67	7.06	1.9	3.3	1.386e-2
S298	6.648e-4	3.86	29.93	6.62	7.5	3.5	4.42
C1355	19.72	26.44	12.30	11.33	1	0.86	0.11
S349	6.53	6.25	7.35	6.19	9	9	3

4- نتیجه گیری:

در تکنولوژی 0.18um و هفت مدل برای تخمین توان نشتی ارائه شد.بر طبق روش های پیشنهادی رگرسیون خطی و چندگانه و با استفاده از لگاریتم نمائی میزان خطا بهبود یافت و در این مدل ها وابستگی توان نشتی به تعداد کل گیت ها ,نوع گیت ها و بردار ورودی آنها مورد مطالعه قرار گرفت. در آینده به بررسی مدارهای بزرگتری مثل DSP cores و غیره خواهیم پرداخت و میزان اعتبار مدل را برای آنها بررسی خواهیم کرد.

5- سپاسگزاری:

نویسندگان از اساتید محترم آقایان, دکتر جابر درخشنده و دکتر ناصر معصومی کمال تشکر وقدردانی را دارند.

6-مراجع:

[1]Wen-Tsong Shiue., "Leakage Power Estimation and Minimization in VLSI circuits", Silicon Metrics Corporation

[2]B. Baytekin et al., “Circuit Techniques for reduced subthreshold leakage current in digital CMOS circuits”, 2000 IEEE International Solid State Circuits Conference.
[3] Kamal S. Khouri et al., “Leakage power analysis and reduction during behavioral synthesis”, IEEE I.CCAD, 2000, p.561-564.
[4] Srinath R. Naidu at al., “Minimizing standby leakage power in static CMOS circuits”, IEEE International conference on computer-aided-design, 2001.
[5] Rahul Kumar,C.P.Ravikumar,"Leakage Power Estimation for Deep Submicron Circuits in an ASIC Design Environment",15th International Conference on VLSI Design(VLSID'02).
[6]Wenxin Wang,Shawki Areibi,Mohab Anis,"Modeling Leakage Power Reduction in VLSI as Optimization Problems",2004 Kluwer Academic Publisher